

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ, ԳԻՏՈՒԹՅԱՆ,  
ՄՇԱԿՈՒՅԹԻ ԵՎ ՍՊՈՐՏԻ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

## **Պետրոսյան Կամո Օլեգի**

**ՍՏԱՏԻԿ ՕՊԵՐԱՏԻՎ ՀԻՇՈՂ ՍԱՐՔԵՐԻ ՑԱԾԻ ԷԼԵՐԳԱՊԱՌՍԱՄԲ  
ՏԱՐԲԵՐԻ ՄՇԱԿՈՒՄԸ ԵՎ ՍՈՂԵԼԱՎՈՐՈՒՄԸ**

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ  
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի  
հայցման ատենախոսության

### **ՍԵՂՄԱԳԻՐ**

Երևան 2020

---

---

МИНИСТЕРСТВО ОБРАЗОВАНИЯ, НАУКИ, КУЛЬТУРЫ И СПОРТА  
РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

### **Петросян Камо Олегович**

**РАЗРАБОТКА И МОДЕЛИРОВАНИЕ ЭЛЕМЕНТОВ СТАТИЧЕСКИХ  
ОПЕРАТИВНЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ С НИЗКИМ  
ЭНЕРГОПОТРЕБЛЕНИЕМ**

### **АВТОРЕФЕРАТ**

диссертации на соискание ученой степени кандидата  
технических наук по специальности 05.27.01-  
“Электроника, микро- и наноэлектроника”

---

Ереван 2020

Ատենախոսության թեման հաստատվել է Հայաստանի ազգային պոլիտեխնիկական համալսարանում (ՀԱՊՀ):

Գիտական ղեկավար՝ տ.գ.դ. Վազգեն Շավարշի Մելիքյան

Պաշտոնական ընդդիմախոսներ՝ տ.գ.դ. Ռուբեն Ռաֆայելի Վարդանյան  
տ.գ.թ. Խաչիկ Գեղամի Շարոյան

Առաջատար կազմակերպություն՝ «Երևանի կապի միջոցների  
գիտահետազոտական ինստիտուտ» ՓԲԸ

Ատենախոսության պաշտպանությունը տեղի կունենա 2020թ. սեպտեմբերի 25-ին, ժամը 14.00-ին, ՀԱՊՀ-ում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 Մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք) :

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:  
Ստեղծագիրն առաքված է 2020թ. օգոստոսի 15-ին:

046 Մասնագիտական խորհրդի  
գիտական քարտուղար, տ.գ.դ.



Մ.Յ. Այվազյան

---

Тема диссертации утверждена в Национальном политехническом университете Армении (НПУА)

Научный руководитель: д.т.н. Вазген Шаваршович Меликян

Официальные оппоненты: д.т.н. Рубен Рафаелович Варданян  
к.т.н. Хачик Гегамович Шароян

Ведущая организация: ЗАО "Ереванский научно-исследовательский институт средств связи"

Защита диссертации состоится 25 сентября 2020г. в 14.00 часов на заседании Специализированного совета 046 — "Радиотехники и электроники", действующего при НПУА, по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17. С диссертацией можно ознакомиться в библиотеке НПУА.  
Автореферат разослан 15-го августа 2020 г.

Ученый секретарь  
Специализированного совета 046,  
д.т.н.



Մ.Շ. Այվազյան

## ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

**Актуальность темы.** Основной тенденцией развития интегральных схем (ИС) является снижение мощности и повышение степени интеграции. Совершенствование технологии проектирования и производства современных комбинированных металл-окисел-полупроводниковых (КМОП) ИС сопровождается уменьшением характеристических размеров транзисторов, увеличением их мощности и быстродействия. КМОП технология постоянно подвергается масштабированию, в результате чего в настоящее время в производстве ИС минимальные размеры транзисторов достигли 14 и менее нанометров.

Статические оперативные запоминающие устройства (СОЗУ) имеют широкое применение в современных цифровых схемах. Согласно International Technology Roadmap for Semiconductors, в перспективе занимаемая площадь СОЗУ составит примерно 90% площади полупроводникового кристалла, а следовательно, энергопотребление, быстродействие, эксплуатационные и другие характеристики этих ИС, в основном, будут определяться характеристиками СОЗУ. Параллельно с увеличением рабочих частот ИС ужесточились предъявляемые к ним технические требования. В частности, создание СОЗУ и их критических элементов, таких как запоминающие ячейки (ЗЯ), чувствительные усилители (ЧУС), дешифраторы адресов (ДША) и схемы управления, осуществляется с учетом ряда взаимоисключающих требований. При этом необходимо обеспечить максимальную информационную емкость накопителя, минимальную площадь полупроводникового кристалла и потребляемой мощности и максимальное быстродействие при воздействии различных дестабилизирующих факторов.

В связи с этим разработка комплексных средств снижения энергопотребления современных ИС с учетом сохранения других технических и функциональных параметров является актуальной задачей, особенно для наноразмерных ИС, в том числе для микропроцессорных систем, а также для систем на кристалле с вмонтированными СОЗУ. С целью повышения эффективности СОЗУ необходимо оценить величину рассеиваемой мощности на более ранних стадиях проектирования, в противном случае - может возникнуть необходимость переработки всего проекта или его отдельных частей.

В настоящее время промышленностью выпускаются СОЗУ, которые разработаны и реализованы различными схемотехническими и конструктивно-технологическими решениями. Параметры этих СОЗУ (информационная емкость, быстродействие, диапазон рабочих температур, рассеиваемая мощность и др.) меняются быстрыми темпами в широких пределах.

При дальнейшем совершенствовании технологии производства ИС и переходе к наноразмерным технологическим нормам (<100 нм) основной проблемой снижения рассеиваемой мощности является существенное повышение роли токов утечек в балансе общего энергопотребления. Таким образом, для 28 нм технологического процесса при мощностях выше 100 Вт доля статической мощности составляет примерно 65%. Постоянное увеличение степени интеграции и быстродействия приводит к серьезным проблемам снижения энергопотребления, решение которых делает проектирование СОЗУ сверхзадачей. Исходя из вышеизложенного, тема диссертационной работы является актуальной и соответствует требованиям проектирования современных ИС.

Предложенные в диссертационной работе решения могут способствовать прогрессу разработки и реализации схемотехнических решений СОЗУ и их элементов с низким энергопотреблением.

**Цель работы.** Разработка обобщенной методики проектирования элементов с низким энергопотреблением СОЗУ в современных КМОП ИС и обоснование улучшения их основных параметров с обеспечением точных результатов моделирования при изменении технических и эксплуатационных условий в широких пределах.

**Методы исследования.** Диссертационная работа выполнена в соответствии с современными подходами и методами проектирования цифровых схем с применением математических методов моделирования и программных пакетов HSPICE, FineSim и Matlab.

**Научная новизна:**

1. Разработаны обобщенная методика проектирования СОЗУ с низким энергопотреблением и алгоритм ее реализации, что позволяет произвести оптимальный расчет числа строк и столбцов накопителя на стадии проектирования и определить структуру СОЗУ при заданной информационной емкости.

2. Предложено новое схемотехническое решение ЗЯ 8ТМ, которое обеспечивает увеличение размаха выходного сигнала в 2 раза и снижение энергопотребления более чем в 1,7 раза без существенного увеличения занимаемой площади полупроводникового кристалла.

3. Спроектированы схемы ДША, благодаря которым в результате применения проходных транзисторов стало возможным уменьшить число транзисторов в 2 раза при обеспечении уменьшения занимаемой площади в полупроводниковом кристалле до 2 раз, а также сократить потребляемую мощность в 1,5 раза за счет снижения быстродействия не более чем на 10%.

4. Разработан метод уменьшения асимметричности ДША с низким энергопотреблением и большой разрядностью, позволяющий уменьшить энергопотребление на 7...10%.

5. Предложен метод разработки ДША с низким энергопотреблением и большой разрядностью, в результате чего создается возможность в ДША 4-16 уменьшить число транзисторов на 10-12, а также потребляемую мощность более чем на 30% за счет снижения быстродействия не более чем на 16%.

6. Разработан метод уменьшения энергопотребления в логических цепях СОЗУ, благодаря которому в результате применения транзисторов с различными длинами каналов создается возможность уменьшения потребляемой динамической мощности примерно на 20% без ухудшения быстродействия за счет увеличения занимаемой площади на полупроводниковом кристалле не более чем на 15%.

7. Создан метод уменьшения статической рассеиваемой мощности СОЗУ с применением эффекта подложки, позволяющий в результате изменения потенциала подложки МОП транзистора уменьшить токи утечки приблизительно на 14% за счет увеличения занимаемой площади на полупроводниковом кристалле не более чем на 5% путем создания дополнительных карманов.

8. Предложен метод построения дерева распространения синхросигнала СОЗУ с низким энергопотреблением, с применением которого создана возможность улучшения времени задержки данных более чем на 300 пс, а также обеспечения сдвига между синхросигналами не более 20 пс, что приводит к

уменьшению потребляемой мощности примерно на 10% за счет применения большого числа повторителей, но с меньшими ведомыми силами.

Научные и технические решения подтверждены авторским свидетельством.

**Практическая ценность работы.** Апробация предложенных в диссертации способов, методов и схемотехнических решений в современных узлах ввода/вывода показала их высокую эффективность. Зафиксировано уменьшение потребляемой мощности в 1,5 раза без существенного увеличения занимаемой площади на полупроводниковом кристалле при удовлетворении заданных технических требований к проектируемым узлам ввода/вывода.

**Достоверность научных положений.** Достоверность научных положений диссертации подтверждается результатами теоретических исследований, соответствием результатов моделирования с результатами других авторов, полученными альтернативными способами, и соответствующим актом о внедрении.

**Внедрение.** Созданные методы и способы проектирования СОЗУ с низким энергопотреблением, а также программное средство AsimmetryOptimizer внедрены в ЗАО "Синописис Армения" и используются в процессе проектирования аналоговых и смешанных ИС с целью разработки и моделирования присутствующих в них элементов с низким энергопотреблением СОЗУ.

**Основные положения, выносимые на защиту:**

1. Метод разработки СОЗУ с низким энергопотреблением, основанный на эффективных расчетах числа строк и столбцов накопителя.

2. Схема ЗЯ 8ТМ с широким размахом выходного напряжения.

3. Проектирование ДША с низким энергопотреблением на проходных транзисторах.

4. Метод уменьшения асимметричности ДША с низким энергопотреблением и большой разрядностью.

5. Метод разработки ДША с низким энергопотреблением и большой разрядностью.

6. Метод уменьшения динамического энергопотребления в логических цепях СОЗУ.

7. Метод уменьшения статической рассеиваемой мощности СОЗУ с применением эффекта подложки.

8. Метод построения дерева распространения синхросигнала СОЗУ с низким энергопотреблением.

**Апробация работы.** Основные научные и практические результаты диссертации докладывались на:

- ежегодной конференции НПУА (Ереван, Армения, 2015 – 2017, 2019гг.);
- 39-й Международной конференции "Electronics and Nanotechnology (ELNANO)" (Киев, Украина, 16-18 апреля 2019г.);

- 2019 IEEE East-West Design & Test Symposium (EWDTS) (Батуми, Грузия, 13-16 сентября 2019г.);

- 40-й Международной конференции "Electronics and Nanotechnology (ELNANO)" (Киев, Украина, 22-24 апреля 2020г.);

- научных семинарах кафедры "Микроэлектронные схемы и системы" НПУА (Ереван, Армения, 2018-2020 гг.).

**Публикации.** Основные положения диссертации опубликованы в тринадцати научных работах, включая одно авторское свидетельство, список которых приведен в конце автореферата.

**Структура и объем работы.** Диссертация состоит из введения, трех глав, основных выводов, списка литературы, включающего 138 наименований, а также 6-и приложений (в первом приведены обозначения и сокращения, во втором - списки таблиц и рисунков, в третьем – временные диаграммы моделирования и зависимости рассеиваемой мощности от напряжения питания, рабочих температур и частот при медленных и быстрых процессах ЗЯ 6Т, 8Т, 9Т, 10Т, в четвертом – акт о внедрении, в пятом – программный код решения задачи, в шестом - некоторые части программного кода инструмента AsimmetryOptimizer). Основной текст диссертации составляет 137 страниц, включая 114 рисунков и 15 таблиц.

Диссертация написана на армянском языке.

## ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

**Во введении** обоснована актуальность темы диссертационной работы, сформулирована цель исследования, представлены научная новизна, практическая значимость и основные научные положения, выносимые на защиту.

**В первой главе** проведено исследование источников рассеиваемой мощности КМОП ИС, а также статических и динамических компонентов рассеиваемой мощности с учетом масштабирования норм технологического процесса. Рассмотрены и проанализированы структурная схема СОЗУ, ее основные узлы и их особенности. Обоснована необходимость разработки составных узлов СОЗУ с низким энергопотреблением. Проведен сравнительный анализ статических и динамических мощностей и временных задержек базовых элементов СОЗУ на основе планарных и FinFET структур, а также изучено влияние числа плавников на их характеристики, что позволяет контролировать управляемость тока транзистора на всех стадиях проектирования. С помощью программного средства Hspice проведен сравнительный анализ рассеиваемой мощности наиболее распространенных ЗЯ 6Т, 8Т, 9Т, 10Т в зависимости от напряжения питания, температуры и рабочих частот для типового, медленного и быстрого процессов (рис. 1-3 соответствуют только типовому процессу).

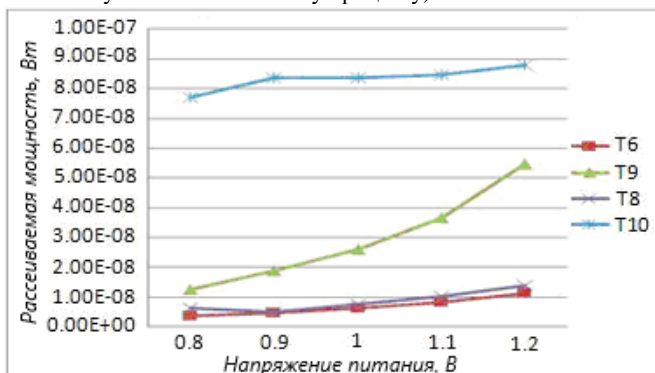


Рис.1. Зависимость рассеиваемой мощности от напряжения питания

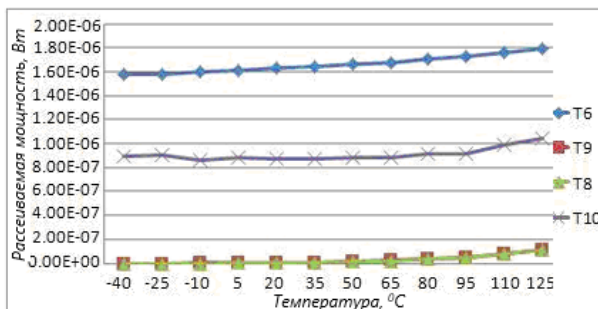


Рис.2. Зависимость рассеиваемой мощности от температуры

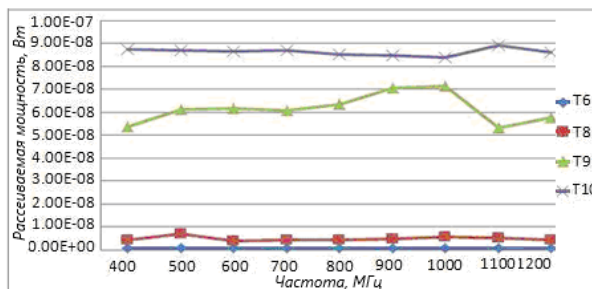


Рис.3. Зависимость рассеиваемой мощности от частоты

Полученные результаты показывают:

1. В зависимости от напряжения питания, рассеиваемые мощности ЗЯ 6Т и 8Т почти равны, а ЗЯ 10Т имеет наибольшую рассеиваемую мощность. С точки зрения занимаемой площади, ЗЯ 6Т предпочтительнее.

2. В зависимости от температуры, рассеиваемые мощности ЗЯ 8Т и 9Т имеют минимальные значения, а ЗЯ 6Т имеет наибольшую рассеиваемую мощность. С точки зрения занимаемой площади, ЗЯ 8Т предпочтительнее.

3. В зависимости от частоты, рассеиваемые мощности ЗЯ 6Т и 8Т имеют минимальные значения, а ЗЯ 10Т имеет наибольшую рассеиваемую мощность. С точки зрения занимаемой площади, ЗЯ 6Т предпочтительнее.

Проведено исследование способов снижения рассеиваемой мощности стробируемых ЗЯ и метода снижения рассеиваемой мощности на основе асимметричных ЗЯ. Исследованы способы построения ДША с низкой рассеиваемой мощностью. Проведены исследования схемотехнических решений ЧУС с низким энергопотреблением. В результате проведенных исследований предложены принципы разработки и моделирования СОЗУ с низким энергопотреблением. Сформулированы важнейшие задачи, выдвигаемые перед разработчиками СОЗУ.

**Во второй главе** разработан метод построения ДША с низким энергопотреблением и быстродействующих ДША с применением смешанной логики. Проведены исследование и моделирование элементной базы построения ДША, для реализации которых требуется малое количество транзисторов. На их

основе реализованы схемы ДША с низким энергопотреблением и быстродействующие ДША с прямыми и инверсными выходами. Достоверность предложенного метода обоснована результатами моделирования этих схем, выполненного с помощью программного пакета SAED 14 нм (рис.4-7).

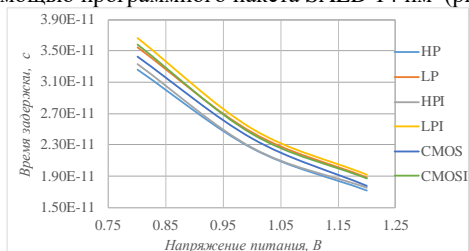


Рис.4. Зависимость времени задержки сигнала ДША от напряжения питания

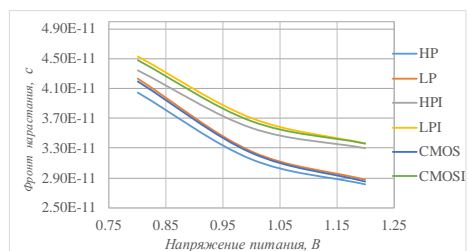


Рис.5. Зависимость фронта нарастания сигнала ДША от напряжения питания

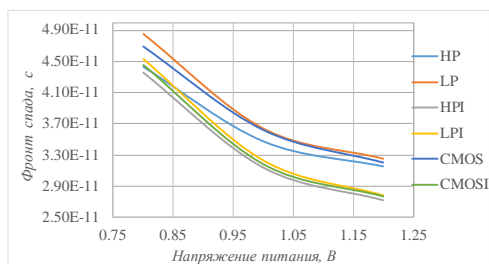


Рис.6. Зависимость фронта спада сигнала ДША от напряжения питания

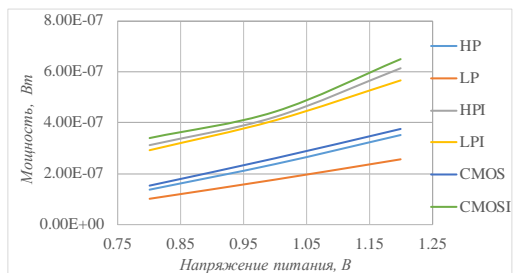


Рис.7. Зависимость потребляемой мощности ДША от напряжения питания



Для построения ДША с большой разрядностью предлагается применять матричный метод, согласно которому входной каскад ДША реализуется с помощью ДША малой разрядности, а выходной каскад - элементами И-НЕ или ИЛИ-НЕ. Предложены схемы ДША 4-16 с низким энергопотреблением и высоким быстродействием с применением метода построения ДША большой разрядности. В результате применения метода возникает возможность уменьшения числа транзисторов в ДША 4-16 на 10-12, а также снижения потребляемой мощности на 30% за счет уменьшения быстродействия не более чем на 16%. В таблице приведены характеристики ДША 4-16 на основе стандартных элементов И-НЕ и ИЛИ-НЕ и с помощью предложенного метода.

Таблица

Характеристики ДША 4-16 на основе стандартного и предложенного методов

Тип ДША	Задержка, пс	Число транзисторов, шт	Мощность, мкВт
Стандартный ДША 4-16 с элементами И-НЕ	500	104	43,63
Стандартный ДША 4-16 с элементами ИЛИ-НЕ	521	104	46,72
ДША с низкой мощностью	532	92	28,14
Быстродействующий ДША	467	94	29,16

Предложен метод уменьшения динамической мощности в логических цепях СОЗУ и проведено его моделирование. В результате применения транзисторов с различными длинами каналов создается возможность уменьшения потребляемой динамической мощности примерно на 20% без ухудшения быстродействия за счет увеличения занимаемой площади на полупроводниковом кристалле не более чем на 15%.

Предложен метод уменьшения статической рассеиваемой мощности СОЗУ с применением эффекта подложки и проведено моделирование инвертора, элементов И-НЕ и ИЛИ-НЕ в среде Custom Designer. В результате изменения потенциала подложки МОП транзистора создается возможность уменьшения статических токов утечки приблизительно на 14% за счет увеличения занимаемой площади на полупроводниковом кристалле не более чем на 5% путем создания дополнительных карманов.

Разработано новое схемотехническое решение ЗЯ 8ТМ с низким быстродействием и большим размахом напряжений битовых шин (рис.8).

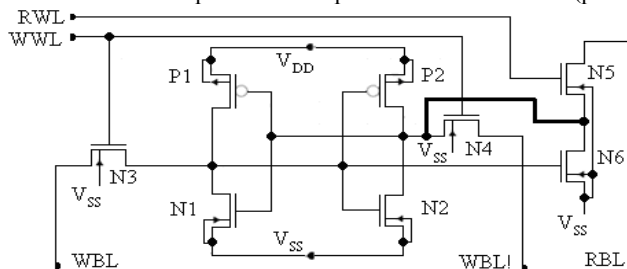


Рис. 8. Электрическая схема улучшенной ЗЯ 8ТМ

Проведен сравнительный анализ характеристик типовой ЗЯ 8Т и ЗЯ 8ТМ в зависимости от напряжения питания, частоты и температуры. Моделирование реализовано в соответствии с 28 нм технологическими нормами программного пакета SAED EDK и по моделям BBSIM 4.0 с помощью программного средства Hspice. Результаты моделирования показали, что:

- в зависимости от напряжения питания, рассеиваемая мощность ЗЯ 8ТМ, по сравнению с ЗЯ 8Т, больше на 6...9,5%;
- в зависимости от частоты, рассеиваемая мощность ЗЯ 8ТМ, по сравнению с ЗЯ 8Т, больше на 3,7...10%;
- в зависимости от температуры, рассеиваемая мощность ЗЯ 8ТМ, по сравнению с ЗЯ 8Т, больше на 5,5...9,5%;
- размах напряжения битовой шины ЗЯ 8ТМ, по сравнению с ЗЯ 8Т, увеличился в 2 раза, в результате чего рассеиваемая мощность ЧУС уменьшилась в 2 раза при снижении общей мощности более чем в 1,7 раза (рис.9).

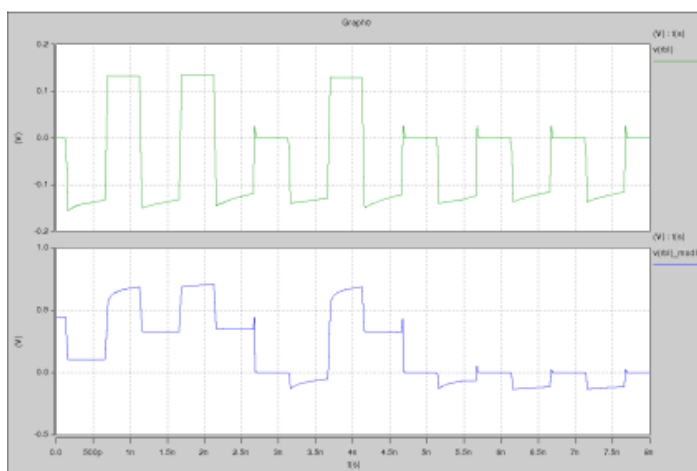


Рис. 9. Сравнение напряжений битовых шин ЗЯ 8Т и 8ТМ

Большой размах выходных сигналов нового схемотехнического решения ЗЯ 8ТМ резко снижает требования к чувствительности ЧУС, обеспечивая существенное уменьшение энергопотребления СОЗУ.

Рассеиваемая мощность и временные задержки СОЗУ в системах на основе ИС составляют 60% и 50% соответственно. Следовательно, важной задачей является уменьшение динамических токов и временных задержек СОЗУ.

С этой целью в диссертации проведена разработка модифицированных ЗЯ на основе стекловых транзисторов, которые уменьшают динамические токи и времена их переключения (рис.10). В каждой ветви ЗЯ присутствуют два транзистора, которые при переключении элемента закрываются и тем самым эффективнее исключают протекание токов от шины напряжения питания.

Разработана также асимметричная ЗЯ со стекловой структурой. Проведены исследования динамических и статических токов и быстродействия этих схем с

помощью 14 нм технологических норм программного пакета SAED EDK при значениях напряжения питания 0,8; 0,9 и 1 В. Результаты моделирования активных и пассивных составляющих токов в зависимости от напряжения питания приведены на рис.11 и 12.

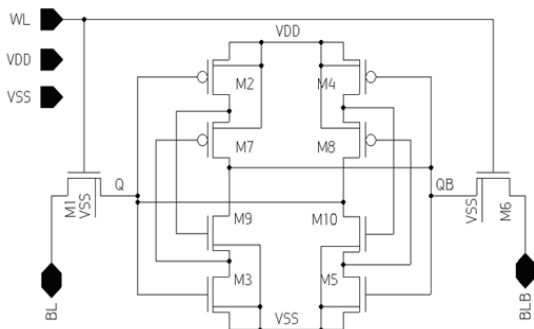


Рис.10. Электрическая схема ЗЯ со стековой структурой

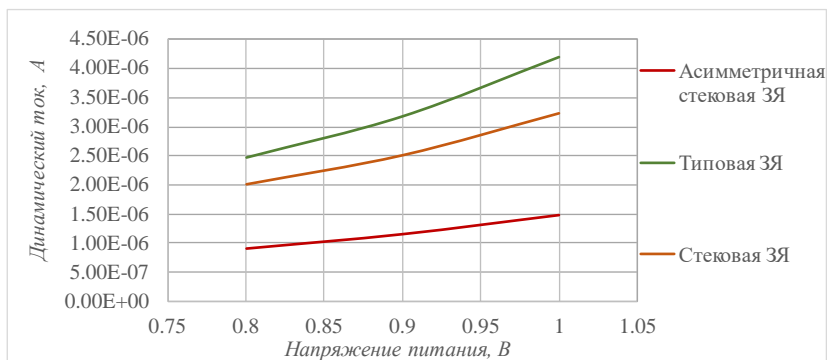


Рис. 11. Зависимость динамической составляющей тока от напряжения питания

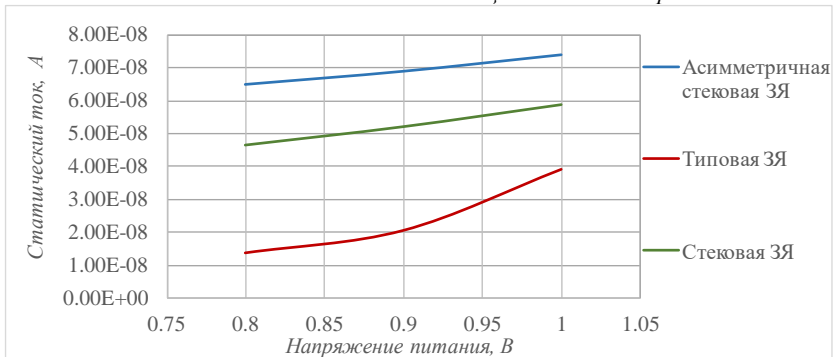


Рис. 12. Зависимость статической составляющей тока от напряжения питания

Из рис.11 видно, что типовая ЗЯ имеет наибольший динамический ток, а стековая ЗЯ характеризуется малыми значениями токов, причем наименьший ток имеет асимметричная ЗЯ.

Из рис.12 видно, что типовая ЗЯ имеет наименьший статический ток, а стековая ЗЯ характеризуется более большими значениями токов, причем наибольший ток имеет асимметричная ЗЯ.

**В третьей главе** разработан метод оптимального расчета структурных параметров СОЗУ с целью уменьшения энергопотребления СОЗУ, который дает возможность оценить распределение потребляемой мощности между различными узлами СОЗУ и реализовать уменьшение энергопотребления на более ранних стадиях проектирования путем оптимального выбора структурных параметров СОЗУ. В общем случае энергопотребление СОЗУ с информационной емкостью  $2^n$  с  $2^{n-k}$  строками и  $2^k$  столбцами определяется следующим выражением:

$$P_{\text{СОЗУ}} = P_{\text{нак}} + P_{\text{ДШСт}} + P_{\text{БуФСт}} + P_{\text{ВыбСтб}} + P_{\text{ЧУС}},$$

где  $P_{\text{нак}}$  – потребляемая мощность накопителя;  $P_{\text{ДШСт}}$  – потребляемая мощность ДША строк;  $P_{\text{БуФСт}}$  – потребляемая мощность буферных схем строк;  $P_{\text{ВыбСтб}}$  – потребляемая мощность схем выборки столбцов;  $P_{\text{ЧУС}}$  – потребляемая мощность ЧУС.

Составляющие энергопотребления определяются известными выражениями.

На первой стадии моделирования производится расчет  $P_{\text{нак}}$ :

$$P_{\text{нак}} = \frac{2^k}{2} (C_{\text{УДШ}} 1_{\text{Стб}} + 2^{n-k} C_{\text{Зат}}) V_{\text{П}} V_{\text{ЧУС}}, \quad (1)$$

где  $C_{\text{Зат}}$  – минимальная емкость затвора  $n$  – МОП транзистора;  $1_{\text{Стб}} = 2^{n-k} d_m$ ,  $2^{n-k} C_{\text{Зат}}$  – емкость шины строки;  $d_m$  – размер ЗЯ;  $C_{\text{УДШ}}$  – удельная емкость шины с минимальной шириной;  $V_{\text{ЧУС}}$  – размах входного напряжения ЧУС.

На второй стадии моделирования производится расчет  $P_{\text{ДШСт}}$ :

$$P_{\text{ДШСт}} = \frac{1 + 0.3}{2} \frac{2(n-k)}{2} \times \left( \frac{2^{n-k}}{2} C_{\text{Зат}} + C_{\text{УДШ}} 1_{\text{Стб}} \right) V_{\text{П}}^2. \quad (2)$$

На третьей стадии моделирования производится расчет  $P_{\text{БуФСт}}$ :

$$P_{\text{БуФСт}} = \frac{1}{2} \left\{ 2^k (2C_{\text{Зат}}) + 2(n-k)C_{\text{Зат}} + C_{\text{УДШ}} \left[ 8(n-k)W_{\text{Ст}} + 1_{\text{Ст}} \right] \right\} V_{\text{П}}^2, \quad (3)$$

где  $2^k (2C_{Зат})$  - емкость одной строки ЗЯ;  $2(n-k)C_{Зат}$  - емкость стока транзисторов строки ДША;  $8(n-k)W_{Cr} + 1_{Cr}$  - длина шины строки;  $W_{Cr}$  - ширина проводящей шины.

На четвертой стадии моделирования производится расчет потребляемой мощности выборки одной строки:

$$P_{ВыбСтб} = \frac{1,3}{2} \left( \sum_{i=1}^{k-1} 2^{k-i} C_{Зат} + k C_{удш} I_{Стб} \right) V_{П}^2 \quad (4)$$

На пятой стадии моделирования производится расчет  $P_{ЧУС}$ :

$$P_{ЧУС} = \frac{V_{П} I_{Ус}}{f_{Т}} + \frac{1,25}{2} C_{удш} \times \left( 8kW_{Cr} + \frac{1_{Cr}}{2} \right) V_{П}^2 \quad (5)$$

где  $I_{Ус}$  - удвоенное значение максимального тока стока транзистора;  $1_{Cr} = 2^k d_m$ ;

$f_{Т}$  - тактовая частота СОЗУ.

Показано, что первый многочлен в выражении (4) представляет собой сумму  $(k-1)$  членов геометрической прогрессии. После преобразования этот многочлен заменен на  $(2^k - 2)C_{Зат}$ .

Для проектирования СОЗУ с низким энергопотреблением имеется следующая задача оптимизации:

$$P(k, n) = \sum_{j=1}^5 P_j(k, n) \rightarrow \min, \quad (6)$$

которая представляет собой задачу нелинейного целочисленного программирования, где переменные ограничены снизу ( $n \geq 1, k \geq 1$ ). Необходимым условием оптимизации задачи (6) является

$$\text{grad}P(k, n) = 0.$$

Последнее представляет собой два нелинейных уравнения:

$$\begin{cases} \frac{\partial P(k, n)}{\partial k}, \\ \frac{\partial P(k, n)}{\partial n}. \end{cases} \quad (7)$$

В диссертации для решения системы уравнений (7) разработано программное средство в среде MATLAB. На основе разработанного алгоритма расчета структурных параметров СОЗУ 1 Гбит с низким энергопотреблением и в результате решения предложенной оптимизационной задачи в среде MATLAB показано, что

для одной операции СОЗУ потребляется 6,5 мкВт, что приблизительно в 1,5 раза меньше, чем аналогичные результаты, известные из технической литературы.

Разработан эффективный метод построения дерева распространения синхросигнала и реализован его алгоритм для СОЗУ с низким энергопотреблением. Разработанный метод дает возможность уменьшить время распространения синхросигнала и обеспечить его меньший сдвиг, который определяется следующим выражением:

$$\delta = t_2 - t_1, \quad (8)$$

где  $\delta$  - сдвиг синхросигнала между двумя триггерами;  $t_2, t_1$  - времена распространения синхросигналов триггеров.

Предложенный метод состоит из двух стадий.

**На первой стадии необходимо:**

1. Сортировать сдвиги синхросигналов по степени нарастания.
2. Сортировать времена распространения синхросигналов по степени нарастания.
3. Оценить разброс сдвигов и времен распространения синхросигналов.
4. По полученным значениям оценить число иерархий синхросигнала с учетом временных параметров буферов и инверторов, присутствующих в стандартной библиотеке.
5. Произвести выбор точного числа иерархий, так как от их числа зависит возможно меньшее значение сдвигов синхросигнала.
6. Определить пороговое значение, к которому должен стремиться сдвиг синхросигнала при точном выборе числа иерархий.
7. Увеличивать число иерархий до тех пор, пока не будет достигнуто пороговое значение.
8. После определения числа иерархий вновь рассчитать сдвиги синхросигналов и классифицировать их по степени нарастания.

**На второй стадии необходимо:**

1. Из классифицированного ряда взять дерево синхросигнала с наибольшим сдвигом и произвести на двух стадиях уменьшение сдвигов посредством изменения размеров присутствующих на пути буферов.
2. При неудаче на первом шаге оптимизировать пути распространения данных.
3. Во всех шагах давать четкие оценки, чтобы в предложенном методе не возникали конфликты.

Предложенный метод является автоматным, но допускает вмешательство проектировщика.

Исследуемый проект состоит из 1118 триггеров блока управления СОЗУ. После применения метода разница времен между синхросигналом и распространением данных с 356 пс стала 48 пс.

В результате применения метода создана возможность улучшения времени задержки данных более чем на 300 пс, а также обеспечения сдвигов между синхросигналами не более чем 20 пс. Потребляемая мощность уменьшилась примерно на 10% за счет применения большого числа повторителей, но с меньшими ведомыми силами. В результате внедрения метода увеличение занимаемой площади полупроводникового кристалла не превышает 1% от общей площади СОЗУ.

Предложен метод, который дает возможность пользователю правильно соединить асимметричные входы со схемой с целью применения в разработанных асимметричных ДША с низким энергопотреблением и быстродействующих ДША. Разработано программное средство AsymmetryOptimizer, которое в виде алгоритма синтеза сводится к следующему:

1. Оценить вероятности переключения входов  $P_1, P_2, \dots, P_n$ .
2. Классифицировать вероятности  $\text{sort}(P_1, P_2, \dots, P_n)$  по степени уменьшения.
3. Подключить более быстро переключаемый сигнал к тому входу асимметричной схемы, путь которого к выходу самый короткий.
4. Процесс проводится для всех входов.
5. Разработанный метод реализован на языке TCL, входными данными которого является формула конъюнктивной нормальной формы соединяющей схемы.
6. При оптимизации необходимо использовать все каноны булевой алгебры.
7. Для оценки вероятностей используется полученная оптимальная формула.
8. В результате задается последовательность входов, которую необходимо использовать для соединения входов.

На рис.13 приведены результаты использования предложенного метода.

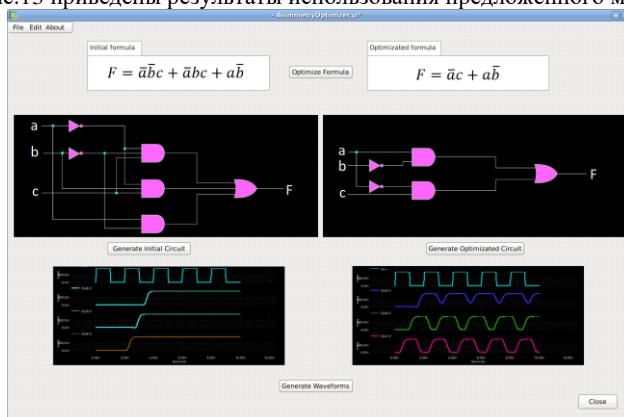


Рис. 13. Схематические окна входных и оптимизированной функций в AsymmetryOptimizer и виды соответствующих сигналов

Из рис.13 четко видно, что при неправильном подключении входов наблюдается потеря данных (out6, out5, out4), а после применения метода возникает четкий сигнал out1.

В результате внедрения метода обеспечивается уменьшение энергопотребления на 7...10% и увеличение быстродействия на 3...4%, что очень важно для СОЗУ.

Предложенный метод дает возможность широкого применения асимметричных схем в современных ИС, что создает дополнительную возможность для улучшения схем с точки зрения как мощности, так и быстродействия.

## ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Предложены принципы разработки и моделирования элементов СОЗУ, использование которых позволит удовлетворить всем требованиям проектирования современных схем 14 и менее нанометровых технологических процессов [1-13].
2. Создан метод разработки ДША с низким энергопотреблением и большой разрядностью, благодаря которому за счет использования проходных транзисторов становится возможным уменьшение в ДША 4-16 числа транзисторов на 10-12, а также потребляемой мощности более чем на 30% за счет уменьшения быстродействия не более чем на 16% [1..3,13].
3. Разработан метод уменьшения энергопотребления в логических цепях СОЗУ, благодаря которому в результате применения транзисторов с различными длинами каналов создается возможность уменьшения потребляемой динамической мощности примерно на 20% без ухудшения быстродействия за счет увеличения занимаемой площади в полупроводниковом кристалле не более чем на 15% [4,7].
4. Создан метод уменьшения статической рассеиваемой мощности СОЗУ с применением эффекта подложки, позволяющий в результате изменения потенциала подложки МОП транзистора уменьшить токи утечки примерно на 14% за счет увеличения занимаемой площади в полупроводниковом кристалле не более чем на 5% [8].
5. Разработано новое схемотехническое решение ЗЯ 8ТМ, которое обеспечивает увеличение размаха выходного сигнала в 2 раза и снижение энергопотребления более чем в 1,7 раза без существенного увеличения занимаемой площади полупроводникового кристалла [9,10].
6. Предложены схемы стековых ЗЯ с низким энергопотреблением. В результате применения симметричной ЗЯ обеспечивается уменьшение динамической составляющей тока на 25% и увеличение статической составляющей тока на 0,1 мкА. При применении предложенной асимметричной схемы стековой ЗЯ создается возможность снижения динамического энергопотребления на 65% при незначительном увеличении статических утечек на 0,5 мкА [6,12].
7. Предложенные принципы, способы, методы и схемотехнические решения реализованы при разработке элементов с низким энергопотреблением статических оперативных запоминающих устройств и в программном средстве моделирования *AsimmetryOptimizer*. Последние внедрены в ЗАО "СИНОПСИС АРМЕНИЯ" и применяются при проектировании цифровых и смешанных ИС. Испытание программного средства в современных цифровых ИС показало его высокую эффективность. Подтверждено уменьшение потребляемой мощности в 1,5 раза без существенного увеличения занимаемой площади при обеспечении заданных технических требований к проектируемым узлам ввода/вывода, предъявляемых в настоящее время организациями.



**Основные результаты диссертации** опубликованы в следующих работах:

1. Melikyan V., Petrosyan K., Mkhitarian A., Margaryan H. The Method of Low Power, High Performance and Area Efficient Adress Decoder Design for SRAM // 2020 IEEE 40th International Conference on ELECTRONICS and NANOTECHNOLOGY (ELNANO), 22-24 April, 2020, - Kyiv, Ukraine, 2020. - P. 270-279.
2. Melikyan V.Sh., Kagramanyan E.R., Babajanyan H.A., Petrosyan K.O. Frequency to voltage converter with reduced delay time range of output signal // Proceedings of NAS RA and NPUA. Ser. of Tech. Sc. – 2020. – Vol. 73, No. 2. - P.159-170.
3. Stability improvement method for ultra-low power bandgap reference / A. Mkhitarian, H. Kostanyan, K. Petrosyan, et al // 2020 IEEE 40th International Conference on ELECTRONICS and NANOTECHNOLOGY (ELNANO), 22-24 April, 2020, - Kyiv, Ukraine, 2020. - P.331-334.
4. Avdalyan Narek, Petrosyan Kamo. Processing an effective method for Clock Tree Synthesis // IEEE EAST-WEST DESIGN & TEST SYMPOSIUM (EWDS). - Batumi, Georgia, 2019. - P. 196-201.
5. Current Scaling of Multi-fin Devices in FinFET Process / Suren Avushyan, Kamo Petrosyan, Lusine Mikaelyan, Narek Shukhyan, et al // IEEE 39<sup>th</sup> International Conference on ELECTRONICS and NANOTECHNOLOGY (ELNANO), 16-18 April, 2019, - Kyiv, Ukraine, 2019. - P. 206-209.
6. Петросян О.А., Авдалян Н.Б., Петросян К.О. Сравнительный анализ рассеиваемой мощности статических запоминающих ячеек // Вестник ГИУА. Серия "Информационные технологии, электроника, радиотехника". – 2014. - Вып.17, N<sup>o</sup>2. - С. 45-53.
7. Պետրոսյան Կ.Օ., Մելիքյան Գ.Շ. Դիսամիկ հզորության փոքրացման մեթոդ ԿՄՕԿ գերմեծ ինտեգրալ սխեմաների տրամաբանական շղթաներում // Հայաստանի ազգային պոլիտեխնիկական համալսարանի Լրաբեր. Գիտական հոդվածների ժողովածու. - Մաս 1. - Երևան, 2016. – էջ 241-247:
8. Ավդալյան Ն.Բ., Պետրոսյան Կ.Օ. Ինտեգրալ սխեմաների սպառման հզորության նվազարկումը հարթակի էֆեկտի կիրառմամբ // Հայաստանի ազգային պոլիտեխնիկական համալսարան Լրաբեր. Գիտական հոդվածների ժողովածու. - Մաս 1. - Երևան, 2017. – էջ 296-302:
9. ՀՀ գյուղտի արտոնագիր N<sup>o</sup> 2964A. Ստատիկ հիշող սարքերի ՑԿ հիշողության բջիջ / Օ.Հ. Պետրոսյան, Ն.Բ. Ավդալյան, Կ.Օ. Պետրոսյան. 26.10.2015:
10. Ավդալյան Ն.Բ., Պետրոսյան Կ.Օ. Լավարկված ՑԿՄ ստատիկ հիշողության բջիջի մշակումը և մոդելավորումը // Հայաստանի ազգային պոլիտեխնիկական համալսարանի Լրաբեր. Գիտական հոդվածների ժողովածու. - Մաս 1. - Երևան, 2015. - էջ 181-186:
11. Петросян К.О. Сравнительный анализ характеристик базовых элементов интегральных схем на основе планарных и трехмерных КМОП структур // Вестник

НПУА: Информационные технологии, электроника, радиотехника. – 2018. - №1. - С. 89-100.

12. Петросян О.А., Авдалян Н.Б., Петросян К.О. Сравнительный анализ запоминающих ячеек статических оперативных запоминающих устройств // Вестник НПУА: Информационные технологии, электроника, радиотехника. - 2016. - №2. - С. 56-65.

13. Petrosyan K.O. Development of methods for constructing high-speed decoders with low power consumption of random-access memory // Proceeding of NPUA: Information Technologies Electronics, Radio engineering. - 2019. - № 2. –P.99-108.

## ԱՄՓՈՓԱԳԻՐ

Ինտեգրալ սխեմաների (ԻՍ) զարգացման հիմնական միտումը հանդիսանում է հզորության նվազարկումը և ինտեգրացիայի աստիճանի մեծացումը: Ժամանակակից ԻՍ-ների նախագծման արտադրման կոմպլեմենտար մետաղ-օքսիդ-կիսահաղորդչային (ԿՄՕԿ) տեխնոլոգիայի կատարելագործումը ուղեկցվում է տրանզիստորների բնութագրական չափերի փոքրացմամբ, դրանց ցրման հզորության և արագագործության աճով: ԿՄՕԿ տեխնոլոգիան անընդհատ ենթարկվում է մասշտաբավորման, ինչի արդյունքում ներկայումս արտադրվող ԻՍ-ներում տրանզիստորների նվազագույն չափերը հասել են 14 նմ և ավելի փոքր չափերի:

Ստատիկ օպերատիվ սարքերը (ՍՕՅՍ) ունեն լայն կիրառություն ժամանակակից թվային ԻՍ-ներում: Թվային ԻՍ-ների աշխատանքային հաճախականության աճին զուգընթաց խստացել են նաև դրանց առաջադրվող տեխնիկական պահանջները: Մասնավորապես՝ ՍՕՅՍ-ների և դրանց կրիտիկական տարրերի՝ հիշող բջիջներ (ՀԲ), զգայուն ուժեղարարներ (ՁՈՒԺ), հասցեների վերծանիչներ (ՀՎԾ) և դեկավարման սխեմաներ, ստեղծման աշխատանքները տեղի են ունենում մի շարք իրարամերժ պահանջների հաշվառմամբ: ՍՕՅՍ-ների արդյունավետության բարձրացման նպատակով անհրաժեշտ է գնահատել ցրման հզորության մեծությունը նախագծման ավելի վաղ փուլերում: Հակառակ դեպքում կարող է առաջանալ ամբողջ նախագծի կամ նրա առանձին հատվածների վերամշակման անհրաժեշտություն: ԻՍ-ների ինտեգրացիայի աստիճանի և արագագործության անընդհատ աճը բերում է էներգասպառման նվազարկման լուրջ խնդիրների, որոնց լուծումը դարձրել է ցածր էներգասպառմամբ ՍՕՅՍ-ների նախագծումը գերխնդիր:

Հետազոտվել և մոդելավորվել են ՍՕՅՍ-ների ամենատարածված 6Տ, 7Տ, 8Տ և 10Տ ՀԲ-ները ու կատարվել է դրանց բնութագրերի համեմատական վերլուծություն՝ կախված սնման լարման աղբյուրից, ջերմաստիճանից և հաճախությունից:

Մշակվել է ցածր էներգասպառմամբ ՍՕՅՍ-ների նախագծման մեթոդիկա: Առաջարկվել է օպտիմալացման խնդիրը, որը լուծվել է թվային մոտավոր մեթոդով, մշակված ծրագրային միջոցով MATLAB միջավայրում: Ստացված արդյունքները հաստատել են առաջարկված մեթոդիկայի հավաստիությունը:

Մշակվել է ՍՕՅՍ-ների ցածր էներգասպառմամբ և արագագործ մեծ կարգայնությամբ ՀՎԾ-ների կառուցման մեթոդ: Առաջարկվել և մշակվել է ցածր էներգասպառմամբ և բարձր արագագործությամբ ՀՎԾ-ների սխեմաներ: Այդ սխեմաների համար կատարվել է մոդելավորում SAED 14 նմ ծրագրային փաթեթով մոդելավորման արդյունքներով հիմնավորել է առաջարկված մեթոդի հավաստիությունը: Զանի որ մշակված ՀՎԾ-ները ասիմետրիկ են, առաջարկվել է մեթոդ, որը հնարավորություն է տալիս օգտագործողին ճիշտ միացնել ասիմետրիկ մուտքերը համապատասխան սխեմային:

Մշակվել է ՍՕՅՍ-ների տրամաբանական շղթաներում դինամիկ հզորության փոքրացման մեթոդ և կատարվել է մոդելավորում, որի արդյունքները ցույց են տվել, որ նույն հապաղման ժամանակը կարելի է

ստանալ տարբեր քանակի ինվերտորների դեպքում՝ տարբեր հոսքուղու երկարությունների համար: Առաջարկվել է կորստի հոսանքները փոքրացնելու համար կիրառել հարթակի էֆեկտը ՍՕՅՍ-ների ցրման հզորության նվազարկման համար: Առաջարկված սխեմատեխնիկական լուծման մոդելավորման արդյունքները հաստատել են մոտեցման հավաստիությունը:

Մշակվել է սինքրոազդանշանի ծառի կառուցման էֆեկտիվ մեթոդ: Մեթոդը թույլ է տալիս կառուցել փոքր շեղվածությամբ և տվյալի ու սինքրոազդանշանի տարածման ժամանակների փոքր տարբերությամբ սինքրոազդանշանի ծառ: Մեթոդը կիրառելի է ԻՍ-ների էներգասպառման նվազարկման, տեղաբաշխման և ծրագծման ծրագրային միջոցում:

Առաջարկվել է 8TM ՅԲ-ի նոր սխեմատեխնիկական լուծում և կատարվել է ՅԲ-ի բնութագրերի վերլուծություն՝ կախված սնման լարումից, հաճախականությունից և ջերմաստիճանից: 8TM ՅԲ-ի բիթային զծի լարման բացվածքը 8T ՅԲ-ի համեմատ մեծ է 2 անգամ: Ցույց է տրվել, որ մեծ ինֆորմացիոն ունակությամբ ՍՕՅՍ-ների նախագծման ժամանակ ապահովվում է ՍՕՅՍ-ների ցածր էներգասպառում:

Ցույց է տրված, որ ստեկային ՅԲ-ը ապահովում է հոսանքի դինամիկ բաղադրիչի փոքրացում 25%-ով ստատիկ բաղադրիչի 69%-ով մեծացման դեպքում, իսկ ասիմետրիկ ստեկային ՅԲ-ը՝ 65% փոքրացում ստատիկ հոսանքի կորուստների 0,5 մկԱ մեծացման դեպքում: Զանի որ մեկ ՅԲ-ի հոսանքի դինամիկ բաղադրիչը երկու կարգով գերազանցում է հոսանքի ստատիկ բաղադրիչին՝ ապահովվում է ՍՕՅՍ-ի էներգասպառման էական փոքրացում:

## **KAMO OLEG PETROSYAN**

### **DEVELOPMENT AND MODELING OF LOW-POWER COMPONENTS OF STATIC RANDOM-ACCESS MEMORIES**

#### **SUMMARY**

The main trend in the development of integrated circuits (IC) is the reduction of power and the increase of the degree of integration. The improvement of complementary metal-oxide-semiconductor CMOS technology of modern IC design, production is accompanied by the reduction of characteristic sizes of the transistors, an increase in their dispersion power and operating acceleration. The CMOS technology is constantly being scaled, as a result of which currently the minimum size of transistors in manufactured IS reaches 14 nm and even smaller.

Static random-access memories (SRAM) are widely used in modern digital ISs. Parallely with the increase in the working frequency of digital ISs, their technical requirements have become stricter. In particular, circuits for the management of SRAMs and their critical elements, such as memory cells (MC), sensitive amplifiers (SA), address interpreters (AI), are being developed considering a number of conflicting requirements. In order to increase the efficiency of SRAMs, it is necessary to estimate the dispersion capacity at the earlier stages of design. Otherwise, the whole project or parts of it may need to be recycled. The steady increase in the level of integration and speed of operation of IS lead to serious problems in the reduction of energy consumption, the solution of which has made the design of low-energy consumption SRAMs a priority.

The most common 6T, 7T, 8T, and 10T MCs of SRAM have been analyzed and modeled, and a comparative analysis of their characteristics has been performed, depending on the power supply source voltage, temperature, and frequency.

A low-energy consumption SRAMs design methodology has been developed. An optimization problem has been proposed, which has been solved by an approximate digital method developed by software in the MATLAB environment. The results have confirmed the reliability of the proposed method.

A method of constructing AIs with low energy consumption and high-speed regulation has been developed by SRAMs. Low-energy consumption and high-speed AI schemes have been proposed and developed. For these schemes, modeling has been performed with the SAED 14 nm software package, and the reliability of the proposed method has been substantiated. As the developed AIs are asymmetric, a method has been proposed that allows the user to correctly connect the asymmetric inputs to the appropriate scheme.

A method of reducing the dynamic power in the logic chains of SRAMs has been developed and modeling has been performed, the results of which show that the same delay time can be obtained in case of different number of inverters for different lengths of runaway. In order to reduce the loss of currents, it has been suggested to use the platform effect to reduce the dispersion capacity of SRAMs. The results of the proposed schematic solution modeling have confirmed the reliability of the approach.

An effective method of constructing a synchronous signal tree has been developed. The method allows to construct a synchronous signal with small deviation and small

difference between the data and the synchronous signal propagation time. The method is applicable to the software for reducing, deploying and mapping power consumption.

A technical solution to 8TM MC new scheme has been proposed and the analysis of MC characteristics depending on power supply voltage, frequency, temperature has been carried out. The voltage opening of the 8TM MC bit line is twice as large as that of 8T MC. It has been shown that the design of SRAMs with high information capacity ensures low power consumption of SRAMs.

It has been shown that the stack MC reduces the dynamic component of the current by 25% at increasing the static component by 69%, and reduces the asymmetric stack MC by 65% in case of increasing the static power losses by 0,5  $\mu$ A. As the dynamic power component of one MC exceeds the static component of the current in two ranges/orders/ways, a significant reduction in the power consumption of SRAMs is ensured.

A handwritten signature in black ink, appearing to be 'G. G.' or similar, located in the lower right quadrant of the page.