

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ, ԳԻՏՈՒԹՅԱՆ,
ՄՇԱԿՈՒՅԹԻ և ՄՊՈՐՏԻ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

Մարտիրոսյան Մերուժան Կարապետի

**ՆԱՆՉԱՓԱՅԻՆ ԻՆՏԵԳՐԱԼ ՍԻՆԵՄԱՆԵՐԻ ՆԱԽԱԳԾՄԱՆ
ՀԱՎԱՔԱԾՈՒԻ ՄՇԱԿՈՒՄԸ ԵՎ ՀԵՏԱԶՈՏՈՒՄԸ**

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի
հայցման ատենախոսության

ՍԵՂՄԱԳԻՐ

Երևան 2020

МИНИСТЕРСТВО ОБРАЗОВАНИЯ, НАУКИ, КУЛЬТУРЫ И СПОРТА
РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

Мартиросян Меружан Карапетович

**РАЗРАБОТКА И ИССЛЕДОВАНИЕ НАБОРА ПРОЕКТИРОВАНИЯ
НАНОРАЗМЕРНЫХ ИНТЕГРАЛЬНЫХ СХЕМ**

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата
технических наук по специальности 05.27.01-
“Электроника, микро- и наноэлектроника”

Ереван 2020

Ատենախոսության թեման հաստատվել է Հայաստանի ազգային պոլիտեխնիկական համալսարանում (ՀԱՊՀ):

Գիտական ղեկավար՝ տ.գ.դ. Վազգեն Շավարշի Մելիքյան
Պաշտոնական ընդդիմախոսներ՝ տ.գ.դ. Սուրիկ Խաչիկի Խոտավերոյան
տ.գ.թ. Նարեկ Բենիամինի Ավդալյան
Առաջատար կազմակերպություն՝ ՀՀ ԳԱԱ Ռադիոֆիզիկայի և
Էլեկտրոնիկայի ինստիտուտ

Ատենախոսության պաշտպանությունը տեղի կունենա 2020թ. հոկտեմբերի 30-ին, ժամը 14⁰⁰-ին, ՀԱՊՀ-ում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 Մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:
Սեղմագիրն առաքված 2020թ. սեպտեմբերի 18-ին:

046 Մասնագիտական խորհրդի
գիտական քարտուղար, տ.գ.դ.



Մ.Յ. Այվազյան

Тема диссертации утверждена в Национальном политехническом университете Армении (НПУА)

Научный руководитель: д.т.н. Вазген Шаваршович Меликян

Официальные оппоненты: д.т.н. Сурик Хачикович Худавердян
к.т.н. Нарек Бениаминович Авдалян

Ведущая организация: Институт радиофизики и
электроники НАН РА

Защита диссертации состоится 30-го октября 2020 г. в 14:00 ч. на заседании Специализированного совета 046 — "Радиотехники и электроники", действующего при НПУА, по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17. С диссертацией можно ознакомиться в библиотеке НПУА.
Автореферат разослан 18 сентября 2020 г.

Ученый секретарь
Специализированного совета 046,
д.т.н.



Մ.Ս. Այվազյան

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. Развитие микроэлектронных технологий сопровождается быстрым ростом количества полупроводниковых элементов на единицу площади интегральных схем (ИС), в результате чего повышаются функциональность и сложность проектируемых схем, что, как следствие, приводит к усложнению процесса проектирования. В этих условиях очень важно постоянно совершенствовать средства проектирования ИС, увеличение качества которых повысит эффективность ИС, разработанных с их помощью.

При разработке современных ИС используются наборы проектирования (НП), которые представляют собой готовые конструкции отдельных элементов и блоков.

Очевидно, что улучшение схемотехнических и физических структур элементов в НП, а также сокращение времени проектирования будут способствовать как улучшению параметров ИС, так и сокращению времени, затрачиваемого на проектирование ИС с использованием НП.

В частности, помимо базовых схем, включение в состав НП различных специальных схем с низким энергопотреблением и их многочисленных новых структур приведет к снижению энергопотребления и повышению качества ИС, спроектированных на основе НП.

Из вышесказанного следует, что качество проектируемой ИС существенно зависит от качества НП, используемых для разработки этой ИС. Однако создание качественных НП для каждого технологического процесса вызывает ряд сложных проблем, решение которых зависит от качественных показателей разрабатываемых НП. Решение этих проблем особенно сложно в случае нанометрических технологий, в которых используются транзисторы с трехмерным затвором (ТТЗ). В структуре такого типа появляются новые типы физических явлений, которые необходимо учитывать в процессе проектирования ИС. Отсюда следует, что создание наноразмерных ИС является весьма сложной и актуальной задачей, которая приводит к решению многих научных проблем. От решения этих проблем зависят разрабатываемые НП, а следовательно, и качество конечного продукта.

В настоящее время проводятся различные исследования разных НП с целью повышения их эффективности. Однако анализ этих исследований показывает, что эти наборы не полностью соответствуют современным требованиям, и они нуждаются в постоянном улучшении.

Диссертация посвящена разработке методов и принципов создания НП, что позволит повысить эффективность процесса проектирования и качество разработанных на их основе наноразмерных ИС.

Объект исследования. Схемотехнические модели полупроводниковых элементов, правила, используемые при проверках физических проектов, способы разработки библиотеки стандартных цифровых ячеек (БЦСЯ), состав и структура НП, используемых при проектировании современных ИС.

Цель работы. Разработка методов и способов повышения эффективности НП ИС и исследование разработанных НП на их основе.

Методы исследования. В диссертации использованы способы создания схемотехнических моделей полупроводниковых элементов, методы разработки

структур физических проектов, подходы к проектированию аналоговых, цифровых ИС и ИС с низким энергопотреблением.

Научная новизна:

- Предложены принципы разработки наборов проектирования наноразмерных ИС, использование которых позволило значительно улучшить основные характеристики проектируемых микросхем: быстродействие, энергопотребление и площадь, занимаемая полупроводниковым кристаллом.
- Разработан метод получения схемотехнических моделей полупроводниковых элементов с высокой точностью, которые не содержат интеллектуальной собственности, разработаны модели до десятков типов транзисторов, резисторов, емкостей и других полупроводниковых элементов, точность которых полностью соответствует современным требованиям практического проектирования ИС.
- Создан метод выбора физических слоев характеризуемых наибольшей чувствительностью в физическом проекте и налагаемых на них ограничений, который обеспечивает анализ чувствительности правил физического проектирования.
- На основе генетического алгоритма разработан метод параметрической оптимизации цифровых ячеек, который, в отличие от существующих методов, предназначен как для комбинационных, так и для последовательных схем.
- Предложен способ оценки значений паразитных емкостей на этапе схемотехнического проектирования, основанный на машинном обучении, который значительно сокращает количество возвратов от физического проекта к схемотехническому. Результаты обучения и тестирования на основе нескольких сотен цифровых ячеек показали, что отклонения между значениями предполагаемых реальных паразитных емкостей не превышают 25%.
- Разработана структура физического проекта цифровых стандартных ячеек, благодаря которой, за счет двойной высоты и распределения выводов как можно дальше друг от друга, значительно уменьшаются значения паразитных емкостей, возникаемых на этапе трассировки, и на основе этих ячеек сокращаются временные задержки ИС.

Практическая ценность работы. Разработанный набор проектирования, основанный на методах, алгоритмах и способах, предложенных в диссертации, используется для проектирования систем на кристаллах и различных интегральных процессоров с низким энергопотреблением. Проектирование многих цифровых ИС на основе разработанного набора показало высокую эффективность: в среднем энергопотребление спроектированных цифровых ИС уменьшилось на 7,8%, наименьший запас по времени увеличился на 17% за счет увеличения площади полупроводникового кристалла на 2,5%.

Достоверность научных положений подтверждается математическими обоснованиями, а также результатами экспериментов на основе схемотехнического моделирования.

Внедрение. Разработанный набор проектирования был внедрен в ЗАО "СИНОПСИС-АРМЕНИЯ", а также в нескольких десятках армянских и зарубежных проектных предприятий и используется для проектирования систем на кристаллах и разнообразных интегральных процессоров с низким энергопотреблением.

На защиту выносятся следующие научные положения:

- принципы разработки набора проектирования наноразмерных интегральных схем;
- метод получения схемотехнических моделей полупроводниковых элементов с высокой точностью, которые не содержат интеллектуальной собственности.
- метод выбора физических слоев характеризуемых наибольшей чувствительностью в физическом проекте и налагаемых на них ограничений;
- метод параметрической оптимизации цифровых ячеек;
- метод оценки значений паразитных емкостей на этапе схемотехнического проектирования основанный на машинном обучении;
- структура физического проекта цифровых стандартных ячеек;
- набор проектирования наноразмерных ИС.

Публикации. Основные положения диссертации представлены в шести научных работах, список которых приведен в конце автореферата.

Структура и объем работы. Работа состоит из введения, трех глав, основных выводов, списка литературы, включающего 104 наименований, и 6-и приложений. Основной текст работы составляет 120 страниц, включая 69 рисунков и 44 таблиц. Общий объем диссертации, включая приложения, составляет 146 страниц. Диссертация написана на армянском языке.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность темы диссертации, сформулированы цель и основные задачи исследования, представлены научная новизна, практическое значение и основные научные положения, выносимые на защиту.

В первой главе приведены требования к современным НП. Представлены преимущества и недостатки существующих НП.

В настоящее время количество транзисторов в ИС достигает десятков миллиардов, из которых аналоговые узлы содержат сотни, а цифровые сотни миллионов транзисторов. Аналоговые узлы разрабатываются специализированными маршрутами проектирования (СМП), а цифровые узлы с помощью автоматизированных маршрутов.

При разработке ИС с помощью СМП используются НП технологического процесса (НПТП), а в случае автоматизированного маршрута – НП, включающие, во-первых, модели полупроводниковых элементов схемотехнического уровня, ограничения, полагаемые на используемые слои в физических структурах, технологические файлы и т.д., во-вторых, готовые конструкции узлов и отдельных элементов.

СМП состоит из двух основных этапов проектирования: схмотехнического и физического. При схмотехническом проектировании необходимо учитывать отклонения процесса, напряжения и температуры. В случае всех комбинаций этих трех параметров необходимо убедиться, что разработанная схема соответствует всем требованиям, после чего перейти к последующим шагам. Однако, как уже отмечалось, для успешного завершения этих и последующих этапов необходимо иметь соответствующие модели всех полупроводниковых элементов, применяемых в данном проекте, используемые слои в физических конструкциях, обусловленные ими значения паразитных элементов и т.д. Проблема особенно усложняется в наноразмерных структурах в которых используется ТТЗ (рис. 1). В случае использования таких структур схмотехнического проектирования и инструментов, применяемых во время симуляции, необходимо учитывать некоторые особенности ТТЗ, в частности:

- дискретный характер параметров;
- наличие новых физических слоев;
- введение дополнительных паразитных элементов и т.д.

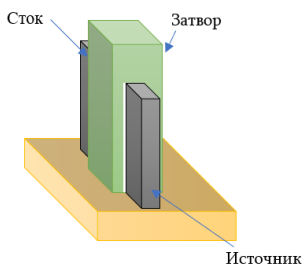


Рис. 1. Структура ТТЗ

Расчетная задача параметров, носящая дискретный характер решается применением новых типов моделей схмотехнического уровня, в которые добавляются параметры, характеризующие дискретность. Новые слои добавляются к физической структуре ТТЗ (рис. 2). Помимо того, что эти слои усложняют процесс физического проектирования, возникает также необходимость идентификации между дополнительными слоями и схмотехническим проектом данного полупроводникового устройства.

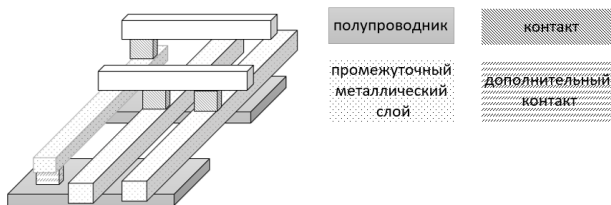


Рис. 2. Физические конструкции ТТЗ

Благодаря добавленным дополнительным слоям в физических конструкциях появляются другие типы паразитных элементов, значения и влияние которых на

поведение схемы можно рассчитать путем создания моделей схемотехнических уровней этих элементов, их внедрения и использования их в ПНТП.

В случае автоматизированной процедуры проектирования используемый НП должен включать в себе готовые схемы отдельных ячеек, узлов, их соответствующие описания и т.д. В частности, в случае проектирования ИС с низким энергопотреблением необходимо иметь все схемы в НП, используемые для реализации таких проектов с применением различных методов. При создании такого типа НП ставятся и решаются задачи различной сложности. К примеру, схемотехнические и физические структуры цифровых ячеек значительно увеличивают общее время процесса проектирования. По этой причине ведутся продолжительные работы с применением различных методов, с целью сокращения времени этого процесса.

Изучение существующих ПНТП и НП показывает, что они имеют ряд недостатков, которые ограничивают область их использования. В частности в них:

- имеется небольшое количество цифровых ячеек;
- отсутствуют схемы с низким энергопотреблением;
- используется металл-оксид полупроводниковый (МОП) технологический процесс;
- отсутствуют модели полупроводниковых элементов с различными пороговыми напряжениями;
- модели схемотехнического уровня не имеют высокой точностью и т.д.

Исходя из вышесказанного, предлагаются разработанные принципы, позволяющие устранить упомянутые недостатки в разработанных НП.

Во второй главе представлены методы, разработанные для решения проблем, изложенных в первой главе.

Для решения этой проблемы были разработаны методы, с помощью которых были созданы модели схемотехнического уровня ТТЗ, диодов и других полупроводниковых элементов, а также правила физического проектирования транзисторов. На их основе были спроектированы цифровые стандартные библиотеки ячеек. Разработаны средства автоматизированного улучшения БЦСЯ. С применением методов машинного обучения удалось уменьшить время разработки физических проектов.

Метод разработки моделей схемотехнического уровня транзисторов.

Предложен метод получения схемотехнических моделей транзисторов высокой точности, резисторов и других полупроводниковых элементов с использованием автоматизированных методов, применяемых в 14нм технологии.

До разработки моделей полупроводниковых элементов был проведен анализ чувствительности их параметров, в результате которого были выведены несколько функций.

Задана функция для определения значений энергопотребления, временных параметров и текущего тока по данному полупроводниковому элементу:

$$y_j = f_j(a_i), \quad (1)$$

где a_i является i -м параметром данного полупроводникового элемента; натуральное число i находится в диапазоне $[1, N]$; N - количество параметров, включенных в модель.

$$j=\{P, T, I\}, \quad (2)$$

где P характеризует динамическое и статическое энергопотребление, T - временные параметры; I - протекающий в транзисторе ток.

Определена функция, характеризующая отклонение каждого параметра:

$$K(a_i) = \prod \Delta f_i(a_i). \quad (3)$$

Рассчитав значение функции для каждого параметра, представленного в (3), затем классифицируя эти параметры по значениям, полученным с помощью этой функции, получен список параметров данных полупроводниковых элементов согласно чувствительностям.

После завершения классификации параметров необходимо определить целевую функцию:

$$Y = \sum_{i=0}^n (F(i, j) - F_j(i, a_0, a_1, \dots, a_k)) , \quad (4)$$

где $i = \{P, T, I\}$; $F(i, j)$ определяет значения высокоточной модели, $F_j(i, a_0, a_1, \dots, a_k)$ - значения полученной модели, n - максимальное значение напряжения: $n = \{0,01 \text{ В}, 0,02 \text{ В}, \dots, 0,8 \text{ В}\}$.

Таким образом, необходимо получить значения параметров a_i , при которых функция ΔF_i примет минимальное значение.

Произведя описанным способом поиск параметров a_i и добавлением их в модели данного полупроводникового элемента, получена модель, которая по своим свойствам будет очень близка к существующим в настоящее время точным моделям.

В процессе выполнения работы из литературных источников были взяты различные значения P , T и I , с помощью которых были получены характеристики полупроводниковых элементов. Затем, применяя указанный алгоритм на технологии 14 нм, были получены модели схмотехнического уровня транзисторов, сопротивлений и других полупроводниковых элементов (рис. 3).

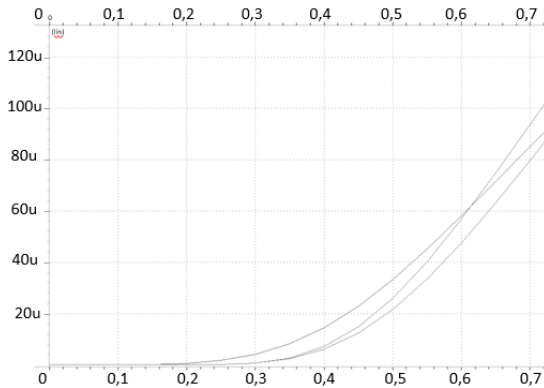


Рис. 3. Входные характеристики n-MOS транзистора при быстрых, типовых и медленных процессах

Метод разработки правил физического проектирования. Предложен метод выбора слоев, характеризуемых наибольшей чувствительностью в физическом проекте и налагаемых на них ограничений.

Были установлены и решены следующие проблемы:

- провести анализ чувствительности ограничений физического проектирования;
- найти наиболее точные числовые значения ограничений.

Для выполнения первого из требований были определены коэффициент воздействия физического ограничения и функция:

$$K_j = a_i * n_i, \quad (5)$$

$$f(s_j) = k_j / s_j, \quad (6)$$

где a_i - количество всех возможных ограничений на данном физическом слое; j - тип физического проекта; n_i - количество слоев в данном проекте, s_j - площадь физическо проекта.

Определены коэффициенты воздействия всех физических слоев (табл. 1) и функции (рис. 4) для различных конструкций.

Таблица 1

Коэффициенты воздействия физических слоев разных логических ячеек

Физический слой	Описание	кинв	ки	ки-или-не
VIA0	Металлический контакт первого уровня	3,75	4,71	6,43
CPO	Контакт поликремния	0,75	1,28	1,29
PO	Поликремний	3,75	3,42	3,21
STM1	Контакт	3,75	4,28	5,36
M1	Металлический первый уровень	3	2,28	3,14
NWELL	Карман n типа	0,5	0,28	0,143

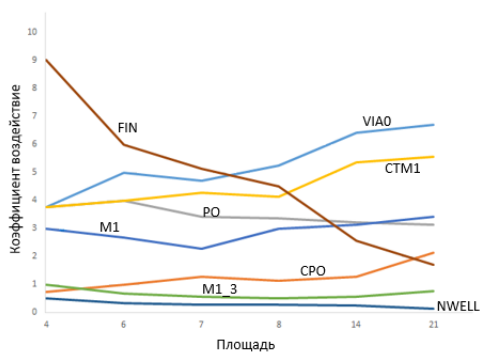


Рис. 4. Зависимость коэффициента воздействия от нормализованной величины площади

С целью определения чувствительности физического слоя для каждого уровня была установлена следующая функция:

$$F_i(s_j) = \sum_{j=0}^m (f(s_j)) \quad (6)$$

где m - номер физического проекта данной ячейки; $f(s_j)$ – функция воздействия физического ограничения.

К физическим слоям, функции $F_i(s_j)$ которых имели относительно более высокие значения, были установлены строгие требования по точности их ограничений, взятые из различных исследований, а уровни с относительно небольшими значениями $F_i(s_j)$ были определены путем масштабирования.

С использованием этого метода было разработано и создано около 150 правил физического проектирования.

Метод параметрической оптимизации стандартных цифровых ячеек. Для сокращения времени проектирования цифровых ячеек был автоматизирован процесс проектирования этих ячеек с помощью генетических алгоритмов.

Предлагается представить целевую функцию в виде разниц текущих значений и значений заданных в спецификации. Текущее значение функции представляется в следующем виде:

$$Y = F_i(p_{тк0}, p_{тк1}, \dots, p_{ткk}), \quad (7)$$

Где Y - определяет временные параметры ячейки; $t_i = (t_n, t_p, t_{зрнв}, t_{зрвн}, t_{пр}, t_v)$; t_n и t_p соответственно времена нарастания и падения выходного фронта; $t_{зрнв}$ и $t_{зрвн}$ соответственно задержка распространения сигнала с низкого до высокого и с высокого до низкого уровней; $t_{пр}$ и t_v соответственно времена предустановки и выдержки; $p_{ткk}$ - количество трехмерных каналов (ТК) k -го транзистора.

Имея текущее значение функции, а также значение, заданное в спецификации:

$$Y = F(t_i), \quad (8)$$

целевая функция представится в виде сумм их разниц:

$$a_{\min} \leq \sum (F(t_i) - F_{ii}(n_{тк0}, n_{тк1}, \dots, n_{ткk})) \leq a_{\max}, \quad (9)$$

где a_{\min} и a_{\max} - максимальное и минимальное допустимые отклонения.

При этом имеются следующие ограничения;

$$n_{ткм\min} \leq n_{ткk} \leq n_{ткм\max}, \quad (10)$$

$$n_{ткk+1} - n_{ткk} = n_{ткш}, \quad (11)$$

где $n_{ткм\min}$ и $n_{ткм\max}$ - максимальное и минимальное количество ТК; а $n_{ткш}$ - минимальный допустимый шаг.

В этом случае популяция представляет собой множество возможных значений количеств всех ТК в транзисторах. Хромосома - одна из этих множеств, а ген - это количество ТК в данном транзисторе.

Генетический алгоритм реализуется в следующей последовательности шагов:

1. Определяется популяция.
2. Методом случайного выбора (МСВ) берутся две хромосомы.

3. Проводится скрещивание хромосом. Для первой хромосомы МСВ берется индекс ее гена, при этом гены, находящиеся правее, заменяются теми, которые имеются во второй хромосоме.
4. МСВ берется индекс какого-либо гена, и данный ген мутирует: допустимое количество ТК в транзисторе заменяется другим значением.
5. Вычисляется функция (7).
6. Проверяется выражение (9). Если последнее выполняется, прекращается работа, если нет, то берется какая-либо другая хромосома, проводится скрещивание с хромосомой полученной на 4-ом шаге.
7. Шаги 6, 4 и 5 повторяются до тех пор, пока выражение (9) не будет выполнено или же все хромосомы в популяции не будут исчерпаны.
8. Если хромосомы исчерпываются, значит невозможно решить данную задачу при заданных ограничениях.

Данный метод применялся к ряду комбинационных и последовательностных схем во время параметрической оптимизации, в течение которой в качестве параметров были выбраны времена фронтов и задержка распространения логических ячеек.

Метод оценки паразитных емкостей в физических проектах с применением методов машинного обучения. С целью сокращения количества возвратов от физических проектов к схемотехническим, предлагается с помощью методов машинного обучения оценить схемотехнический проект и принять во внимание значения паразитных емкостей.

Работа выполнялась двумя этапами:

- от схемотехнического описания были выделены все узлы, которые образующие пары, и все связанные с ними параметры;
- полученный файл параметров был передан нейронной сети с целью обучения и тестирования.

Для реализации первого шага было разработано программное средство (рис. 5), для которого в качестве входных данных выступает описание схемы, а в качестве выходных каждые парные узлы, а также параметры и связанные с ними значения.

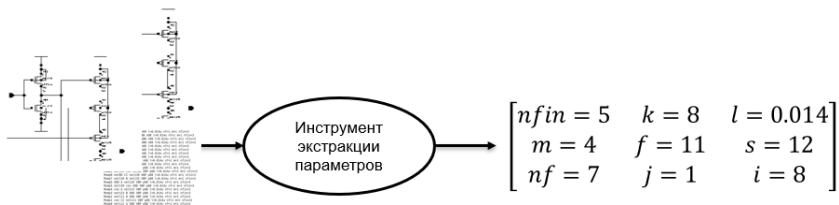


Рис. 5. Программное средство для вывода параметров из схемы

После сбора и обработки нужной информации и окончания первого этапа эти данные передаются глубокой нейронной сети, которая с помощью функций

активации выполняет фильтрацию отрицательных значений, а затем следуют обработка и тестирование модели (рис. 6).



Рис. 6. Алгоритм оценки паразитных емкостей

Разработанная модель в дальнейшем применялась для оценки паразитных емкостей в физических проектах БЦСЯ, в которых количество ячеек достигает нескольких сотен (рис. 7, табл. 2).

Прогнозируемые и реальные значения емкостей

Прогнозируемое значение емкости (аФ)	Реальное значение емкости (аФ)	Разница в процентах (%)
1,75	2,16	23
1,96	2,55	30
2,1	2,58	23
2,3	2,85	24
1,9	2,4	26

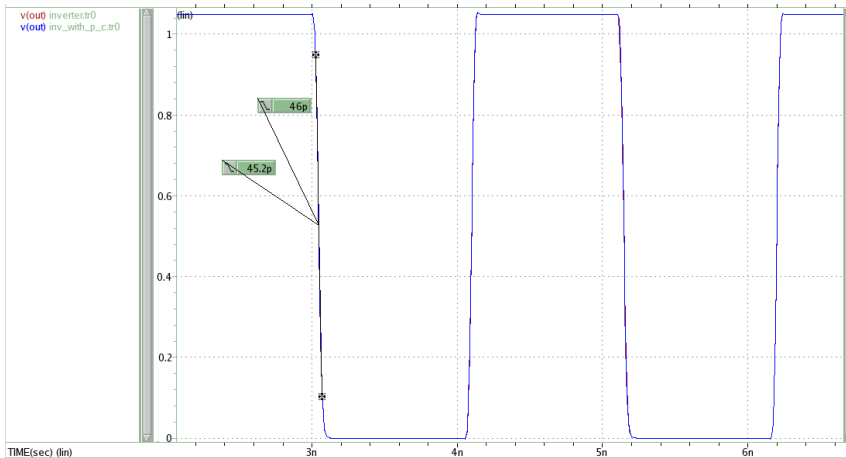


Рис. 7. Время нарастания и убывания сигналов ячейки "И" при реальных и прогнозируемых емкостях

Оценка эффективности предложенных средств для создания набора проектирования наноразмерных интегральных схем. В процессе разработки БЦСЯ часть ячеек из набора проектирования, разработанного предложенными подходами, была спроектирована с двойной высотой. Это привело к уменьшению паразитных емкостей и улучшению временных параметров за счет незначительного увеличения площади.

В третьей главе представлены состав и структура разработанных НП. Приведены примеры различных проектов, реализованных с их помощью а также произведено сравнение с проектами, разработанными с помощью других существующих НП.

НПТП и НП, разработанные на основе предложенных методов, состоят из схемотехнических моделей транзисторов, резисторов и других полупроводниковых элементов, правил физического проектирования, необходимых для реализации физических проектов, параметризованных систем для перечисленных полупроводниковых элементов, скриптов для проверки, БЦСЯ с разными

пороговыми напряжениями и низким энергопотреблением, одноузловых, двухузловых ячеек, ячеек памяти и т. д.

Для оценки эффективности НП были выполнены проекты с низким энергопотреблением процессоров типа ChipTOP, ORCA, OpenSPARC и др. (рис. 8, 9, табл. 3). Результаты были сравнены с проектами, разработанными с помощью других наборов (табл. 4, 5).

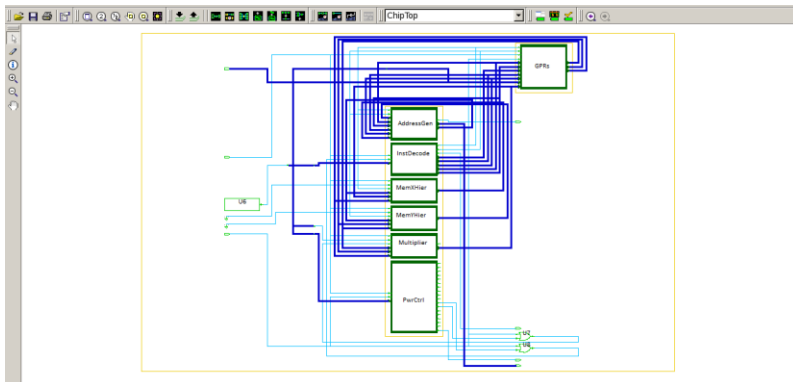


Рис. 8. Процессор типа ChipTOP, разработанный с использованием метода с несколькими напряжениями питания после схемотехнического синтеза

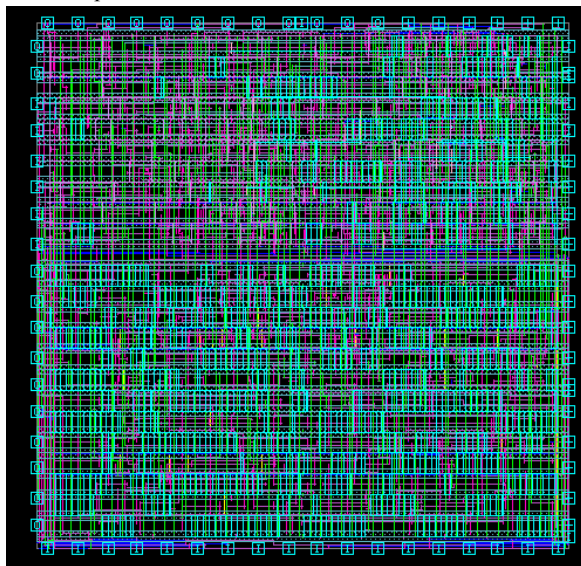


Рис. 9. Процессор типа ChipTOP, разработанный с использованием метода с несколькими напряжениями питания после физического синтеза

Таблица 3

Сравнение результатов синтеза процессора типа ChipTOP, разработанного с использованием методов с низким энергопотреблением

Примененный метод	Мощность (мкВт)	Площадь (мкм ²)	Уменьшение площади (%)	Рост площади (%)
Классический	301,31	48806	-	-
Со множественными пороговыми напряжениями	286,46	48806	4,93	0
С блокировкой синхросигнала	276,39	51197,49	8,27	4,9
Со множественными напряжениями питания	270,58	51831,97	10,2	6,2

Таблица 4

Результаты синтеза процессора типа ChipTOP, разработанного с использованием методов с низким энергопотреблением на основе 32 нм технологии

Примененный метод	Мощность (мкВт)	Площадь (мкм ²)	Уменьшение площади (%)	Рост площади (%)
Классический	402	129986	-	-
Со множественными пороговыми напряжениями	381,5	129986	5,1	0
С блокировкой синхросигнала	373,46	137265,22	7,1	5,6
Со множественными напряжениями питания	366,62	139734,95	8,8	7,5

Таблица 5

Результаты синтеза процессора типа ChipTOP, разработанного с использованием методов с низким энергопотреблением на основе 15 нм технологии

Примененный метод	Мощность (мкВт)	Площадь (мкм ²)	Уменьшение площади (%)	Рост площади (%)
Классический	330,55	52806	-	-
Со множественными пороговыми напряжениями	31501	52806	4,9	0
С блокировкой синхросигнала	304,77	55710,33	7,8	5,5
Со множественными напряжениями питания	299,15	56660,84	9,5	7,3

Полученные результаты показывают, что наличие в разработанном НП большого количества разнообразных специальных схем, позволяющих использовать все современные методы проектирования с низким энергопотреблением, а также базовых топологических структур с разными пороговыми напряжениями повышает эффективность применения этих методов.

При этом мощность уменьшается примерно на 7,8% за счет максимального увеличения площади на 3,7%.

Как было отмечено во второй главе, некоторые из ячеек в БЦСЯ были спроектированы так, чтобы иметь двойную высоту для улучшения временных параметров ИС. Для количественной оценки был выполнен ряд проектов процессоров, используя ячейки с одиночной и двойной высотами (табл. 6,7).

Таблица 6

Сравнение временных запасов процессоров, спроектированных с(без) использованием ячеек с двойной высотой

Тип процессора	Временной запас без ячеек с двойной высотой (пс)	Временной запас с ячейками с двойной высотой (пс)	Рост временного запаса (%)
OpenSPARC T1	5,7	6,61	16
ChipTOP	4,8	5,47	14
ORCA	5,1	5,97	17

Таблица 7

Сравнение площадей процессоров, спроектированных с использованием ячеек с одиночной и двойной высотами

Тип процессора	Площадь без ячеек с двойной высотой (мкм ²)	Площадь с ячейками с двойной высотой (мкм ²)	Рост площади (%)
OpenSPARC T1	78751	79696	1,2
ChipTOP	33055	33448	1,19
ORCA	593332	600689	1,24

Как видно из полученных результатов, при использовании ячеек с двойной высотой, временной запас увеличился до 17% за счет потерь площади примерно 1,2%.

ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Предложены принципы разработки наборов проектирования наноразмерных ИС, использование которых позволило значительно улучшить основные характеристики проектируемых микросхем: быстродействие, энергопотребление и площадь, занимаемая полупроводниковым кристаллом.
2. Разработан метод получения схмотехнических моделей полупроводниковых элементов с высокой точностью, которые не содержат интеллектуальной собственности, разработаны модели до десятков типов транзисторов, резисторов, емкостей и других полупроводниковых элементов, точность которых полностью соответствует современным требованиям практического проектирования ИС[2,3].
3. Создан метод выбора физических слоев характеризуемых наибольшей чувствительностью в физическом проекте и налагаемых на них ограничений, который обеспечивает анализ чувствительности правил физического проектирования[4].
4. На основе генетического алгоритма разработан метод параметрической оптимизации цифровых ячеек, который, в отличие от существующих методов, предназначен как для комбинационных, так и для последовательностных схем[5].
5. Предложен способ оценки значений паразитных емкостей на этапе схмотехнического проектирования, основанный на машинном обучении, который значительно сокращает количество возвратов от физического проекта к схмотехническому. Результаты обучения и тестирования на основе нескольких сотен цифровых ячеек показали, что отклонения между значениями предполагаемых реальных паразитных емкостей не превышают 25%.
6. Разработана структура физического проекта цифровых стандартных ячеек, благодаря которой, за счет двойной высоты и распределения выводов как можно дальше друг от друга, значительно уменьшаются значения паразитных емкостей, возникаемых на этапе трассировки, и на основе этих ячеек сокращаются временные задержки ИС.
7. Разработанный набор проектирования, основанный на методах, алгоритмах и способах, предложенных в диссертации, был внедрен в ЗАО "СИНОПСИС-АРМЕНИЯ", а также в нескольких десятках армянских и зарубежных проектных предприятий и используется для проектирования систем на кристаллах и разнообразных интегральных процессоров с низким энергопотреблением. Проектирование многих цифровых ИС на основе разработанного набора показало высокую эффективность: в среднем энергопотребление спроектированных цифровых ИС уменьшилось на 7,8%, наименьший запас по времени увеличился на 17% за счет увеличения площади полупроводникового кристалла на 2,5%[1,6].

Основные результаты диссертации опубликованы в следующих работах:

1. Multi-Voltage and Multi-Threshold Low Power Design Techniques for ORCA Processor Based on 14 nm Technology / **V. Melikyan, M. Martirosyan, D. Babayan, et al** // 2018 IEEE 38th International Conference on Electronics and Nanotechnology (ELNANO), 24-26 April 2018.- Kiev, Ukraine, 2018.-P 116-120.
2. Development Of Method For Automation Of SPICE Models Generation / **V. Melikyan, M. Martirosyan, D. Virabyan, et al** // Proceedings of 2019 IEEE EAST-West Design & Test Symposium (EWDTS), Sep. 13-16, 2019.- Batumi, Georgia, 2019.-P 523-526.
3. **Մարտիրոսյան Մ.** 14 նանոմետրանոց եռաչափ տրանզիստորների հիման վրա Spice մոդելների ստացումը // Հայաստանի ճարտարագիտական ակադեմիայի Լրաբեր.- 2018.- Հ. 15, N 2. էջ 298-301:
4. **Մելիքյան Վ., Մարտիրոսյան Մ.** 14 նանոմետրանոց տեխնոլոգիական գործընթացի համար ինտեգրալ սխեմաների ֆիզիկական նախագծման կանոնների մշակումը // Հայաստանի ճարտարագիտական ակադեմիա Լրաբեր.- 2019.- Հ. 16, N 1. էջ 86-89:
5. **Մարտիրոսյան Մ.** Թվային ստանդարտ բջիջների պարամետրական օպտիմալացումը գենետիկ ալգորիթմների կիրառմամբ // ՀՀ ԳԱԱ և ՀԱՊՀ տեղեկագիր. Տեխնիկական գիտությունների սերիա,-2019,- Հ. 72, N3.- էջ 410-417:
6. **Մարտիրոսյան Մ.** Պարամետրացված բջիջների կիրառմամբ ինտեգրալ սխեմաների ֆիզիկական նախագծումը // ՀՀ ԳԱԱ և ՀԱՊՀ տեղեկագիր. Տեխնիկական գիտությունների սերիա,-2020,- Հ. 73, N3.- էջ 263-268:

ԱՄՓՈՓԱԳԻՐ

Ինտեգրալ սխեմաների (ԻՍ) նախագծման առաջ դրվող պահանջները տարեցտարի խստացվում են, դրանք բերում են նախագծման նոր միջոցների և մոտեցումների մշակմանը, որոնք թույլ կտան բավարարել առաջադրվող բարդ պահանջները:

Հայտնի է, որ ներկա ժամանակաշրջանում տրանզիստորների քանակը ԻՍ-երում հասնում է ընդհուպ մինչև տասնյակ միլիարդավորների, որից անալոգային հանգույցները պարունակում են հարյուրավորների, իսկ թվայինները՝ հարյուրավոր միլիոնների հասնող տրանզիստորներ: Անալոգային հանգույցները նախագծվում են ավտոմատացված, իսկ թվայինները ավտոմատ միջոցների կիրառմամբ: Նախագծման այսպիսի մոտեցումների դեպքում օգտագործվում են նախագծման հավաքածուներ (ՆՀ), որոնք իրենց ներսում ընդգրկում են տրանզիստորների, դիոդների և այլ կիսահաղորդչային տարրերի սխեմատեխնիկական մակարդակի մոդելները, դրանց համապատասխան ֆիզիկական կառուցվածքները, առանձին տարրերի և հանգույցների պատրաստի նախագծերը և այլն:

Ակնհայտ է, որ նախագծվող ԻՍ-ի որակը անմիջականորեն կախված է տվյալ նախագծման ընթացքում օգտագործվող ՆՀ-ի որակից: Սակայն, որակյալ ՆՀ-երի ստեղծումը հանգեցնում է մի շարք բարդ խնդիրների առաջադրմանը և լուծմանը: Այդ խնդիրների լուծումները առավել բարդանում են նանոչափային կառուցվածքների դեպքում, որոնցում օգտագործվում են եռաչափ փականով տրանզիստորներ: Դրանց կառուցվածքային առանձնահատկությունները բերում են նոր տեսակի ֆիզիկական երևույթների առաջացմանը, որոնք պետք է հաշվի առնել ԻՍ-երի նախագծման գործընթացում:

Այդ պատճառով վերջին տարիներին տարբեր գիտական խմբերի կողմից կատարվում են գիտահետազոտական աշխատանքներ ՆՀ-երի արդյունավետության բարձրացման նպատակով: Սակայն, գոյություն ունեցող ՆՀ-երի վերլուծությունը ցույց է տալիս որ դրանք ունեն մի շարք թերություններ և ամբողջությամբ չեն բավարարում ժամանակակից պահանջները: Առաջանում է այնպիսի սկզբունքների, մեթոդների և մոտեցումների մշակման անհրաժեշտություն, որոնք թույլ կտան ստեղծել ներկայումս դրվող պահանջներին բավարարող ՆՀ-եր:

Առաջարկվել են նանոչափային ինտեգրալ սխեմաների նախագծման հավաքածուների մշակման սկզբունքներ, որոնց կիրառումը հնարավորություն է ընձեռել էապես բարելավելու նախագծվող միկրոսխեմաների հիմնական բնութագրերը՝ արագագործությունը, էներգասպառումը և կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսը:

Մշակվել է կիսահաղորդչային տարրերի մտավոր սեփականություն չպարունակող ճշգրիտ սխեմատեխնիկական մոդելների ստացման մեթոդ: Վերջինիս կիրառմամբ ստեղծվել են տասնյակի հասնող տրանզիստորների, դիմադրությունների, ունակությունների և այլ կիսահաղորդչային տարրերի մոդելներ, որոնց ճշտությունը լիովին բավարարում է ԻՍ-երի գործնական նախագծման ժամանակակից պահանջները:

Ստեղծվել է ֆիզիկական նախագծի վրա առավելագույն զգայնությամբ բնութագրվող շերտերի և դրանց նկատմամբ սահմանափակումների ընտրման մեթոդ, որն ապահովում է ֆիզիկական նախագծման կանոնների զգայնության վերլուծությունը:

Գենետիկ ալգորիթմի հիման վրա մշակվել է թվային բջիջների պարամետրական օպտիմալացման մեթոդ, որն ի տարբերություն ներկայումս գոյություն ունեցողների՝ նախատեսված է ինչպես համակցական, այնպես էլ հաջորդական սխեմաների համար:

Առաջարկվել է սխեմատեխնիկական նախագծման փուլում պարագիտային ունակությունների արժեքների գնահատման մեքենայական ուսուցման եղանակ, որն էականորեն նվազեցնում է ֆիզիկական նախագծից սխեմատեխնիկականին վերադարձների քանակը: Մի քանի հարյուր թվային բջիջների հիման վրա ուսուցման և թեստավորման արդյունքները ցույց են տվել, որ գնահատված և իրական պարագիտային ունակությունների արժեքների միջև շեղումները չեն գերազանցում 25%-ը:

Մշակվել է թվային ստանդարտ բջիջների ֆիզիկական նախագծի կառուցվածք, որը կրկնակի բարձրության և ելուստների միմյանցից հնարավորինս հեռու տեղաբաշխման շնորհիվ՝ էապես փոքրացնում է ծրագծման փուլում առաջացող պարագիտային ունակությունների արժեքները և այդ բջիջների հիման վրա նախագծվող ԻՍ-երի ժամանակային հապաղումները:

Ատենախոսությունում առաջարկված մեթոդների, ալգորիթմների և եղանակների հիման վրա մշակված նախագծման հավաքածուն ներդրվել է «ՍԻՆՈՓՍԻՍ-ԱՐՄԵՆԻԱ» ՓԲԸ-ում, ինչպես նաև մի քանի տասնյակ հայաստանյան և արտասահմանյան նախագծող ձեռնարկություններում և կիրառվում է տարաբնույթ ցածր էներգասպառմամբ ինտեգրալ պրոցեսորների և բյուրեղների վրա՝ համակարգերի նախագծման համար: Այդ հավաքածուի միջոցով բազմաթիվ թվային ԻՍ-երի նախագծումը դրսևորել է բարձր արդյունավետություն. նախագծվող թվային ԻՍ-երի էներգասպառումը միջինում փոքրացել է 7,8%-ով, վատագույն ժամանակային ուղու պաշարը մեծացել է 17%-ով՝ ի հաշիվ կիսահաղորդչային բյուրեղի մակերեսի մոտավորապես 2,5% մեծացման:

MERUZHAN KARAPET MARTIROSYAN

DEVELOPMENT AND RESEARCH OF DESIGN KIT OF NANOSCALE INTEGRATED CIRCUITS

SUMMARY

The requirements for the design of integrated circuits (IC) are getting stricter with every proceeding year, they lead to the development of new means and approaches, which will allow to satisfy the complex requirements.

It is known, that now, the number of transistors in IC reaches up to tens of billions, from which analog parts consist of hundreds and digital ones – up to hundreds of millions of transistors. Analog nodes are being designed with the application of automated, and digital ones – with the application of automatic tools. In case of such design approach, design kits (DK) are used, which include circuit level models of transistors, diodes and other semiconductor devices, their appropriate physical structures, industry-ready designs of separate elements and nodes, etc.

It is obvious, that the quality of designed ICs directly depends on the quality of DK, which is used during the design process. But the development of high-quality DK leads to occurrence and solution of the number of complex problems. The solution of those problems becomes more complicated for nanoscale technologies where FinFET transistors are used, the structural features of which give rise to new types of physical phenomena, which should be taken into consideration during the design process of ICs.

That's why in recent years, various research teams implement scientific-research works, aimed to arise the efficiency of DKs. However, the analysis of existing DKs illustrate, that they have a number of disadvantages and don't fully satisfy the contemporary demands. A need to develop such kind of new principles, methods, and approaches arises, which will allow creating DKs, satisfying recent demands as much as possible.

Principles of development of nanoscale IC design kits has been proposed, the application of which allowed to significantly improve the main characteristics of designed ICs – speed, power consumption, and area, occupied by a semiconductor crystal.

A method to obtain accurate schematic level models of semiconductor devices that does not contain intellectual property has been developed. Applying the latter, models of up to dozens of transistors, resistors, capacitors and other semiconductor devices have been developed, the accuracy of which fully satisfies the state-of-the-art requirements of practical design of ICs.

A method of selecting layers characterized by maximum sensitivity in the physical design and constraints on them is created, which provides the analysis of the sensitivity of physical design rules.

A method of parametric optimization of digital cells based on genetic algorithm has been developed, which is designed for both combinational and sequential circuits in contrast to recently existing ones.

A method, based on machine learning has been proposed for evaluated parasitic capacitance values at circuit-level design phase, which essentially decreases the yield

from physical to schematic design. The study and testing results of a few hundred digital cells have illustrated that the deviations between the values of estimated and real parasitic capacitance do not exceed 25%.

A structure of digital standard cells' physical design has been developed, which due to double height and the placement of terminals as far apart as possible, essentially decreases the values of parasitic capacitance at the phase of routing, as well as timing delays of ICs, designed on the basis of those cells.

DKs, based on the methods, solutions, and algorithms, proposed in the PhD thesis have been embedded in «SYNOPSISYS ARMENIA» CJSC, as well as in a few dozens of Armenian and foreign design companies and are deployed to design various low power integrated circuits and System on Chips. The design of many digital ICs through this kits has demonstrated the high efficiency of the latter – the power consumption of designed digital ICs has been decreased by 7,8 %, worst negative slack has been increased by 17 %, due to increasing area, occupied by a semiconductor crystal by 2,5 %.

