

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

Մամիկոնյան Նարեկ Էդուարդի

ԻՆՔՆԱՌԻՍՈՒՑՎՈՂ ԻՆՏԵԳՐԱԼ ԴԻՆԱՄԻԿ ՀԻՇԱՍԱՐՔԵՐԻ
ՆԱԽԱԳԾՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՈՒՄԸ ԵՎ ՀԵՏԱԶՈՏՈՒՄԸ

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի
հայցման ատենախոսության

ՍԵՂՄԱԳԻՐ

Երևան 2020

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

Мамиконян Нарек Эдуардович

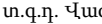
**РАЗРАБОТКА И ИССЛЕДОВАНИЕ САМООБУЧАЕМЫХ СРЕДСТВ
ПРОЕКТИРОВАНИЯ ИНТЕГРАЛЬНЫХ ДИНАМИЧЕСКИХ
ЗАПОМИНАЮЩИХ УСТРОЙСТВ**

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата
технических наук по специальности 05.27.01 -
“Электроника, микро- и наноэлектроника”

Ереван 2020

Ատենախոսության թեման հաստատվել է Երևանի Պետական Համալսարան (ԵՊՀ):

Գիտական ղեկավար՝  տ.գ.դ. Վազգեն Շավարշի Մելիքյան

Պաշտոնական ընդդիմախոսներ՝  տ.գ.դ. Օլեգ Հարությունի Պետրոսյան
տ.գ.թ. Արման Արամի Վարդանյան

Առաջատար կազմակերպություն՝  Երևանի կապի միջոցների
գիտահետազոտական ինստիտուտ

Ատենախոսության պաշտպանությունը տեղի կունենա 2021թ. հունվարի 15-ին, ժամը 14⁰⁰-ին, ՀԱՊՀ-ում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 Մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք) :

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:
Սեղմագիրն առաքված 2020թ. դեկտեմբերի 5-ին:

046 Մասնագիտական խորհրդի
գիտական քարտուղար, տ.գ.թ.



Մարտին Յոլակի
Սյվազյան

Тема диссертации утверждена в Ереванский Государственный Университет (ЕГУ)

Научный руководитель:  д.т.н. Вазген Шаваршович Меликян

Официальные оппоненты:  д.т.н. Олег Арутюнович Петросян
к.т.н. Арман Арамович Варданян

Ведущая организация:  Ереванский научно-исследовательский
институт средств связи

Защита диссертации состоится 15-го января 2021г. в 14⁰⁰ ч. на заседании
Специализированного совета 046 — “Радиотехники и электроники”,
действующего при НПУА, по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.
С диссертацией можно ознакомиться в библиотеке НПУА.
Автореферат разослан 5-го декабря 2020 г.

Ученый секретарь
Специализированного совета 046,
д.т.н.



Мартин Цолакович
Айвазян

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. Наряду с развитием современных полупроводниковых технологий ужесточаются требования, предъявляемые к интегральным схемам (ИС). Важными макропараметрами ИС и их отдельных узлов являются быстродействие, энергопотребление и площадь, занимаемая на полупроводниковом кристалле. Это касается и запоминающих устройств, являющихся наиболее распространенным видом ИС. В последние годы в результате развития этих устройств приоритетными, по сравнению с другими макропараметрами, стали вызовы по снижению их энергопотребления. Кроме того, расширение функциональности различных портативных устройств, а также малая энергоёмкость аккумуляторов в системах этого класса увеличивают вызовы, связанные с энергопотреблением. Зачастую снижение энергопотребления осуществляется даже за счет уменьшения быстродействия. Однако для многочисленных типов ИС повышение быстродействия является более важным, чем снижение энергопотребления. Учитывая то обстоятельство, что различные запоминающие устройства осуществляют в разных объемах обработку и хранение информации, необходимо, чтобы переводчики памяти, являющиеся наиболее распространёнными средствами проектирования, имели возможность не только создавать запоминающие устройства с различными настройками, но также обеспечивать современные требования, предъявляемые к быстродействию и энергопотреблению применительно к каждому конкретному проекту. Это означает, что переводчики памяти должны обладать возможностью точного выбора указанных макропараметров. Типы встроенных в ИС систем памяти также многочисленны - динамические, статические, флэш и т.д. Динамические запоминающие устройства с произвольным доступом (ЗУПД) по-прежнему остаются ключевыми почти во всех ИС, так как они сохраняют тот же объем информации на сравнительно небольшой полупроводниковой поверхности.

В последние годы было проведено множество инновационных исследований, направленных на решение актуальных требований к запоминающим устройствам. Однако сегодня наиболее актуальной проблемой стала разработка средств проектирования ИС с динамической произвольной выборкой, поскольку известные решения и архитектура не обеспечивают в необходимой мере точный выбор соотношения снижения энергопотребления и повышения быстродействия. Исходя из вышеизложенного, возникает необходимость разработки новых подходов для решения вышеуказанных проблем.

Диссертация посвящена разработке средств проектирования ИС с динамической произвольной выборкой, обеспечивающих снижение их энергопотребления в необходимой степени.

Объект исследования. Методы проектирования, направленные на решение проблем снижения энергопотребления в интегральных динамических запоминающих устройствах посредством самообучения. Технологические процессы физического проектирования и способы их проверки.

Цель работы. Разработка путей и средств снижения энергопотребления интегральных динамических запоминающих устройств за счет допустимого ухудшения макропараметров.

Методы исследования. В ходе проведения исследований были использованы теории электрических и цифровых цепей, методы организации программного обеспечения объектно-ориентированным способом, принципы машинного обучения, методы описания на языках схемотехнического и логического уровней, методы схемотехнического и физического проектирования интегральных схем.

Научная новизна:

- Предложены принципы разработки самообучаемых средств проектирования интегральных запоминающих устройств, позволяющие значительно улучшить их основные технические характеристики и снизить энергопотребление.
- Разработан метод первоочередного отбора банков памяти с различным пороговым напряжением, позволяющий за счет совмещения различных видов транзисторов снизить энергопотребление на 5% и, как следствие увеличить площадь системы, занимаемую на полупроводниковом кристалле, всего на 4,3%.
- Предложены способы оценки и оптимизации падения напряжения на ЗУПД с помощью алгоритмов машинного обучения, позволяющий за счет роста количества металлических связей примерно на 14% снизить падение напряжения на 13% при увеличении общего времени, затраченного на процесс проектирования, примерно на 11%.
- Разработана и интегрирована в процесс проектирования процедура проверки доступности узлов Вх/Вых, позволяющая путем классификации устройств памяти фильтрацией погрешности затрачивать на дальнейший процесс проектирования на 7...14% меньше времени.
- Разработан метод оценки времени обновления памяти, основанный на статистической блокаде, который благодаря классификации машинного обучения осуществляется в 1,5 раза быстрее метода Монте-Карло с понижением точности выбора времени обновления максимум на 5%.

Практическая ценность работы. На основе принципов, методов и способов, предложенных в диссертации, разработано самообучаемое программное средство Self Memory Compiler для проектирования интегральных запоминающих устройств, которое было внедрено в ЗАО «Сиско Интернетворкинг» и используется для проектирования ИС указанного класса и исследования их основных параметров. Тестирование самообучаемого программного средства интегральных динамических запоминающих устройств в реальных проектах показало высокую эффективность по сравнению с другими системами этого класса. В худшем случае при уменьшении быстродействия всего на 8%, данная программа обеспечивает снижение энергопотребления примерно на 15%.

Достоверность научных положений подтверждена сравнением полученных научных результатов с экспериментальными результатами моделирования, представленными в диссертации.

Внедрение. Самообучаемая программа Self Memory Compiler была внедрена в ЗАО «Сиско Интернетворкинг» и используется для проектирования интегральных запоминающих устройств, исследования их основных параметров и анализа полученных результатов. ЗУПД, разработанные с использованием программы Self Memory Compiler, представляют собой ряд реальных узлов интегральных схем.

Основные положения, выносимые на защиту:

- Метод отбора первоочередных банков памяти с различным подпороговым напряжением.
- Метод оценки и оптимизации падения напряжения в ЗУПД.
- Метод проверки доступности узлов Вх/Вых и оптимизации их размещения.
- Метод выборки времени обновления памяти.

Апробация работы. Основные научные и практические результаты диссертации докладывались на:

- 18-ом Международном симпозиуме «IEEE EWDTs: East-West Design & Test» (Варна, Болгария, 2020г.);
- научных семинарах кафедры Физики полупроводников и микроэлектроники ЕГУ (Ереван, Армения, 2018-2020 гг.);
- научных семинарах ЗАО «Синописис Армения» (Ереван, Армения, 2018-2020 гг.).

Публикации. Основные положения, представленные в диссертации, обобщены в пяти научных публикациях, список которых приведен в конце автореферата.

Структура и объем работы. Диссертация состоит из введения, трёх глав, основных выводов, списка литературы из 105 наименований и 5 приложений. В первом приложении представлен акт внедрения результатов диссертации, во втором - часть кода Python программного обеспечения Self Memory Compiler, в третьем - список рисунков, в четвёртом - список таблиц, в пятом - список использованных сокращений. Основной объем диссертации составляет 105 страниц, вместе с приложениями - 142 страницы, включая 48 рисунков, 12 таблиц. Диссертация написана на армянском языке.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность исследования, сформулированы цель и основные задачи работы, представлены научная новизна, практическая значимость и основные научные положения, выносимые на защиту.

В первой главе на основе требований, предъявляемых к современным ИС, рабочий процесс всех видов ЗУПД разделяется на 4 режима:

- ожидания,
- записи,
- чтения,
- регенерации.

Для уменьшения быстродействия режимов чтения, записи и снижения частоты регенерации ЗУПД, а также сокращения энергопотребления необходимо, чтобы были точно выбраны их составные элементы.

Основные составные элементы ЗУПД (рис. 1):

- массив ячеек памяти (МЯП);
- мультиплексор столбцов (МС);

- декодеры строки и адреса (ДС и ДА);
- чувствительный усилитель (ЧУ);
- узел входа и выхода (Вх /Вых);
- блок управления записью и чтением (БУЗЧ);
- блок подзарядки (БП);
- блок регенерации (БР).

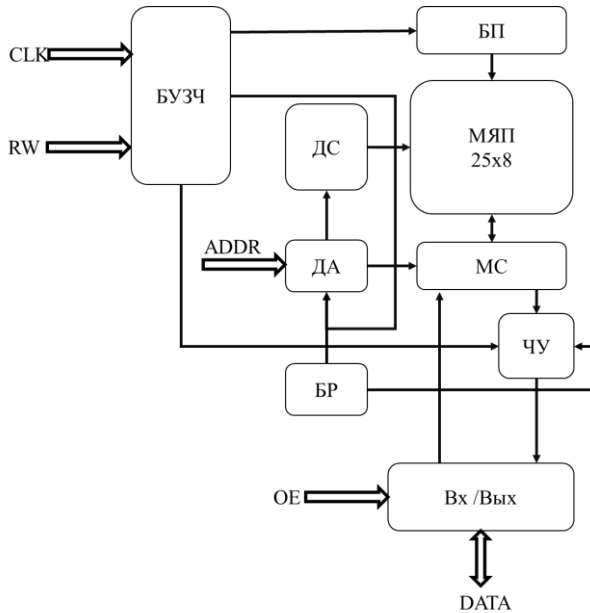


Рис. 1. Блок-диаграмма памяти ЗУПД

При проектировании ЗУПД основную сложность представляют шумы напряжения питания, точный выбор времени регенерации, температурные изменения и большое энергопотребление. Исследование имеющихся подходов и методов разработки средств проектирования ЗУПД показывает, что все эти методы не удовлетворяют современным требованиям эффективности.

Наиболее важными макропараметрами ЗУПД являются их энергопотребление, быстродействие и площадь, занимаемая на полупроводниковом кристалле. Поскольку энергопотребление обратно пропорционально быстродействию, то постановка задачи снижения энергопотребления должна быть такой, чтобы влияние улучшения этого макропараметра на другие было минимальным.

Во второй главе представлены методы, разработанные для решения проблем, указанных в первой главе.

Метод отбора первоочерёдности банков памяти с различным пороговым напряжением

Снижение энергопотребления ЗУПД является важной задачей. С этой целью можно использовать транзисторы с низким энергопотреблением, которые в то же время ухудшают быстродействие. С другой стороны, информация, записанная по любому адресу, может быть считана с любой частотой, следовательно, часто считываемая информация должна иметь небольшое время обращения. Таким образом, адреса, которые считываются сравнительно редко, могут иметь более длительное время обращения. Из сказанного следует, что за счёт транзисторов, работающих с различным энергопотреблением, можно снизить общее энергопотребление системы. Для реализации такой системы нужны банки, состоящие из ЗУПД с различным энергопотреблением. Кроме того, чтобы эти банки памяти использовались как можно эффективнее, часто читаемые адреса должны быть включены в сравнительно быстродействующие банки памяти. Для оценки частоты обращения к адресам необходимо регистрировать количество обращений, что осуществляется путем добавления в схему счётчиков. Поскольку выделять на каждый адрес индивидуальный счётчик неэффективно, поэтому счётчики можно распределить по банкам адресов с разным подпороговым напряжением. Кроме того, для переадресации необходимо использовать карту адресов. Так как интенсивность обращения к адресам в этой системе со временем может меняться, требуется также обновить зарегистрированную интенсивность. Таким образом, полная система состоит из счётчика адресов памяти, сравнительной схемы, узла определения первоочерёдности и блока отображения адресов (рис. 2).

Проверка эффективности предложенного метода проводилась с использованием ЗУПД с ячейкой из трёх транзисторов и одной ёмкости. Для проверки также были применены запоминающие устройства разных размеров - 8 Гб и 16 Гб (табл. 1).

Таблица 1
Результаты, полученные методом отбора первоочерёдности по различным подпороговым напряжениям.

Объем памяти, Гб	Энергопотребление для первого случая, мВт	Энергопотребление для второго случая, мВт	Энергопотребление для третьего случая, мВт	Кол-во стандартных ячеек ЗУПД	Кол-во стандартных ячеек, использованных в данном методе
8	374	327	442	1147	1273
16	619	542	749	1874	2062

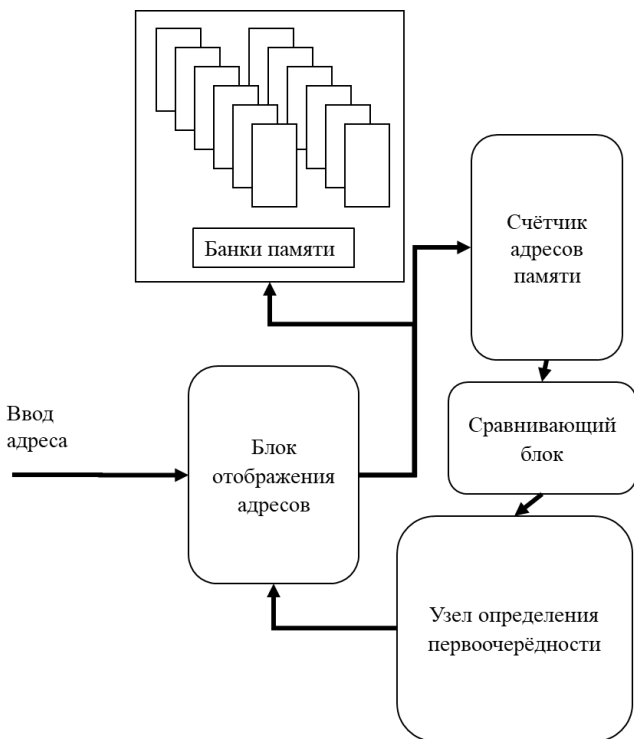


Рис. 2. Блок-диаграмма организации первоочёрдности ЗУПД

С помощью данной системы можно достичь снижения энергопотребления вплоть до 5%, тогда как вся занимаемая системой площадь увеличится всего на 4,3%. Кроме того, система будет состоять из блоков, работающих с различными подпороговыми напряжениями, в результате чего влияние этих блоков на шины питания будет различным. Иначе говоря, шины питания, подключённые к блокам с большими расходами электроэнергии, должны суметь обеспечить эти токи, в противном случае - возникнет падение напряжения на шинах питания.

Метод оценки и оптимизации падения напряжения ЗУПД с помощью алгоритмов машинного обучения

Возможное решение для исправления нарушений падения напряжения - увеличение плотности в шинах питания и земли. Это обеспечит большее количество связей между двумя металлическими слоями, в результате чего снизится ток, протекающий по одной ветке, и, как следствие, снизится падение напряжения. С другой стороны, плотная сеть питания и земли блокирует доступные пути трассировки, что влияет на ресурсы трассировки. Следовательно, в

конструкциях с большими связями, такими как ЗУПД, необходимо найти компромисс между плотностью шин питания и уменьшением падения напряжения. Падение напряжения в ЗУПД может привести к неправильной работе запоминающего устройства, вплоть до потери информации в ячейке памяти. Оно также влияет на время регенерации, так как увеличивает время задержки транзистора. Кроме того, поскольку узлы входа-выхода запоминающего устройства плотные, то для запоминающего устройства необходимо большое количество путей трассировки, в противном случае - большое количество обходов приведёт к нарушениям временных характеристик памяти. Данным методом после выделения областей с возможным падением напряжения на шинах питания запоминающего устройства добавляются локальные соединения питания и земли посредством установки контактов (рис. 3).

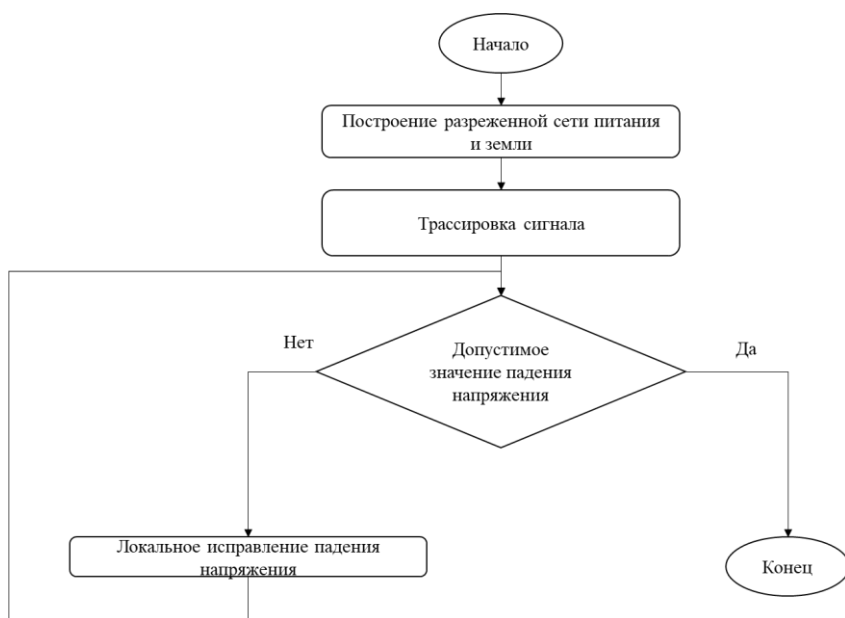


Рис. 3. Блок-схема метода оптимизации падения напряжения

Результаты испытаний показывают, что с применением предлагаемого метода общее количество случаев падения напряжения уменьшилось на 13%; общая длина металлического слоя увеличилась всего на 14%, что является приемлемым, так как она не влияет на предварительную трассировку сигнала; общее время, затраченное на использование предлагаемого метода, увеличилось на 11%, не считая процесса обучения регрессионной модели (табл. 2).

Таблица 2

Результаты имитации предлагаемого метода

Тип	Время, затрачиваемое на процесс, с	Наибольшее падение напряжения, %	Полная металлическая поверхность, мкм
Разреженная сеть питания	3812	1,5%	183,4
Предложенный метод	4265	1,3%	209,1

Метод оптимизации размещения узлов Вх/Вых путём проверки их доступности

Предложенный метод предназначен для выполнения проверки доступности узлов Вх/Вых запоминающих устройств применительно к различным логическим элементам. Для такой проверки необходимо, чтобы узлы Вх/Вых запоминающих устройств случайным образом подключались к различным логическим элементам (рис. 4).

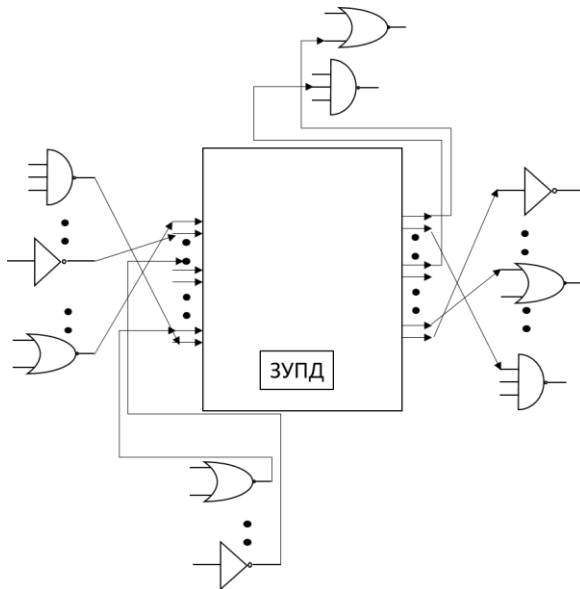


Рис. 4. Схема с логическими элементами, случайно соединёнными с узлами Вх/Вых ЗУПД

Кроме того, необходимо также изменить физические размеры запоминающего устройства, сохраняя при этом объем памяти для получения более сложных связей. Для этого процесса необходимо заранее спроектировать схему на языке Verilog. Это можно сделать автоматизированным способом, так как связи и типы элементов не имеют значения для проверки доступности. Генератор межсоединений пытается использовать каждую ячейку, находящуюся в стандартной библиотеке ячеек, как минимум, один раз. К наименованию ячеек, использованных в файле межсоединений, добавляются: “left” (левый), “right” (правый), “up” (вверх), “down” (вниз).

Временная зависимость инструментов для проектирования с использованием вышеперечисленных стандартных библиотек от количества использованных логических элементов приведена в табл. 3.

Таблица 3

Время оптимизации в зависимости от количества элементов предлагаемого метода на разных этапах

Количество стандартных ячеек	Время размещения запоминающего устройства и логических элементов, с	Время проверки доступности узлов Вх/Вых, с	Общее время проверки доступности узлов Вх/Вых запоминающего устройства, с
50	337,8	5267,6	505,4
100	364,2	6212,8	6577
200	391,4	7937,5	8329,9

Результаты сравнения имитации реального случая доступности Вх/Вых узлов с используемым методом при нарушении правил проектирования (НПП) и сопоставления межсоединений с физическим проектом (СМФП) представлены в табл. 4.

Таким образом, в результате применения этого метода можно значительно упростить дальнейшее проектирование за счёт классификации запоминающих устройств проверки доступности узлов Вх/Вых.

Таблица 4

Результаты проверки и имитации доступности к предлагаемым Вх/Вых узлам

Количество стандартных ячеек	Проверка	Нарушения доступности узлов Вх/Вых запоминающих устройств при случайном соединении	Нарушения доступности узлов Вх/Вых запоминающих устройств при имитации
50	НПП	40	36
	СМФП	8	7
100	НПП	49	43
	СМФП	11	9
200	НПП	65	52
	СМФП	20	15

Метод выборки времени регенерации памяти, основанный на статистической блокаде

Энергопотребление ЗУПД зависит также от интенсивности регенерации элементарных ячеек запоминающего устройства, так как в процессе регенерации информация как считывается, так и записывается. Адреса запоминающего устройства в процессе регенерации недоступны, поэтому записанную в них информацию можно считывать только после окончания этого действия (рис. 5).

Процесс регенерации для одной элементарной ячейки можно выполнить с помощью следующей последовательности шагов:

- считывание информации, записанной в ячейке путем сравнения значения напряжения ёмкости с возможным минимальным значением напряжения логической «1»;
- восстановление информации ячейки в результате сравнения;
- запись восстановленного логического уровня в ячейке.

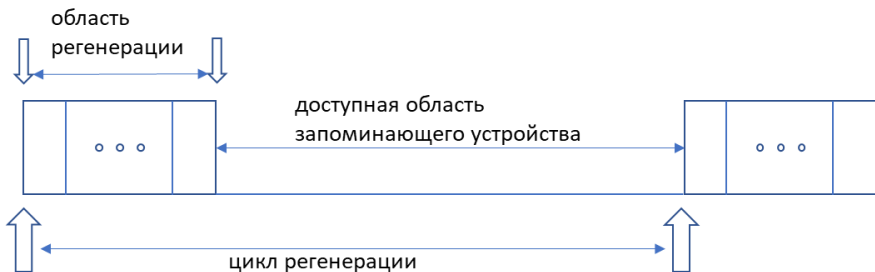


Рис. 5. Время цикла регенерации памяти и диапазон регенерации

В данном конкретном случае моделирование методом Монте-Карло осуществляется путём выбора возможных паразитных сопротивлений и

конденсатора в цепи. На основе этих значений рассчитывается время цикла обновления. Для повышения точности необходимо резко увеличить количество испытаний. Основным недостатком метода симуляции Монте-Карло является время, затраченное на этапе симуляции (рис. 6).

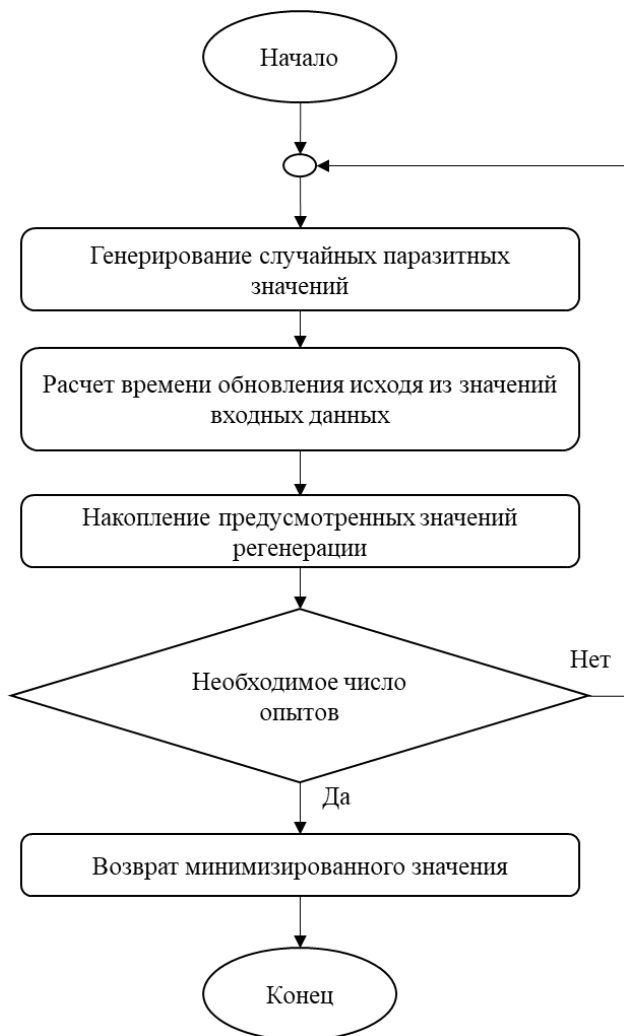


Рис 6. Алгоритм метода симуляции Монте-Карло

Наряду с предлагаемым методом также было выполнено моделирование методом Монте-Карло. Экспериментальные результаты показывают, что предлагаемый метод на 45% быстрее, чем метод Монте-Карло (табл. 5).

Таблица 5

Результаты времени работы методом отбора времени обновления памяти на основе статистической блокады

Объём запоминающего устройства, Гб	Время моделирования методом Монте Карло, ч	Время моделирования на основе статистической блокады, ч
8	3	2
16	5	3
32	7	5

Представленные в табл. 5 результаты ожидаемы, так как в случае метода, основанного на статистической блокаде, используется небольшое количество входных данных. В то же время разница между спрогнозированными продолжительностью цикла регенерации, временем его течения и результатами моделирования методом Монте-Карло составляет примерно 4,8% (табл. 6).

Таблица 6

Результаты, полученные рекомендуемым методом

Объём запоминающего устройства, Гб	Продолжительность цикла регенерации на основе метода Монте Карло, нс	Продолжительность цикла регенерации на основе статистического блока, нс	Продолжительность регенерации на основе Монте Карло, нс	Продолжительность регенерации на основе статистического блока, нс
8	348	363	38	35
16	532	541	74	81
32	887	881	96	92

В третьей главе разработано ЗУПД, созданное посредством специального автоматизированного программного средства Self Memory Compiler («SMC»). С помощью этого средства, используя разработанные методы, можно создавать физические проекты запоминающих устройств. Программа «SMC» была реализована на языках TCL, Python и Shell. Основная цель этой программы - проектирование ЗУПД с низким энергопотреблением автоматизированным способом. Проектирование с помощью программного средства ускорит процесс проектирования и обеспечит необходимое снижение энергопотребления. Поскольку в процессе проектирования программное средство «SMC» использует другие программные инструменты физического проектирования, такие как

«HSpice» и «Custom Compiler», то возникла необходимость добавить дополнительные требования к процессу его создания, в частности:

- взаимодействие с другими программными средствами;
- удобство;
- максимально простая структура.

С помощью графического пользовательского интерфейса (ГПИ) можно значительно упростить создание файла входных настроек без дополнительных знаний формата и синтаксиса «JSON». Создана многооконная система ввода и изменения параметров ГПИ с возможностью сохранения текущего состояния перевода запоминающих устройств и загрузки. При вызове ГПИ открывается начальное окно (рис. 7), которое содержит разделы «File», «Setup», «Job Monitor» и «Window»

Раздел «File» состоит из 5 подразделов: «Create Project» (рис. 8), «Open Project», «Save Project», «Export Reports» и «Exit».

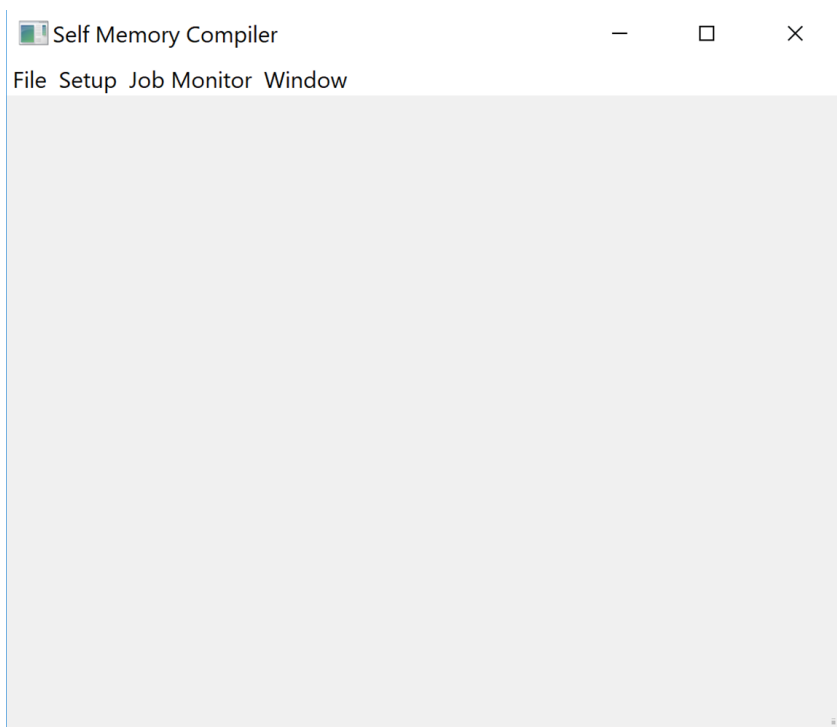


Рис.7. Главное окно программного средства SMC

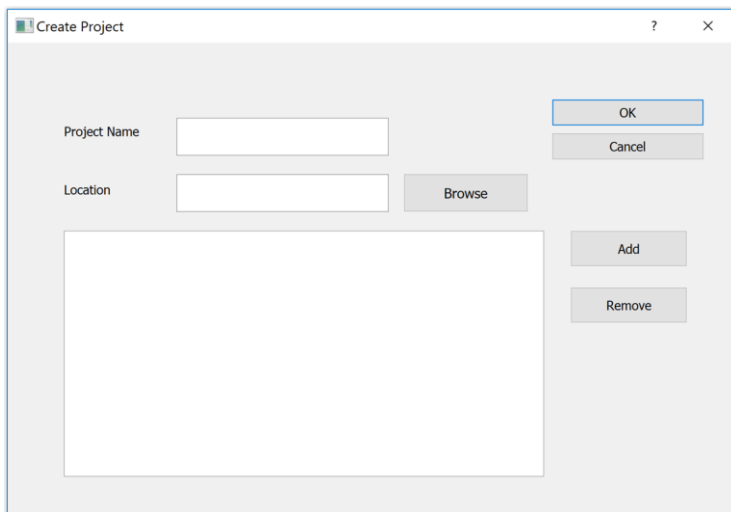


Рис. 8. Окно создания новых настроек переводчика запоминающего устройства

Таким образом, тестирование самообучаемого программного средства интегральных динамических запоминающих устройств в реальных проектах показало его эффективность по сравнению с другими системами этого типа. В худшем случае, при уменьшении быстродействия на 8%, эта программа обеспечивает снижение энергопотребления на 15%.

ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Предложены принципы разработки самообучаемых средств проектирования интегральных запоминающих устройств, позволяющие значительно улучшить их основные технические характеристики и энергопотребление.
2. Разработан метод первоочередного отбора банков памяти с различным пороговым напряжением, позволяющий за счет совмещения различных видов транзисторов снизить энергопотребление на 5% и, как следствие, увеличить площадь системы, занимаемую на полупроводниковом кристалле, всего на 4,3%.
3. Предложены способы оценки и оптимизации падения напряжения на ЗУПД с помощью алгоритмов машинного обучения, позволяющие за счет роста количества металлических связей примерно на 14% снизить падение напряжения на 13% при увеличении общего времени, затраченного на процесс проектирования, примерно на 11%.
4. Разработана и интегрирована в процесс проектирования процедура проверки доступности узлов Вх/Вых, позволяющая путем классификации устройств памяти фильтрацией погрешности затрачивать на дальнейший процесс проектирования на 7...14% меньше времени.
5. Разработан метод оценки времени обновления памяти, основанный на статистической блокаде, который благодаря классификации машинного обучения осуществляется в 1,5 раза быстрее метода Монте-Карло с понижением точности выбора времени обновления максимум на 5%.
6. На основе принципов, методов и способов, предложенных в диссертации, разработано самообучаемое программное средство Self Memoгу Compiler для проектирования интегральных запоминающих устройств, которое было внедрено в ЗАО «Сиско Интернетворкинг» и используется для проектирования ИС указанного класса и исследования их основных параметров. Тестирование самообучаемого программного средства интегральных динамических запоминающих устройств в реальных проектах показало высокую эффективность по сравнению с другими системами этого класса. В худшем случае при уменьшении быстродействия всего на 8%, данная программа обеспечивает снижение энергопотребления примерно на 15%.

Основные результаты диссертации опубликованы в следующих работах:

1. Melikyan V.Sh., Mamikonyan N.M. A Self-learning Dynamic Memory Design Method // Proceedings of NAS RA and NPUA. Series of Tech. sci.-2020.-V.73, N3.-P.268-276.
2. Mamikonyan N. DRAM structure with prioritized memory bank using multi-VT bit cells architecture // IEEE East-West Design & Test Symposium (EWDTS).-2020.-P. 383-385.
3. Mamikonyan N., Melikyan N.V., Musayelyan R.H. IR drop estimation and optimization on DRAM memory using machine learning algorithms // IEEE East-West Design & Test Symposium (EWDTS).-2020.-P. 386-388.
4. Abazyan S.S., Jampoladov V.A., Mamikonyan N.E. Standard cell pin access checking integration into test design verification // Proceedings of NAS RA and NPUA. Series of Tech. sci.-2020.-V. 73, N. 1.- P. 74-81.
5. Mamikonyan N.E. DRAM memory refresh time estimation and optimization based on statistical blockade method // Proceedings of Engineering Academy of Armenia.- 2020.- V. 17, N 1.-P. 105-109.

ԱՄՓՈՓԱԳԻՐ

Ժամանակակից կիսահաղորդչային տեխնոլոգիաների առաջընթացին զուգընթաց խստանում են նաև ինտեգրալ սխեմաներին (ԻՍ) առաջադրվող պահանջները: ԻՍ-երի և դրանց առանձին հանգույցների կարևոր մակրոպարամետրերն են արագագործությունը, էներգասպառումը և կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսը: Դա վերաբերում է նաև ԻՍ-երի ամենատարածված տեսակներին՝ հիշասարքերին: Վերջին տարիների զարգացումների արդյունքում գերակայող են դարձել դրանց էներգասպառման նվազեցման մարտահրավերները՝ նշված մյուս մակրոպարամետրերի համեմատ:

Բացի այդ, բազմապիսի դյուրակիր սարքերի ֆունկցիոնալության ընդարձակումը, ինչպես նաև այդ դասի համակարգերում առկա մարտկոցների փոքր էներգաունակությունները մեծացնում են էներգասպառման մարտահրավերները: Հաճախ էներգասպառման նվազարկումն իրականացվում է նույնիսկ արագագործության փոքրացման հաշվին: Սակայն բազմաթիվ են նաև ԻՍ-երը, որոնցում արագագործության բարձրացումը ավելի կարևոր է, քան էներգասպառման նվազեցումը: Հաշվի առնելով այն հանգամանքը, որ տարբեր ծավալներով տեղեկության մշակումը և պահպանումը իրականացնում են բազմատեսակ հիշասարքերը, անհրաժեշտ է, որ հիշողության նախագծման ամենատարածված միջոցները՝ հիշողության թարգմանիչները, հնարավորություն ունենան ստեղծելու ոչ մի այն տարբեր կարգավորումներով հիշասարքեր, այլ նաև ապահովելու յուրաքանչյուր կոնկրետ նախագծի դեպքում արագագործությանը և էներգասպառմանը առաջադրված արդի պահանջները: Դա նշանակում է, որ հիշողության թարգմանիչները պետք է օժտված լինեն նշված մակրոպարամետրերի ճշգրիտ ընտրության հնարավորությամբ: ԻՍ համակարգերում ներկառուցված հիշասարքերի տարատեսակները նույնպես բազմապիսի են՝ դինամիկ, ստատիկ, ֆլեշ և այլն: Դինամիկ կամայական ընտրությամբ հիշասարքերը (ԴԿԸ) շարունակում են լինել առանցքային գրեթե բոլոր ԻՍ-երում՝ ի հաշիվ համեմատաբար փոքր կիսահաղորդչային մակերեսի վրա նույն ծավալով տեղեկության պահպանման:

Վերջին տարիներին իրականացվել են բազմաթիվ նորարարական հետազոտություններ՝ միտված հիշասարքերին առաջադրվող արդիական պահանջների լուծմանը: Սակայն դինամիկ կամայական ընտրությամբ ԻՍ-երի նախագծման միջոցների մշակումն այսօր դարձել է առավել արդիական հիմնախնդիր, քանի որ հայտնի լուծումները և ճարտարապետությունները անհրաժեշտ չափով չեն ապահովում էներգասպառման նվազեցման և

արագագործության բարձրացման հարաբերակցության ճշգրիտ ընտրությունը: Դա հանգեցնում է վերոնշյալ խնդիրների համար նոր մոտեցումների մշակման անհրաժեշտությանը:

Ատենախոսությունը նվիրված է դինամիկ կամայական ընտրությամբ ԲՄ-երի նախագծման միջոցների մշակմանը, որոնք կապահովեն դրանց անհրաժեշտ չափով էներգասպառման նվազեցումը:

Առաջարկվել են ինքնաուսուցվող ինտեգրալ հիշասարքերի նախագծման միջոցների մշակման սկզբունքներ, որոնք զգալիորեն բարելավում են դրանց հիմնական տեխնիկական բնութագրերը և էներգասպառումը:

Մշակվել է տարբեր ենթաշենային լարմամբ հիշողության բանկերի առաջնահերթության ընտրման մեթոդ, որը, տարատեսակ տրանզիստորների համատեղման շնորհիվ, մինչև 5%-ով նվազեցրել է էներգասպառումը, ինչը հանգեցրել է կիսահաղորդչային բյուրեղի վրա համակարգի զբաղեցրած մակերեսի մեծացմանը ընդամենը 4,3%-ով:

Առաջարկվել են մեքենայական ուսուցման ալգորիթմների միջոցով ԴԿՀ-ների լարման անկման գնահատման և օպտիմալացման եղանակներ, որտեղ մետաղական կապերի քանակի աճի շնորհիվ լարման անկումները 13%-ով նվազել են, նախագծման գործընթացի վրա ծախսված ընդհանուր ժամանակի մոտավորապես 11%-ով ավելացման պարագայում:

Ստեղծվել է նախագծման գործընթացին ինտեգրվել է Մ/Ե հանգույցների մատչելիության ստուգման ընթացակարգ, որում սխալանքով գտման միջոցով հիշասարքերի դասակարգման շնորհիվ նախագծման հետագա գործընթացի վրա ծախսվել է 7%...14%-ով ավելի քիչ ժամանակ:

Մշակվել է վիճակագրական շրջափակման վրա հիմնված հիշողության թարմացման ժամանակի գնահատման մեթոդ, որը մեքենայական ուսուցմամբ դասակարգման շնորհիվ իրականացվում է Մոնտե Կառլո մեթոդից 1.5 անգամ ավելի արագ, թարմացման ժամանակի ընտրման ճշտության առավելագույնը 5%-ով նվազման դեպքում:

Ատենախոսությունում առաջարկված սկզբունքների, մեթոդների և եղանակների հիման վրա մշակվել է ինքնաուսուցվող ինտեգրալ հիշասարքերի նախագծման Self Memory Compiler ծրագրային միջոցը, որը ներդրվել է «Միսկո ինտերնեթորքինգ» ՓԲԸ-ում և օգտագործվում է այդ դասի ինտեգրալ սխեմաների նախագծման և դրանց հիմնական պարամետրերի հետազոտման նպատակով: Տարբեր իրական նախագծերի դեպքում փորձարկումը ցույց է տվել վերջինիս բարձր արդյունավետությունը՝ այդ դասի այլ համակարգերի համեմատ: Ընդամենը 8%-ով արագագործության վատացման պարագայում այս ծրագրային միջոցն ապահովում է էներգասպառման մոտավորապես 15%-ով նվազեցում:

NAREK EDUARD MAMIKONYAN

**DEVELOPMENT AND RESEARCH OF SELF-LEARNING TOOLS FOR
INTEGRAL DYNAMIC MEMORY DESIGN**

SUMMARY

With the advancement of modern semiconductor technologies, the requirements on integrated circuits (ICs) are being tightened. Speed, power consumption and occupied area are most important macro-parameters on ICs. This refers to one of the most common types of ICs: memories. Due to the recent development of the ICs and their separated parts design, the power consumption reduction challenges in the ICs are dominant in comparison with mentioned other macro parameters.

Aside from this, expanding the functionality of portable devices along with small capacity of batteries in this class of systems, increases the challenges of energy consumption. Sometimes, power consumption reduction is done by speed degradation as it is being done in the multi-core processors. However, for some ICs, speed is more important than power consumption. While taking into account, that for storing and processing of different amount of information, different types of memories are used, it will be good if most commonly used memory design tools – memory compiler, could generate memories not only with different configurations, but also with possibility to ensure exact speed and power consumption trade-off for exact design. This means, memory compiler must have ability of selecting correct value for mentioned macro-parameters. Inbuilt memory types in IC systems are of few types: dynamic, static, flash, etc. Dynamic Random-Access Memories (DRAM) are most commonly used memory types in ICs, due to less area occupation for same amount of memory.

Recently many researches are done that are aimed to solve current challenges on memory blocks. However, development of tools and architectures for dynamic random-access memory generation is becoming more challenging, as current tools does not consider correct trade-off between power consumption and speed. This leads to the need to develop new approaches to the above issues.

The dissertation is devoted to the development of dynamic random-access memory design tools, which will ensure the needed amount of power consumption.

Principles for developing self-learning memory design tools have been proposed that significantly improve their core specifications and power consumption.

A method for selecting the priority of memory banks with different threshold voltages has been developed, which is reducing power consumption by 5% while increasing IC area by 4.3%. This has been achieved by using different types of transistors in one design.

Machine learning algorithms for IR drop estimation and optimization on memory rails are created, where, with increasing connections between metal layers, 13% IR drop reduction has been observed. However, overall runtime for memory generation with mentioned optimization has been increased by 11%.

Pin accessibility check and optimization algorithm has been created and integrated into design process, which, with using machine learning algorithms and separating generated blocks, reduces later processing time by 7%;14 %.

Statistical blockade method-based memory recycle time estimation tool is created, which has inbuild machine learning algorithm. This method is faster that Monte Carlo algorithm by 1.5 times, however accuracy of created method is less by 5%.

Based on the methods and tools in this dissertation, self-learning tool for memory design is created named “Self Memory Compiler”. This tool is introduced in “Cisco systems” CJSC and is used for generation and optimization of memory blocks of this types. Different tests show the high efficiency of described tool and advantages over other tools of the same class. The proposed tool is ensuring 15% power consumption reduction, while having only 8% of speed reduction.

