

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ, ԳԻՏՈՒԹՅԱՆ,  
ՄՇԱԿՈՒՅԹԻ ԵՎ ՍՊՈՐՏԻ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

## **Արագյան Սուրեն Սասունի**

**ԹՎԱՅԻՆ ԲԶԻՋՆԵՐԻ ԲԵՈՒԹԱԳՐԵՐԻ ԲԱՐԵԼԱՎՄԱՍԲ ԻՆՏԵԳՐԱԼ  
ՍԽԵՄԱՆԵՐԻ ԱՐԴՅՈՒՆԱՎԵՏ ՆԱԽԱԳԾՄԱՆ ՄԻՋՈՑՆԵՐԻ  
ՄՇԱԿՈՒՄԸ**

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ  
տեխնիկական գիտությունների թեկնածուի զիտական աստիճանի հայցման  
ատենախոսության

### **ՍԵՂՄԱԳԻՐ**

Երևան 2022

---

---

МИНИСТЕРСТВО ОБРАЗОВАНИЯ, НАУКИ, КУЛЬТУРЫ И СПОРТА  
РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

### **Абазян Сурен Сасунович**

**РАЗРАБОТКА СРЕДСТВ ЭФФЕКТИВНОГО ПРОЕКТИРОВАНИЯ  
ИНТЕГРАЛЬНЫХ СХЕМ С УЛУЧШЕНИЕМ ХАРАКТЕРИСТИК  
ЦИФРОВЫХ ЯЧЕЕК**

### **АВТОРЕФЕРАТ**

диссертации на соискание ученой степени кандидата  
технических наук по специальности 05.27.01-  
“Электроника, микро- и наноэлектроника”

Ереван 2022

Ատենախոսության թեման հաստատվել է Երևանի պետական համալսարանում

Գիտական ղեկավար՝ տ.գ.դ. Վազգեն Շավարշի Մելիքյան

Պաշտոնական ընդդիմախոսներ՝ տ.գ.դ. Օլեգ Հարությունի Պետրոսյան  
տ.գ.թ. Խաչիկ Գեղամի Շարոյան

Առաջատար կազմակերպություն՝ Երևանի կապի միջոցների  
գիտահետազոտական ինստիտուտ

Ատենախոսության պաշտպանությունը կայանալու է 2022թ. հուլիսի 8-ին, ժամը 14<sup>00</sup>-ին, Հայաստանի ազգային պոլիտեխնիկական համալսարանում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):

Ատենախոսությանը կարելի է ծանոթանալ ՀԱԳՀ- ի գրադարանում:

Սեղմագիրն առաքված է 2022թ. մայիսի 24-ին:

046 Մասնագիտական խորհրդի  
գիտական քարտուղար, տ.գ.թ.



Բենիամին Ֆելիքսի Բադալյան

---

---

Тема диссертации утверждена в Ереванском государственном университете (ЕГУ)

Научный руководитель: д.т.н. Меликян Вазген Шаваршович

Официальные оппоненты: д.т.н. Петросян Олег Арутюнович  
к.т.н. Шароян Хачик Гегамович

Ведущая организация: Ереванский научно-исследовательский  
институт средств связи

Защита диссертации состоится 8-го июля 2022 г. в 14<sup>00</sup> ч. на заседании Специализированного совета 046 — “Радиотехники и электроники”, действующего при Национальном политехническом университете Армении, по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 24-го мая 2022 г.

Ученый секретарь  
Специализированного совета 046,  
к.т.н.



Бадалян Бениамин Феликсович

## ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

**Актуальность темы.** В современных процессах проектирования интегральных схем (ИС) широкое применение получили библиотеки стандартных ячеек (СЯ). Схемы, созданные с их использованием, имеют высокую точность, большую надежность, при этом требуется меньше времени для процесса проектирования. Любая цифровая схема в той или иной степени включает в себя СЯ, которые могут выполнять различные операции: простые-логические, последовательные и т.д.

Учитывая столь широкое применение СЯ, очевидно, что улучшение их физических и схемотехнических свойств и оптимизация основных параметров позволят улучшить свойства схем, проектируемых с использованием вышеупомянутых ячеек. Это, в частности, приведет к снижению падения напряжения в питающих и заземляющих шинах, повышению качества компоновки и трассировки элементов, оптимизации энергозатрат и временных параметров и т.д.

Из сказанного следует, что основные свойства и качество ИС существенно зависят от включенных в нее СЯ. С другой стороны, в условиях постоянного уменьшения размеров в технологических процессах проектирование СЯ усложняется, что в некоторой степени может привести к ухудшению их основных параметров. В частности, из-за уменьшающихся размеров сокращается количество путей трассировки, проходящих через единицу площади СЯ, в результате чего качество трассировки ухудшается, увеличиваются паразитные емкости, приводя к падению напряжения в питающих шинах и т.д. На свойства ИС большое влияние оказывают собственное энергопотребление и временные параметры СЯ. Таким образом, от эффективного решения перечисленных выше проблем зависят качество, основные характеристики и параметры ИС, полученных с применением конкретной библиотеки СЯ.

В настоящее время существует множество методов оптимизации элементов библиотеки СЯ, которые путем улучшения основных параметров создают возможность разработки более эффективных схем. Однако анализ известных из литературы подходов показывает, что они недостаточно оптимизируют СЯ, и для их совершенствования возникает необходимость разработки новых, более эффективных методов, принципов и соответствующих средств.

Диссертация посвящена разработке методов и принципов оптимизации основных характеристик цифровых СЯ, позволяющих существенно повысить эффективность процесса проектирования ИС и улучшить их основные характеристики и параметры.

**Объект исследования.** Меры, направленные на эффективное проектирование ИС путем улучшения характеристик и основных параметров СЯ. Пути оптимизации основных параметров схем, таких как энергопотребление, падение напряжения в шинах питания, трассировка и т.д.

**Цель работы.** Оптимизация основных параметров ИС, проектируемых с применением СЯ с улучшенными характеристиками.

**Методы исследования.** В ходе исследования были использованы соответствующие подходы к созданию, оптимизации и оценке основных рабочих задач СЯ, методы построения физических проектов, основные положения теории

микроэлектронных схем и полупроводниковых приборов, принципы глубокого и машинного обучения (МО).

#### **Научная новизна:**

- Предложены принципы разработки эффективных средств проектирования ИС с улучшенными характеристиками цифровых ячеек, которые позволяют за счет несущественного ухудшения затрат машинного времени, временных параметров и площади проектируемой схемы существенно улучшить основные параметры проектируемых ИС, а именно - энергопотребление, падение напряжения в питающих шинах, трассировку.
- Разработан экспериментальный метод оптимизации доступа к узлам входа/выхода СЯ, который позволяет благодаря специальному логическому синтезу, компоновке и трассировке с использованием всех имеющихся в библиотеке ячеек получить сокращение времени проверки примерно в 9,4 раза за счет сокращения случаев сочетания всего на 11,2%.
- С использованием машинного обучения создан расширенный метод прогнозирования доступа к узлам входа/выхода и оптимизации проекта, который позволяет путем учета ограничений межъячеечного расстояния уменьшить количество нарушений правил проектирования примерно на 47% за счет увеличения машинного времени примерно на 23%.
- Предложен метод оптимизации СЯ для проектирования с элементами разной высоты, согласно которому благодаря их одновременному применению получено улучшение временных параметров схемы примерно в среднем на 14,3% при потере энергии всего на ~12,8%.
- Разработан метод интегрирования “спящего режима”, ориентированный на проектирование с низким энергопотреблением и основанный на применении нейронных сетей, согласно которому за счет внедрения сети управляемого питания ячеек обеспечено снижение энергопотребления в среднем на 12% при увеличении площади на 5...28%.
- Создан метод вставки металлических заполнителей в проект ИС, согласно которому за счет питания и подключения к заземляющим шинам специальных заполнителей получено снижение напряжения в среднем на ~11,9% за счет увеличения паразитной емкости схемы всего на 4,4%.

**Практическая ценность работы.** На основе разработанных в диссертации принципов, методов и способов разработано программное обеспечение (ПО) Library Optimizer для создания эффективных средств проектирования ИС с улучшенными характеристиками цифровых ячеек, которое внедрено в ЗАО "Синописис Армения" и используется для проектирования СЯ и исследования их основных параметров. Тестирование в ряде существующих проектов показало его более высокую эффективность по сравнению с другими ПО этого класса. Это ПО за счет ухудшения площади ИС на 5...28% и максимального ухудшения временных параметров на 28,75% обеспечивает снижение энергопотребления на 11,6%, уменьшение нарушения правил проектирования - на 40,2% и падение напряжения – на 12,8%.

**На защиту выносятся следующие научные положения:**

- Метод оптимизации доступа к узлам входа/выхода СЯ в опытном проекте.
- Расширенный метод прогнозирования доступа к узлам входа/выхода и оптимизации проекта с помощью МО.
- Метод оптимизации СЯ с целью реализации проекта с ячейками разной высоты.
- Метод интегрирования “режима сна” ячеек с использованием нейронной сети для проектов с низким энергопотреблением.
- Метод вставки металлических заполнителей в процесс проектирования ИС.

**Достоверность научных положений** подтверждена сочетанием математического обоснования представленных в диссертации научных результатов с результатами практического моделирования,

**Внедрение.** ПО Library Optimizer внедрено и применяется в ЗАО “Синописис Армения”. Оно используется для оптимизации библиотек, исследования различных зависимостей и анализа полученных результатов.

**Апробация работы.** Основные положения диссертации докладывались и обсуждались на:

- 19-ом Международном симпозиуме "IEEE East-West Design & Test" (Батуми, Грузия, 2021);
- 9-ом Международном симпозиум по моделированию малых систем (SSSS 2022) (Ниш, Сербия, 2022);
- научных семинарах кафедры “Микроэлектронные схемы и системы” НПУА (Ереван, Армения, 2020-2022 гг.);
- научных семинарах ЗАО "СИНОПСИС АРМЕНИЯ" (Ереван, Армения, 2020-2022 гг.).

**Публикации.** Основные положения, представленные в диссертации, обобщены в восьми научных публикациях, список которых представлен в конце автореферата.

**Структура и объем работы.** Диссертация состоит из введения, трех глав, основных выводов, списка литературы из 105 наименований и приложений.

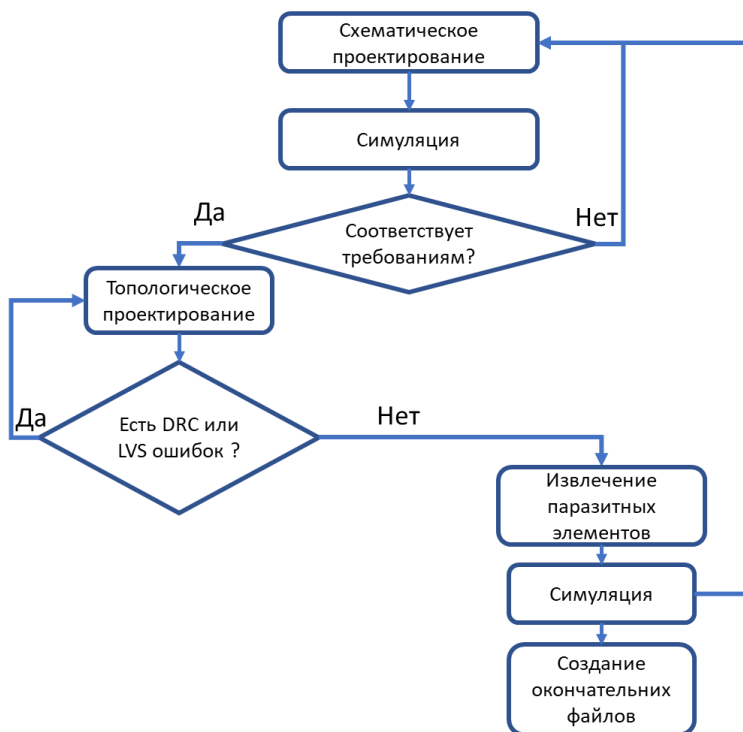
В первом приложении представлен акт внедрения результатов диссертации, во втором - выдержка из GDT-описания измененных ячеек, в третьем - раздел описания QT разработанного программного инструмента Library Optimizer, в четвертом - списки использованных рисунков и таблиц, а в пятом - список использованных сокращений. Объем диссертации составляет 105 страниц, а вместе с приложениями - 150 страниц. Диссертация написана на армянском языке.

## **ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ**

**Во введении** обоснована актуальность темы диссертации, сформулированы цель и основные задачи исследования, представлены разработанные методы, научная новизна, практическое значение и основные научные положения, выносимые на защиту.

**В первой главе** показано, что библиотеки СЯ в настоящее время широко используются в процессе проектирования ИС. Любая цифровая схема в той или иной степени включает в себя цифровые СЯ, которые могут выполнять различные операции, такие как, например, простые логические операции, последовательные операции, высокоскоростные, снижающие энергопотребление, управляющие сигналами входа/выхода (Вх/Вых) и др.

В результате широкого применения библиотек СЯ выдвигается большое количество дополнительных условий для повышения эффективности и уменьшения ошибок в процессе проектирования составляющих их элементов. Стандартные элементы в процессе своего создания неоднократно проходят этапы проектирования, улучшения и оптимизации (рис. 1).



*Рис. 1. Процесс проектирования СЯ*

При создании элементов библиотеки СЯ, помимо основных правил проектирования, таких как проверка правил проектирования и сравнение топологии со схематическим проектом, особое внимание уделяется ряду других характеристик, таких как:

- совместимость шин питания и заземления с будущими проектами;
- статическое и динамическое энергопотребление;

- программируемость;
- доступность узлов Вх/Вых;
- совместимость с остальными логическими элементами.

Существует ряд известных методов эффективной разработки и оптимизации ИС с улучшенными характеристиками СЯ, которые можно разделить на две основные группы: предпроектные и постпроектные. К наиболее известным методам относятся:

- прогнозирование и оптимизация доступа к узлам Вх/Вых СЯ с использованием алгоритмов глубокого обучения;
- оптимизация результатов проектирования путем использования в одном и том же проекте СЯ разной высоты;
- оптимизация расходуемого в проекте энергопотребления путем использования СЯ с низким энергопотреблением;
- вставка дополнительных металлических заполнителей и расчет временных параметров схемы.

Рассмотрение существующих методов, известных из литературы, показывает, что, хотя они с достаточно большой точностью модифицируют библиотеки СЯ и создают оптимальные библиотеки для выполнения различных проектов, тем не менее имеют ограниченное покрытие и/или недостаточно оптимизируют СЯ.

В частности:

- алгоритмы проверки доступности Вх/Вых ИС частично (неполноценно) оптимизируют ячейки библиотеки СЯ, в результате чего в дальнейшем при проектировании ИС увеличиваются случаи нарушения правил проектирования при комбинации СЯ;
- методы применения в одном и том же проекте ячеек разной высоты с целью снижения энергопотребления вносят большое количество изменений в файлы описания СЯ при условии последующего возвращения к исходному состоянию, и для каждого проекта создают новые модели МО, в результате чего увеличиваются время проектирования и количество файлов описания. Кроме того, при выборе оптимальной библиотеки с точки зрения энергопотребления для данной схемы используется большое количество библиотек, что приводит к увеличению времени работы инструментов и росту человеческого фактора в процессе проектирования;
- методы вставки металлических заполнителей при их создании не учитывают возможное падение напряжения и не направлены на его оптимизацию, в то время как увеличение в проекте этих значений может значительно улучшить результаты по падению напряжения ИС и уменьшить затрачиваемые на это ресурсы.

С учетом перечисленных факторов возникает необходимость разработки новых принципов и средств эффективного проектирования ИС с улучшенными характеристиками СЯ, которые позволят улучшить и оптимизировать схемы.

**Во второй главе** представлены разработанные методы и даются решения проблем, описанных в первой главе.

## Методы интеграции опытного проектирования и оптимизации доступа к Вх/Вых СЯ.

Улучшение доступа к узлам Вх/Вых СЯ в опытном проекте является относительно простым подходом для проверки готовой библиотеки СЯ и маркировки ячеек с плохим доступом к узлам Вх/Вых. Этот подход применяется в обычном проекте с целью обеспечения преимущества в покрытии доступа к Вх/Вых ячеек, а в методе проверки Вх/Вых - с целью получения преимущества в быстродействии. Другая особенность этой проверки заключается в том, что по завершении проекта создается возможность выполнения единой верификации правил проектирования (DRC) и сравнения физического и схематического проектов (LVS) на одном окончательном проектном файле.

Работа метода начинается со считывания логического и физического описаний соответствующих библиотек, описания простого кода RTL и технологического файла (рис. 2).

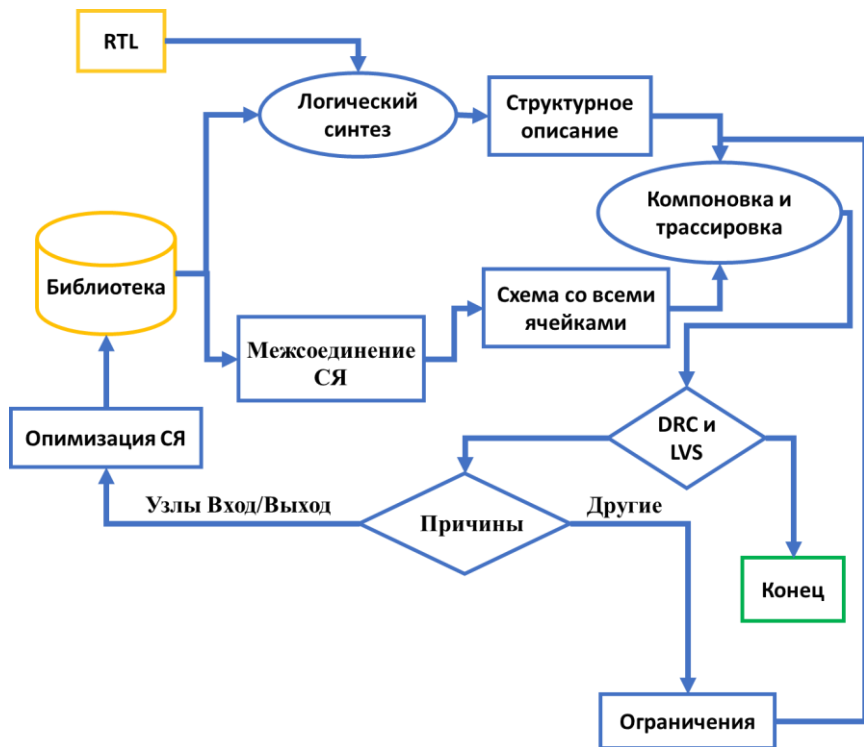


Рис. 2. Блок-схема работы метода интеграции опытного проектирования и метода оптимизации доступа к Вх/Вых СЯ



Одной из важнейших частей работы метода является создание межсоединений. Окончательный файл межсоединений содержит имя ячейки, знак и порядок подключения.

На следующем этапе выполняется локализация с сохранением знаков ячеек, после чего ячейки приобретают групповое расположение по всей поверхности размещения (рис. 3).

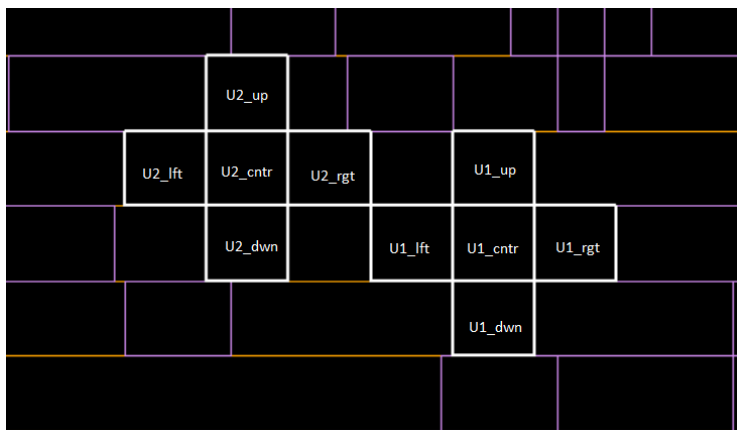


Рис. 3. Пример размещения схемы

Согласно эксперименту, в результате применения предложенного метода скорость проверки библиотеки ячеек увеличилась в среднем примерно на 5784,3 с, или примерно в 9,4 раза, по сравнению с методом проверки узлов Вх/Вых (рис. 4). Кроме того, в условиях предлагаемого расположения ячеек количество случаев их сочетаний (комбинаций) увеличилось примерно на 67, или примерно на 59,2%, по сравнению с опытным проектом с простым описанием кода RTL (рис. 5). Кроме того, создается возможность проверки всех металлических слоев вместо одного металлического слоя.

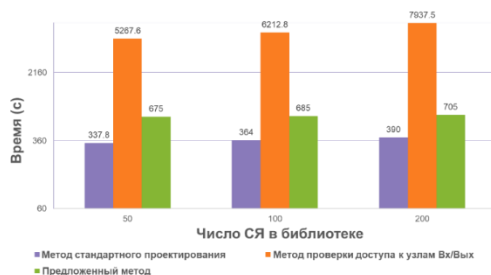


Рис. 4. Сравнение длительности процесса проверки существующих методов и предложенного метода

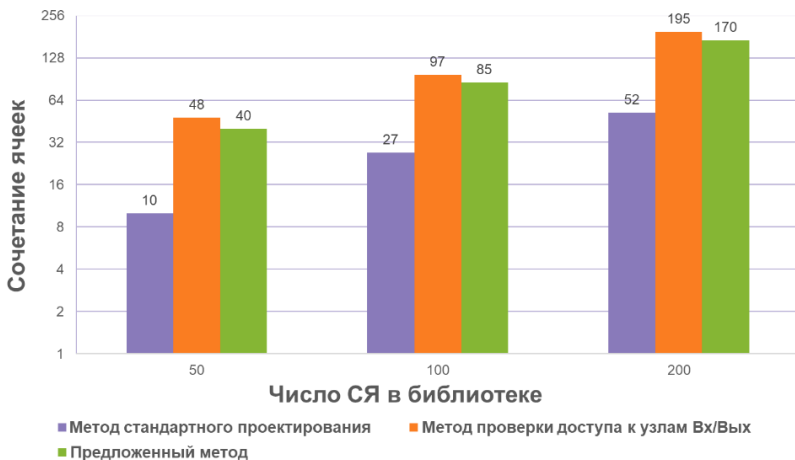


Рис. 5. Сравнение существующих методов и случаев сочетания ячеек для предложенного метода

**Расширенный метод прогнозирования доступа к узлам Вх/Вых и оптимизации проекта с помощью машинного обучения.**

Работу этого метода можно в общем случае разделить на три части (рис. 6):

- вывод координат Вх/Вых из проектов;
- обучение модели МО;
- создание горизонтального и вертикального правил интервалов для СЯ.

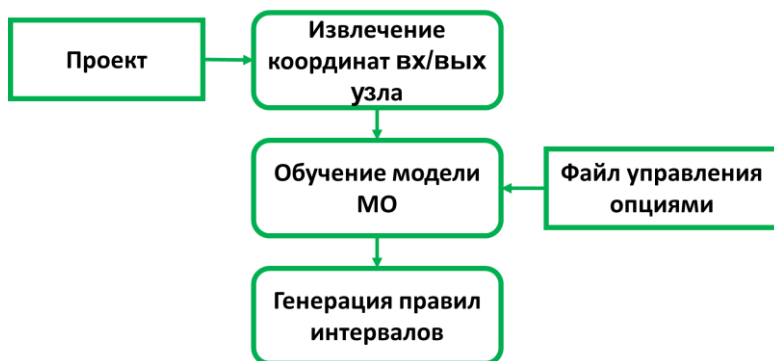


Рис. 6. Алгоритм расширенного метода прогнозирования доступа к узлам Вх/Вых и оптимизации проекта

Вывод координат Вх/Вых из проектов является одним из первых и наиболее важных шагов предлагаемого метода, так как от указанных координат зависит точность создаваемой в дальнейшем модели МО.

После вывода координат выступов Вх/Вых предложенный метод создает модель МО для прогнозирования проблемных ячеек. В результате работы модели возможно выявить нарушения правил проектирования максимально 7-ми типов.

Модель МО состоит из двух блоков: вывода и классификации характеристик (рис. 7).

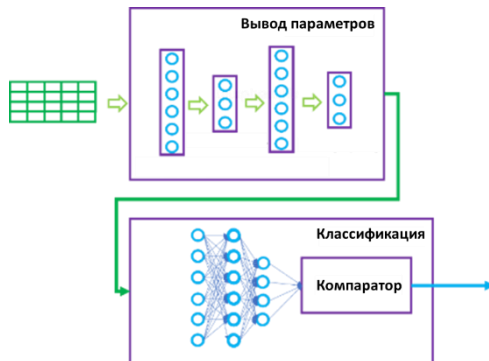


Рис. 7. Структура модели МО

Для вывода характеристик используются 4 нейронных слоя. Первый слой - пакетный, за которым следует слой максимального объединения, затем – снова пакетный и максимального объединения.

Блок классификации классифицирует входные данные по нескольким тегам. Здесь используется многоуровневая классификация типа "один против всех".

Для оценки эффективности вышеуказанного метода использовались библиотеки SAED14 nm. С их помощью были выполнены проекты, где плотность ячеек колеблется в диапазоне 30...40%. В этом технологическом процессе количество ячеек для каждого порогового напряжения составляет около 1000.

Таким образом, согласно испытаниям, использование предлагаемого расширенного метода прогнозирования доступа к узлам Вх/Вых и оптимизации проекта с помощью МО дает возможность прогнозировать 7 типов нарушений DRC в различных металлических слоях. Применение метода позволяет уменьшить и существующие в проекте нарушения DRC примерно на 47%, однако в результате применения МО время выполнения инструментов увеличивается примерно на 23% (табл. 1).

Таблица 1

Сравнение металлических слоев, отличных от M2

Проект	Простое проектирование			Предлагаемый метод			
	DRC	DRC на M1-M3	Длина трас. (мкм)	DRC	DRC на M1-M3	Длина трас. (мкм)	Время работы инструментов (с)
D1	1971	61	5532549	934	568	5259218	485
D2	572	7	5518484	267	103	5241467	472
D3	663	10	5510817	253	176	5233484	480
D4	796	19	5503626	312	446	5230246	475

### Метод оптимизации СЯ для реализации проекта с ячейками разной высоты.

Применение в одном и том же проекте ячеек разной высоты повышает быстродействие схемы за счет небольшого повышения ее энергопотребления. Инструменты логического синтеза способны в процессе синтеза легко и с максимальной возможной точностью выбрать ячейку с высотой, обеспечивающей максимальное быстродействие и минимальное энергопотребление на данном временном пути (рис. 8).

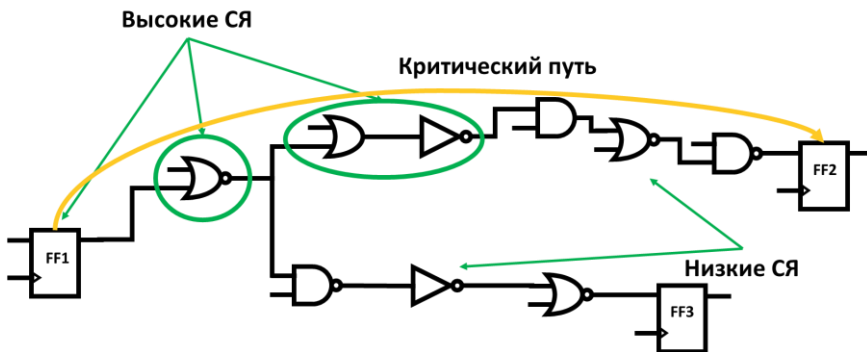


Рис. 8. Результат синтеза с ячейками разной высоты

Процесс работы предлагаемого метода в основном состоит из двух частей: изменение шин питания и заземления СЯ и реализация проекта с измененными ячейками.

Изменение шин питания и заземления можно производить на ячейках, для которых:

- на указанных участках нет и/или сигнальных, питающих и заземляющих проводов;
- добавление питающих и заземляющих проводов не приводит к нарушению правил металлических слоев;
- соблюдаются все правила минимального расстояния;
- добавленные питающие и заземляющие шины того же типа, что и собственные шины ячейки;
- добавленные слои имеют пересечение с путями трассировки M1 и M2.

Таким образом, в результате применения предложенного нами метода создается возможность уменьшения площади схемы приблизительно на 19% и улучшения временных параметров около 14,3%, по сравнению со схемами, разработанными только библиотекой 12Т или 8Т. Однако в результате внесенных изменений время, затрачиваемое на размещение и трассировку, увеличилось примерно на 27%, а потребление энергии - почти на 13% (табл. 2).

Таблица 2

## Сравнение металлических полос, отличных от М2

Проект	Библиотека 9Т	Библиотека 12Т	Библиотеки 9Т и 12Т вместе
Число СЯ	2079586	2069610	2081234
Площадь схемы (мм <sup>2</sup> )	386554,0594	486154,0594	399407,0619
Общее значение времени установки (нс)	-23,471	-4,473	-1,257
Плотность СЯ	0,73	0,64	0,67
Худшее значение времени установки (нс)	-195	-83	-62
Длина трассировки (мм)	724438	698103	718639
Общее энергопотребление (нВт)	2,61e+10	3,16e+10	2,96e+10
Энергопотребление потерь (нВт)	8,11e+06	11,26e+06	9,12e+06
Время процесса (м)	348,1	327,8	438,4

### Метод интегрирования “режима сна” ячеек с использованием нейронной сети для проектов с низким энергопотреблением.

Энергопотребление ИС состоит из двух компонентов: динамического и статического. Для реализации данного подхода необходимы либо специальные библиотеки, либо более сложные шаги проектирования.

Для преодоления описанных трудностей предлагается метод интегрирования “режима сна” в СЯ с использованием нейронной сети. Работу этого метода можно разделить на 5 основных этапов:

- форматирование и считывание входящих файлов;
- вывод параметров, присущих технологиям на алгоритме МО;
- создание специальных ячеек;
- маркировка ячеек, подлежащих изменению;
- изменение ячеек и вывод конечных файлов.

### Метод вставки металлических заполнителей в процесс проектирования ИС.

В этом методе предлагается вставка металлических заполнителей в процесс проектирования ИС, с помощью которых можно добавлять металлы к уже выполненной схеме, учитывая и оптимизируя падение напряжения.

Алгоритм предлагаемого подхода можно разделить на 4 основные группы:

- выделение подлежащих дополнению областей;
- обнаружение пересечений питающих и заземляющих проводов с подлежащими дополнению областями;
- добавление металлов и межсоединений со снижением падения напряжения;
- добавление заполнителей с учетом конечной плотности.

После того, как уже известны координаты подлежащих дополнению областей, выполняется следующий шаг - обнаружение рядом с ними или на пересечении с ними питающих и/или заземляющих проводов. Для этого процесса важно, чтобы:

- площадь заполняемого четырехугольника удовлетворяла минимальным требованиям данного металлического слоя;

- ширина и длина заполняемого четырехугольника должны быть больше суммы минимальных размеров толщины и расстояния для данного металлического слоя;
- все подлежащие заполнению четырехугольники, которые соответствуют этим требованиям, отмечаются как области, пригодные для возможного питания и заземления.

На следующем шаге указанным областям присваивается особый атрибут - "владелец". Он показывает, к какому межсоединению в дальнейшем должна подключаться указанная область – к питанию или заземлению. Для соединения металлов областей с любым межсоединением важно, чтобы:

- область была близка к данному межсоединению или перекрывалась им;
- его добавление не привело бы к проблемам с максимальной плотностью.
- Для оценки эффективности предлагаемого подхода было спроектировано 5 схем с использованием трех различных методов: стандартного метода; метода, известного из литературы, и предложенного нами метода. Все испытания проводились на компьютере под управлением операционной системы Linux с 4-мя ядрами по 3,4 ГГц. Сравнительные результаты приведены в табл. 3. Также было проведено сравнение значений падения напряжения схемы для стандартных и рекомендуемых подходов (табл. 4).

Таблица 3

*Сравнительные результаты методов*

Проект	Простой метод проект.		Предлагаемый метод	
	Длина межсоединений (мкм)	ИК падение, %	Длина межсоединений (мкм)	ИК падение, %
Проект 1	311250	1,127	312373	1,004
Проект 2	742837	1,432	758960	1,103
Проект 3	62739	0,974	64749	0,914
Проект 4	150507	0,993	154783	0,861
Проект 5	268315	1,014	247614	0,947

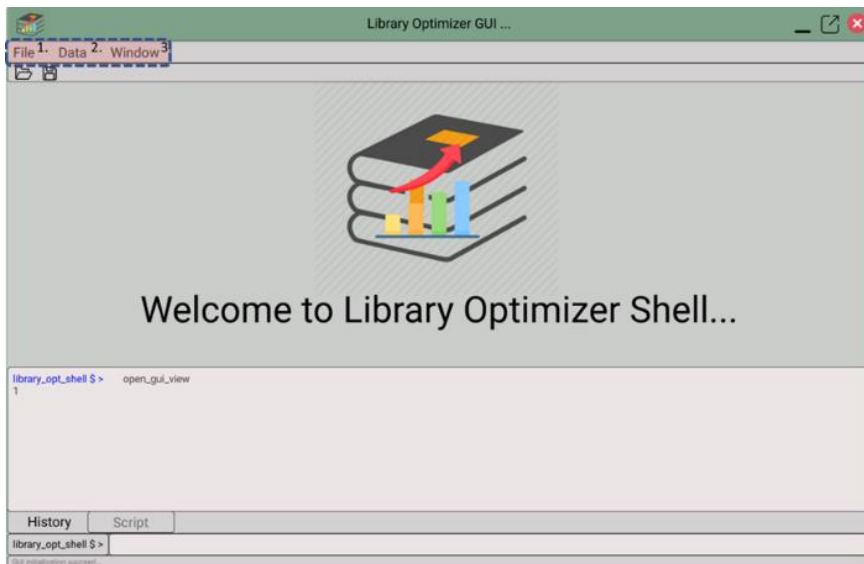
Таблица 4

*Сравнение значений падения напряжения*

Проект	Простой метод проект.			Метод проект. из литер.			Предлагаемый метод		
	длина трас. (мкм)	общая емкость (пФ)	время процесса (м)	длина трас. (мкм)	общая емкость (пФ)	время процесса (м)	длина трас. (мкм)	общая емкость (пФ)	время процесса (м)
Проект 1	311250	10712,9	7,9	305667	10883,66	8,8	312373	11258,1	12,3
Проект 2	742837	34627,1	30,28	750166	39523,68	31,44	758960	41256,75	37,4
Проект 3	62739	1499,7	1,54	64903	1558,17	1,59	64749	1648,24	2,27
Проект 4	150507	2960,71	3,17	149464	2969,20	3,55	154783	3109,64	4,61
Проект 5	268315	5514,83	6,21	275425	5705,39	6,97	247614	5908,41	7,49

Таким образом, с использованием метода вставки металлических заполнителей в проект ИС можно получить снижение падения напряжения на питающем и заземляющем проводах схемы примерно на 11,9%. Однако из-за вставки металлических заполнителей общая емкость схемы растет примерно на 4,4%, а из-за дополнительных процессов время работы инструментов увеличивается на 27,8%.

**В третьей главе** представлен программный инструмент Library Optimizer, созданный для анализа существующих библиотек СЯ, их оптимизации с использованием предложенных методов и исследования полученных результатов (рис. 9).



*Рис. 9. Основное окно ПО Library Optimizer*

Для создания ПО использовались языки сценариев Python 3.7 и TCL, а для создания графического интерфейса – библиотека Tkinter. Основная функциональность поддерживается языком сценариев Python 3.7, однако важность применения языка TCL заключается в том, что инструмент Library Optimizer внедрен в ЗАО “Синописис Армения”, и в процессе работы возникает необходимость применения других ПО, а именно: “Design Compiler” и “IC Compiler” - для вывода логического и физического описаний соответственно; “IC Workbench” - для чтения графического описания схем и “IC Validator” - для осуществления физического контроля. При создании инструмента Library Optimizer были предложены дополнительные условия, в частности: графический вид, схожий с современными инструментами; удобный пользовательский интерфейс и интегрируемость с другими программными инструментами.

С помощью программного инструмента становятся возможными оптимизация библиотеки СЯ по представленным методам и подходам и исследование результатов (рис. 10).

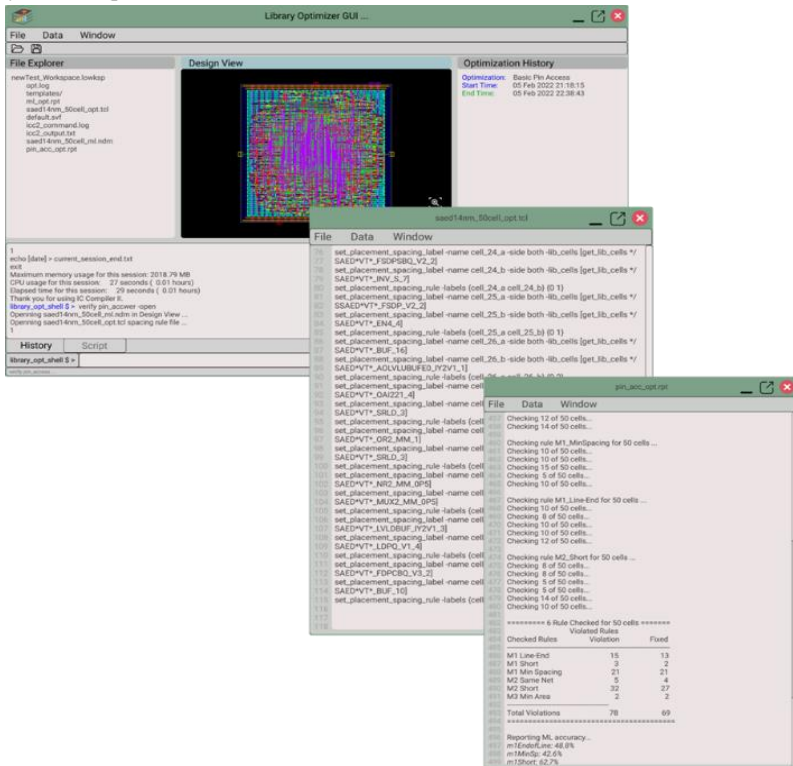


Рис. 10. Внешний вид окна “Design View” ПО Library Optimizer

Таким образом, тестирование ПО для создания эффективных средств проектирования ИС с улучшенными характеристиками цифровых ячеек в ряде реальных проектов показало его существенно высокую эффективность по сравнению с другими ПО этого класса. При ухудшении площади ИС на 5...28% и максимальном ухудшении временных параметров на 28,75% ПО обеспечивает снижение энергопотребления на 11,6%, уменьшение нарушения правил проектирования - на 40,2% и падение напряжения - на 12,8%.

## ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Предложены принципы разработки эффективных средств проектирования ИС, с улучшенными характеристиками цифровых ячеек,



- которые позволяют за счет незначительного ухудшения затрат машинного времени и временных параметров и площади проектируемой схемы существенно улучшить основные параметры проектируемых ИС, а именно - энергопотребление, падение напряжения в питающих шинах, трассировку.
2. Разработан экспериментальный метод оптимизации доступа к узлам входа/выхода СЯ, который позволяет благодаря специальному логическому синтезу, компоновке и трассировке с использованием всех имеющихся в библиотеке ячеек получить сокращение времени проверки примерно в 9,4 раза за счет сокращения случаев сочетания всего на 11,2% [1,2].
  3. С использованием машинного обучения создан расширенный метод прогнозирования доступа к узлам входа/выхода и оптимизации проекта, который позволяет путем учета ограничений межъячеечного расстояния уменьшить количество нарушений правил проектирования примерно на 47% за счет увеличения машинного времени примерно на 23% [3].
  4. Предложен метод оптимизации СЯ для проектирования с элементами разной высоты, согласно которому благодаря их одновременному применению получено улучшение временных параметров схемы примерно в среднем на 14,3% при потере энергии всего на ~12,8% [4,5].
  5. Разработан метод интегрирования “спящего режима”, ориентированный на проектирование с низким энергопотреблением и основанный на применении нейронных сетей, согласно которому за счет внедрения сети управляемого питания ячеек обеспечено снижение энергопотребления в среднем на 12% при увеличении площади на 5...28% [6].
  6. Создан метод вставки металлических заполнителей в проект ИС, согласно которому за счет питания и подключения к заземляющим шинам специальных заполнителей получено снижение напряжения в среднем примерно на 11,9% за счет увеличения паразитной емкости схемы всего на 4,4% [7,8].
  7. Разработана структура программного обеспечения для создания эффективных средств проектирования интегральных схем с улучшением характеристик цифровых ячеек, которая оснащена удобным графическим интерфейсом и строкой управления с помощью команд. Тестирование программного инструмента в ряде реальных проектов цифровых интегральных схем показало существенно высокую эффективность по сравнению с другими программными средствами этого класса: при увеличении площади на 5...28% и ухудшении временных параметров максимум на 28,75% обеспечивает снижение энергопотребления на 11,6%, уменьшение нарушения правил проектирования - на 40,2% и падение напряжения – на 12,8%.

**Основные результаты диссертации** опубликованы в следующих работах:

1. Abazyan S.S., Janpoladov V.A., and Mamikonyan N.E. Standard Cell Pin Access Checking Integration into Test Design Verification // Proceedings of the RA NAS and NPUA. Series of Tech. sciences.- 2020.- Vol. 73, No 1.- P. 74-81.
2. Janpoladov V.A., Petrosyan A.A., Abazyan S.S., Margaryan H.V. Random Faults Injection And Simulation in Auto-Correction Circuits // Proceedings of the RA NAS and NPUA. Series of Tech. sciences.- 2020.- Vol. 73, No 2.- P. 171 – 180.
3. Abazyan S., Melikyan V. Enhanced Pin-Access Prediction and Design Optimization With Machine Learning Integration // Microelectronics Journal.- 2021.- 116.- P. 1-5, 105198. 10.1016/j.mejo.2021.105198.
4. Abazyan S. Standard Cell Library Enhancement For Mixed Multi-Height Cell Design Implementation // 2021 IEEE East-West Design & Test Symposium (EWDTS).- 2021.- P. 86-89, doi: 10.1109/EWDTS52692.2021.9581045.
5. Արագյան Ս.Ս. Ինտեգրալ սխեմաների սնուցման և հողանցման ցանցի նախագծման մեթոդ // ՀՀ ԳԱԱ և ՀԱՊՀ տեղեկագիր (Տեխ.գիտ. սերիա).- 2021.- Հատոր 74, համար 2.- էջ 197-203:
6. Abazyan S., Melikyan S., and Musayelyan D. Standard Cell Library Enhancement Using Neural Network Based Sleep Mode Control Integration For Low Leakage Designs // 2021 IEEE East-West Design & Test Symposium (EWDTS).- 2021.- P. 105-108, doi: 10.1109/EWDTS52692.2021.9581039.
7. Abazyan Suren, Melikyan Shavarsh. Educational Open SPICE Models Neural Network-Based Generation Method // Proceedings of the 9th Small Systems Simulation Symposium.- 2022.- P. 50-54.
8. Абазян С.С., Меликян В.Ш. Конструирование шин питания и заземления в интегральной схеме с вставкой фиктивного металлического заполнителя с учетом временных параметров // Изв. вузов. Электроника.- 2021.- Т. 26, № 3-4.- С. 226–233, doi: [https://doi.org/ 10.24151/1561-5405-2021-26-3-4-226-23](https://doi.org/10.24151/1561-5405-2021-26-3-4-226-23).

## **ԱՄՓՈՓՎԳԻՐ**

Ներկայիս ինտեգրալ սխեմաների (ԻՍ) նախագծման գործընթացներում ստանդարտ բջիջների (ՄԲ) գրադարանները մեծ կիրառություն ունեն: Դրանց օգտագործմամբ ստեղծված սխեմաներն ապահովում են բարձր նշտություն, մեծ վստահելիություն և նախագծման գործընթացի համար պահանջվող քիչ ժամանակ: Ցանկացած թվային սխեմա որևէ կերպ ներառում է ՄԲ-ներ, որոնք կարող են լինել մի քանի տիպի՝ պարզ գուգահեռ գործողության, հաջորդական տրամաբանության կատարման և լավարկման ու օպտիմալացման տարրեր:

ՄԲ-ների այսքան լայն կիրառությունը պահանջ է առաջացնում դրանց ֆիզիկական և սխեմատեխնիկական հատկությունների բարելավման և հիմնական պարամետրերի լավարկման արդյունքում, ստանալ այդ տարրերի հիման վրա նախագծված ԻՍ-երի էպպես բարձր որակ: ԻՍ-երի առավել հատկանշական պարամետրերից են սնուցման և հողանցման դողերում լարման անկումը, տարրերի տեղակայելիությունը և ծրագծելիությունը, էներգասպառումը և ժամանակային պարամետրերը, որոնք հնարավոր է լավարկել ՄԲ-ների հատկությունների բարելավման շնորհիվ:

Ասվածից հետևում է, որ ԻՍ-երի հիմնական հասկոությունները և որակն էականորեն կախված են դրա մեջ ներառված ՄԲ-ներից: Մակայն, մյուս կողմից՝ տեխնոլոգիական գործընթացների անընդհատ փոքրացման պայմաններում հավելյալ մարտահրավերներ են առաջանում ՄԲ-ների և դրանց կիրառմամբ նախագծված ԻՍ-երի համար: Մասնավորապես՝ ավելանում են տարրերի պարագիտային ունակությունները, ինչը հանգեցնում է սնման դողերում լարման անկման մեծացմանը, նվազում են տարրերի միավոր մակերեսով անցնող ծրագծման ուղիները, ինչի հետևանքով վատթարանում է դրանց ծրագծումը և այլն: Հարկ է նշել, որ ԻՍ-երի հասկոությունների վրա մեծ ազդեցություն ունեն նաև ՄԲ-ների սեփական էներգասպառումը և ժամանակային պարամետրերը: Ուստի ՄԲ-ների նախագծման և լավարկման գործընթացներում անհրաժեշտ է հաշվի առնել վերը թվարկված իրողությունները, որոնք ներկայումս տարրերի նախագծման արդի հիմնահարցերից են:

Այսպիսով, նմանատիպ խնդիրների արդյունավետ լուծումից են կախված հետագայում տվյալ ՄԲ գրադարանի կիրառմամբ ստացված ԻՍ-երի որակը, հիմնական բնութագրերը և պարամետրերը:

Գրականությունից հայտնի են ՄԲ գրադարանների տարրերի լավարկման բազմաթիվ մեթոդներ, որոնք հիմնական տարբեր պարամետրերի լավարկմամբ՝ հնարավորություն են ստեղծում դրանց կիրառմամբ նախագծելու ավելի արդյունավետ ԻՍ-եր: Մակայն, գրականությունից հայտնի մեթոդների վերլուծությունից պարզ է դառնում նաև, որ դրանք չեն բարելավում ՄԲ-ների որոշ հատկություններ կամ բավականաչափ չեն լավարկում դրանք: Ուստի անհրաժեշտություն է առաջանում ստեղծելու նոր, էապես արդյունավետ մեթոդներ, մոտեցումներ, սկզբունքներ և մշակել համապատասխան միջոցներ:

Ատենախոսությունը նվիրված է թվային ՄԲ-ների հիմնական բնութագրերի լավարկման մեթոդների և սկզբունքների մշակմանը, որոնք թույլ կտան դրանց կիրառմամբ ստեղծվող սխեմաներում էապես բարձրացնել նախագծման գործընթացի արդյունավետությունը և լավարկել դրանց հիմնական բնութագրերն ու պարամետրերը:

Առաջարկվել են թվային բջիջների բնութագրերի բարելավմամբ ինտեգրալ սխեմաների արդյունավետ նախագծման միջոցների մշակման սկզբունքներ, որոնք, մեքենայական ժամանակի ծախսերի և նախագծվող ինտեգրալ սխեմայի ժամանակային պատամետրերի ու մակերեսի ոչ էական վատթարացման հաշվին, թույլ են տալիս էապես բարելավել դրանց հիման վրա նախագծվող ինտեգրալ սխեմաների հիմնական պարամետրերը՝ էներգասպառումը, սնման դողերում լարման անկումը, ծրագծելիությունը և այլն:

Մշակվել է փորձնական նախագծով ստանդարտ բջիջների մուտք/ելք հանգույցների հասանելիության լավարկման մեթոդ, որում, գրադարանում առկա բոլոր բջիջների կիրառմամբ, հատուկ տրամաբանական սինթեզի, տեղակայման և ծրագծման շնորհիվ՝ ստացվել է ստուգման ժամանակի մոտավորապես 9,4 անգամ կրճատում՝ համադրման դեպքերի մոտավորապես 11,2% նվազման հաշվին:

Ստեղծվել է մեքենայական ուսուցմամբ մուտք/ելք հանգույցների հասանելիության կանխատեսման և նախագծի լավարկման ընդլայնված մեթոդ, որում, միջբջջային հեռավորության սահմանափակումները հաշվի առնելու շնորհիվ, նախագծման կանոնների խախտումների քանակը նվազել է

մոտավորապես 47%-ով մեքենայական ժամանակի մոտավորապես 23%-ով ավելացման հաշվին:

Առաջարկվել է տարբեր բարձրություններ ունեցող տարրերով նախագծման համար նախատեսված ստանդարտ բջիջների լավարկման մեթոդ, որում, դրանց միաժամանակյա կիրառության շնորհիվ, ստացվել է սխեմայի ժամանակային պարամետրերի միջինում մոտավորապես 14,3% բարելավում էներգասպառման մոտավորապես 12,8% կորստի հաշվին:

Մշակվել է ցածր էներգասպառմամբ նախագծմանը կողմնորոշված և ներդրանքի ցանցերի կիրառման հիման վրա «քնի ռեժիմի» ինտեգրման մեթոդ, որում, բջիջների կառավարվող սնուցման ցանցի ներդրման շնորհիվ, ապահովվել է էներգասպառման միջին չափով մոտավորապես 12% նվազեցում սխեմաների մակերեսի մոտավորապես 5...28% ավելացման հաշվին:

Ստեղծվել է ինտեգրալ սխեմաների նախագծման մետաղական լրացումների ավելացման մեթոդ, որում, հատուկ լրացնող շերտերի սնուցման և հողանցման դորերին միացման շնորհիվ, ստացվել է լարման անկման միջին չափով մոտավորապես 11,9% նվազեցում սխեմայի պարագիտային ունակության մոտավորապես 4,4% ավելացման հաշվին:

Մշակվել է թվային բջիջների բնութագրերի բարելավմամբ ինտեգրալ սխեմաների արդյունավետ նախագծման միջոցների ստեղծման ծրագրային միջոցի կառուցվածք, որն օժտված է օգտագործողի համար հարմարավետ գրաֆիկական ինտերֆեյսով և հրամանների միջոցով կառավարման տողով: Ծրագրային գործիքի փորձարկումը թվային ինտեգրալ սխեմաների մի շարք իրական նախագծերում ցույց է տվել, այդ դասի առկա այլ ծրագրային համակարգերի համեմատ, նրա էականորեն բարձր արդյունավետությունը՝ սխեմաների մակերեսի 5...28% և ժամանակային պարամետրերի առավելագույնը 28,75% վատթարացման պարագայում, այն ապահովվում է էներգասպառման, նախագծման կառուցման խախտման դեպքերի և լարման անկման համապատասխանաբար՝ 11,6%, 40,2% և 12,8% նվազեցում:

**SUREN SASUN ABAZYAN**

## **DEVELOPMENT OF EFFECTIVE DESIGN TOOLS FOR INTEGRATED CIRCUITS BY IMPROVING THE CHARACTERISTICS OF DIGITAL CELLS**

### **SUMMARY**

Standard cell (SC) libraries are widely used in the current designing processes of integrated circuits (ICs). The circuits created using them have high accuracy, high reliability, and less required time for the designing process. Any circuit in some way includes SCLs, which can be of several types: simple combinational operation, sequential logic, IC parameter improvement, and optimization cells.

Since SCs are so widely used, it is obvious that by improving their physical-schematic properties and the basic parameters, it will be possible to obtain significantly higher quality ICs, which are designed based on these elements. The most significant parameters of ICs are power and ground supply rails' voltage drop, cell place-ability and

route-ability, power consumption, and timing parameters, which can be improved by improving the properties of the SCs.

It follows that the main features and quality of ICs significantly depend on the SCs included in them. However, on the other hand, in the conditions of continuous reduction of technological processes, additional challenges arise for the SCs. In particular, the parasitic capacities of the elements increase, which leads to an increase in voltage drop across the supply network, a decrease in the routing tracks per unit area of the elements, which in turn worsens their route-ability, and so on. It should be noted that the properties of ICs are greatly influenced by SCs' own power consumption, timing parameters, etc. Therefore, it is necessary to consider upper mentioned challenges and issues while designing and optimizing SC libraries, and this is one of the significant topics in current SC design.

Thus, the quality, main characteristics, and parameters of the ICs, which have been designed using SCs, are mainly depending on the effective solution to such challenges.

At present, many methods of optimizing the elements of SCs are known from the literature, which, by improving various basic parameters, create an opportunity to use them to design more efficient ICs. However, an analysis of the methods known in the literature shows that they do not improve some features of SCs at all or do not improve them sufficiently. Therefore, there is a need to create new, essentially effective methods, approaches, and principles and to develop appropriate tools.

The dissertation is dedicated to the development of methods and principles for improving the main characteristics of digital SC, which will allow significantly increase the efficiency of the design process and improve the main characteristics and parameters of ICs, which are based on them.

Principles for the development of effective IC design tools by improving the characteristics of SCs are proposed, which, at the expense of machine time, ICs' timing parameters, and insignificant deterioration of surface area, allow to significantly improve SC-based IC main parameters: power consumption, supply rails' voltage drop, route-ability, etc.

SC input/output (I/O) pin accessibly optimization method is developed, in which, due to special logic synthesis, placement, and routing of all SCs in the library, about 9,4 times of reduction in testing time has been achieved at the expense of a decrease of approximately 11,2% in the number of cell abutments.

Method for pin accessibility prediction and optimization is proposed, in which, due to inter-cell spacing rules generation, design rules' violation count has been decreased by 47%, in case of only a 23% increase of the total tool runtime.

Method for SC optimization for design with different height cell mixed usage is developed, in which, due to multiple height cells integration into one design, about 14,3% of timing parameters' optimization is achieved, in case of only 12,8% increase of circuit's power consumption.

A neural network-based "sleep mode" control method has been developed for the use of a low-power consumption-oriented circuit design, in which due to the introduction of the controlled-power supply cells an average reduction of approximately 12% in power consumption has been achieved, by only increasing the circuit area by approximately 5 ... 28%.

A method of metal dummy fill was developed, in which, due to the connection of special filling layers to the power supply rails, an average voltage drop of approximately 11,9% was obtained, with an increase of approximately 4,4% in the total parasitic capacity of the circuit.

A software tool has been developed to improve the design of integrated circuits by improving the characteristics of digital cells, which has a user-friendly graphical interface and a command-line interface. The testing of the software tool in several real-world designs of digital integrated circuits has shown that the latter is significantly more efficient than other existing software systems in this class. With only 5...28% increase of circuit area and approximately 28,75% degradation of timing parameters, the tool provides about 11,6%, 40,2%, and 12,8% decrease in correspondingly power consumption, design rules violations, and supply rails' power drop.

