

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ, ԳԻՏՈՒԹՅԱՆ,  
ՄՇԱԿՈՒՅԹԻ ԵՎ ՍՊՈՐՏԻ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

## Մոմջյան Արսեն Մելքոնի

ՀԻՇՈՂ ՄԱՐՔԵՐԻ ԸՆԹԵՐՑՄԱՆ ՈՒԺԵՂԱՐԱՐՆԵՐԻ ՍՊԱՌՄԱՆ  
ՀԶՈՐՈՒԹՅԱՆ ՆՎԱԶԵՑՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՈՒՄԸ

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ  
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի  
հայցման ատենախոսության

ՄԵՂՍԱԳԻՐ

Երևան 2022

---

МИНИСТЕРСТВО ОБРАЗОВАНИЯ, НАУКИ, КУЛЬТУРЫ И СПОРТА  
РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

**Момджян Арсен Мелконович**

**РАЗРАБОТКА СРЕДСТВ УМЕНЬШЕНИЯ ПОТРЕБЛЯЕМОЙ  
МОЩНОСТИ СЧИТЫВАЮЩИХ УСИЛИТЕЛЕЙ  
ЗАПОМИНАЮЩИХ УСТРОЙСТВ**

**АВТОРЕФЕРАТ**

диссертации на соискание ученой степени кандидата  
технических наук по специальности 05.27.01-  
“Электроника, микро- и наноэлектроника”

Ереван 2022

Ատենախոսության թեման հաստատվել է Հայաստանի ազգային պոլիտեխնիկական համալսարանում (ՀԱՊՀ):

Գիտական ղեկավար՝ տ.գ.դ. Օլեգ Հարությունի Պետրոսյան

Պաշտոնական ընդդիմախոսներ՝ տ.գ.դ. Ռուբեն Ռաֆայելի Վարդանյան  
տ.գ.թ. Արման Արամի Վարդանյան

Առաջատար կազմակերպություն՝ ՀՀ ԳԱԱ Ռադիոֆիզիկայի և  
Էլեկտրոնիկայի ինստիտուտ

Ատենախոսության պաշտպանությունը տեղի կունենա 2022թ. հուլիսի 13-ին, ժամը 12<sup>00</sup>-ին, ՀԱՊՀ-ում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 Մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:

Սեղմագիրն առաքված 2022թ. հունիսի 1-ին:

046 Մասնագիտական խորհրդի  
գիտական քարտուղար, տ.գ.թ.



Բենիամին Ֆելիքսի Բադալյան

---

---

Тема диссертации утверждена в Национальном политехническом университете Армении (НПУА)

Научный руководитель: д.т.н. Олег Арутюнович Петросян

Официальные оппоненты: д.т.н. Рубен Рафаелович Варданян  
к.т.н. Арман Арамович Варданян

Ведущая организация: Институт радиофизики и электроники  
НАН РА

Защита диссертации состоится 13-го июля 2022г. в 12<sup>00</sup> ч. на заседании Специализированного совета 046 — "Радиотехники и электроники", действующего при НПУА, по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 1-го июня 2022 г.

Ученый секретарь  
Специализированного совета 046, к.т.н.



Бениамин Феликсович Бадалян

## ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

**Актуальность темы.** В современных интегральных схемах (ИС) запоминающие устройства (ЗУ) являются составной частью микропроцессорных систем. В последние годы в связи с уменьшением размеров технологий комплементарных металл-оксид-полупроводников (КМОП) требования к проектированию ИС стали более строгими. Масштабирование технологий привело к увеличению побочных эффектов в схемах, в частности, к повышению потерь тока в транзисторах, находящихся в статическом состоянии. В результате увеличились общие энергозатраты, что, в свою очередь, привело к ухудшению параметров старения ИС.

Помимо вышесказанного, повысились также требования к быстродействию ИС и, соответственно, ЗУ. Современные ЗУ такие как статические оперативные запоминающие устройства (СОЗУ), имеют рабочие частоты, достигающие до нескольких гигагерц. При таких значениях частоты также резко возрастает энергопотребление. А так как энергопотребление ЗУ составляет около 50...70% от энергопотребления всей ИС, то его снижение является одной из важнейших задач.

В запоминающих устройствах считывающие усилители (СУ) являются активными и быстродействующими элементами. При чтении данных значительная часть потребляемой мощности уходит на СУ и ячейки памяти. Однако снижение энергопотребления в ячейках памяти происходит за счет масштабирования технологии, потому что схематические решения не подходят, так как приводят к резкому увеличению суммарной площади запоминающих устройств. Поэтому снижение энергопотребления СУ в ИС является важнейшим вопросом на этапе проектирования ИС. В литературе известны решения по снижению энергопотребления, применение которых становится неэффективным в случае дальнейшего масштабирования технологии. В частности, уменьшение геометрических размеров транзисторов приводит к протекаанию через них темнового тока в режиме отсечки, а увеличение быстродействия - к подпороговому диапазону транзисторов, что также увеличивает энергопотребление.

В обсуждаемых известных решениях снижение потребляемой мощности СУ осуществляется за счет задержки выходного сигнала или занимаемой площадью схемы. Таким образом, разработка средств снижения энергопотребления СУ в запоминающих устройствах является актуальной проблемой при проектировании ИС, так как известные в литературе способы и решения недостаточно эффективно решают данную проблему.

Диссертация посвящена разработке средств, направленных на снижение энергопотребления СУ в запоминающих устройствах, что позволит значительно уменьшить энергопотребление системы и сократить время проектирования.

**Объект исследования.** Способы снижения энергопотребления считывающего усилителя в процессе чтения с целью снижения энергопотребления запоминающего устройства.

**Цель работы.** Разработка средств уменьшения потребляемой мощности считывающего усилителя в запоминающих устройствах.

**Методы исследования.** В ходе исследования были применены основные принципы построения СУ, используемых в ЗУ; современные подходы к

проектированию; методы улучшения основных параметров; современные теории снижения энергопотребления ЗУ.

#### **Научная новизна:**

- Предложены способы снижения энергопотребления считывающего усилителя в запоминающих устройствах, позволяющие значительно снизить энергозатраты в процессе чтения, время их проектирования, а также скорость проверки соответствующих параметров.
- Предложен способ снижения энергопотребления считывающего усилителя в запоминающих устройствах, позволяющий за счет потери тока транзисторов, с диодным подключением, находящиеся в режиме отсечки, снизить среднее энергопотребление на 32,5 %, за счет увеличения задержки на 2,3% и занимаемой площади - на 4,5%.
- Разработан способ снижения статического энергопотребления дифференциального считывающего усилителя, по которому, благодаря применению узлов отсечки входов от битовых линий, обеспечивает снижение энергопотребления на 8,3% за счет увеличения занимаемой площади всего на 3,6 %.
- В запоминающих устройствах предложен метод контроля тока в усилителе типа лач с управлением опорным напряжением, благодаря транзистору в качестве источника питания, при выбранной частоте 1,4 ГГц обеспечивается уменьшение энергопотребления на ~31,3%, за счет увеличения задержки на 7,1 % и площади схемы – на ~4,2%.
- Предложен способ снижения энергопотребления считывающего усилителя типа лач с управлением опорным напряжением, который благодаря схеме саморегулирования мощности для частот 0,5..2,3 ГГц обеспечивает соответствующее снижение потребляемой мощности на 72..19%, за счет увеличения задержки вход-выхода 15..8% и площади массива считывающих усилителей на ~11%.

**Практическая ценность работы.** Разработано программное обеспечение (ПО) “Memory Power Analyzer” для автоматического снижения энергопотребления СУ в ЗУ, позволяющее использовать методы снижения энергопотребления в усилителях чтения способом введения технологических библиотек. ПО имеет удобную графическую среду, которая позволяет не только автоматически оптимизировать энергопотребление усилителей, но и исследовать их предварительно выбранные параметры. В ряде реальных проектов испытания ПО показали, что с его помощью сокращается время проектирования примерно в 2..3,5 раза за счет ухудшения коэффициента заполнения выходного сигнала на ~2,3%, с точностью до ~2,1%.

**Достоверность научных положений** подтверждена сочетанием теоретического обоснования представляемых в диссертации научных результатов с результатами практического моделирования.

**Внедрение.** Разработанный программный инструмент “Memory Power Analyzer” внедрен и используется в ЗАО “Синописис Армения”. ПО используется для автоматизации снижения энергопотребления СУ в ЗУ, а также анализа полученных результатов.

### **Основные положения, выносимые на защиту:**

- метод снижения энергопотребления считывающего усилителя с применением транзистора с диодным подключением;
- метод снижения статического энергопотребления дифференциального усилителя с отсечкой входов от битовых линий;
- метод снижения энергопотребления считывающего усилителя типа лач с применением транзистора с контролем опорного напряжения в запоминающих устройствах;
- метод самокалибровки энергопотребления считывающего усилителя в запоминающих устройствах.

**Апробация работы.** Основные научные и практические результаты диссертации докладывались на:

- 39-ом международном симпозиуме "IEEE Electronics And Nanotechnology (ELNANO)" (Киев, Украина, 2019 г.);
- Международном симпозиуме "IEEE EWDTS: East-West Design & Test" (Батуми, Грузия, 2019 г.);
- научных семинарах кафедры "Микроэлектронные схемы и системы" НПУА (Ереван, Армения, 2019-2022 гг.);
- научных семинарах ЗАО "Синописис Армения" (Ереван, Армения, 2019 - 2022 гг.).

**Публикации.** Основные положения, представленные в диссертации, обобщены в семи научных статьях, список которых приведен в конце автореферата.

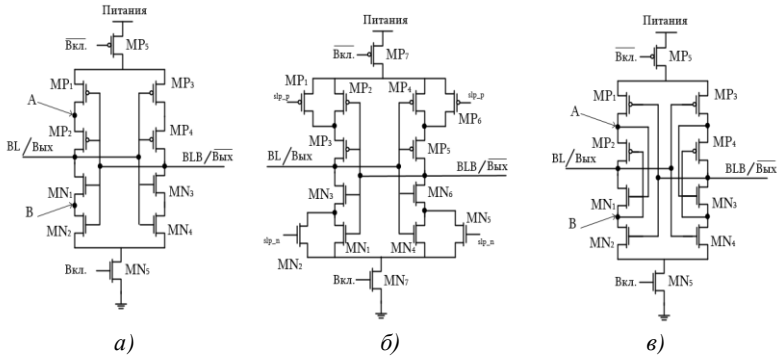
**Структура и объем работы.** Диссертация состоит из введения, трех глав, основных выводов, списка литературы из 115 наименований и из 5 приложений. В первом приложении представлен акт внедрения, во втором - схематические описания предлагаемых методов СУ, в третьем – графическая часть разработанной программы “Memory Power Analyzer”, в четвертом – списки использованных рисунков и таблиц, в пятом – список использованных сокращений. Основной объем диссертации составляет 112 страниц, а вместе с приложениями – 142 страниц. Диссертация написана на армянском языке.

## **ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ**

**Во введении** обоснована актуальность темы диссертации, сформулированы цель и основные задачи исследования, представлены научная новизна, практическое значение и основные положения, выносимые на защиту.

**В первой главе** представлены наиболее важные задачи и проблемы, возникаемые при проектировании запоминающих устройств в интегральной схеме. Особо рассмотрен раздел энергопотребления ЗУ в ИС. Анализ известных исследований показывает, что значительный процент энергопотребления в ЗУ приходится на считывающие усилители. Последние считаются активными компонентами в ЗУ, которые при малейшей разнице в напряжении на выходе ячейки памяти усиливают его. В результате разность напряжений усиливается до логической “1” или “0”. В быстродействующих ЗУ потребление статической энергии увеличивается из-за масштабирования технологий.

Основной причиной резкого увеличения энергопотребления является ток, протекающий по проводнику транзистора в закрытом состоянии. За счет последнего увеличивается не только статическое, но и среднее энергопотребление при чтении. Представлены известные методы снижения энергопотребления. Показано, что, несмотря на их преимущества, дальнейшее масштабирование технологий не позволяет их использовать. Усилители, широко используемые в ЗУ, в реальности представляют собой усилитель типа лач или дифференциальные усилители. Обсуждаются методы снижения энергопотребления на этих усилителях (рис. 1).



*Рис. 1. Рассмотренные известные методы снижения энергопотребления: а - усилитель с принудительным стеком, б - усилитель с режимом ожидания, в - усилитель с контролем утечного тока*

Классические усилители типа лач состоят из инверторов, подключенных в противоположных направлениях, которые при небольшой разнице напряжения на входах усиливают его. При переключении инверторов через ветви зарядки и разрядки протекает большой ток. Однако ток протекает через статическое состояние транзисторов. Существует несколько основных методов уменьшения этого тока. Первый – это метод принудительного стека (рис. 1а). Добавленные транзисторы в точках А и В вызывают разность потенциалов, которая уменьшает напряжение сток-исток для транзисторов MP1 и MP2. Снижение энергопотребления происходит за счет площади, занимаемой воздухом.

Другой метод - это усилитель с режимом ожидания (рис. 1б), в котором предусмотрены дополнительные транзисторы для обеспечения глубоко закрытого состояния транзисторов заряд-разряд в режиме ожидания. Недостатком этого метода является то, что схема, разработанная этим методом занимает дополнительную площадь. Кроме того, в результате дальнейшего масштабирования технологии использование этих транзисторов становится нецелесообразным.

Третьим известным методом снижения энергопотребления за счет контроля тока утечки является СУ (рис. 1в). В режиме ожидания транзисторы MP2, MP4 и MN1, MN3 в этом усилителе находятся в закрытом положении. Напряжение затворов в этих транзисторах формируется истоковым напряжением транзисторов

MP1, MP3 и MN2, MN4 соответственно. Этот метод эффективен для снижения энергопотребления, но его недостатком является то, что на выходе СУ формируется неполный сигнал. В этой главе представлены также требования к скорости считывания для СУ. Рассмотрены известные способы энергопотребления в быстродействующих ЗУ, принципы проектирования различных энергосберегающих режимов.

**Во второй главе** предлагаются методы решения проблем энергопотребления, описанных в первой главе. Показана эффективность разработанных методов.

**Метод снижения потребляемой мощности с помощью транзисторов с диодным включением.** Как уже было отмечено, из-за масштабирования технологии увеличиваются токи потерь. При этом методе рекомендуется уменьшить потребляемую мощность усилителя за счет тока потерь диодного транзистора с обратной связью (рис. 2).

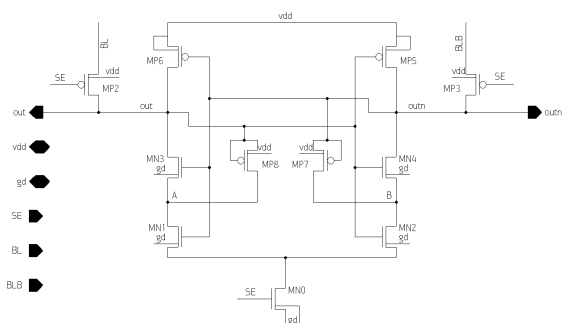


Рис. 2. Рекомендуемая схема типа лач СУ на транзисторе с диодным включением

Предлагаемый усилитель был разработан с использованием технологии SAED14 нм. Результаты моделирования представлены на рис. 3.

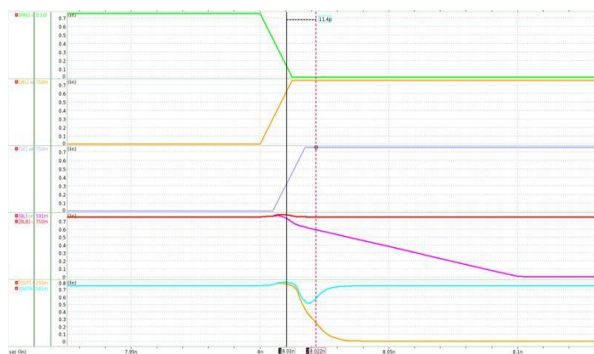


Рис. 3. Результаты моделирования СУ

В усилителе транзисторы MP8 и MP7 с диодным включением в процессе предзарядки при выходном напряжении СУ, равном “1”, находятся в режиме отсечки. В закрытом состоянии через эти диоды протекает ток потерь. Этот ток снижает сток-исток напряжения транзисторов MN3 и MN4, что приводит к уменьшению потребляемой мощности (рис. 4). Полученный ток варьируется в зависимости от размера добавленных транзисторов. Однако увеличение размеров приводит к задержке схемы из-за паразитных явлений.

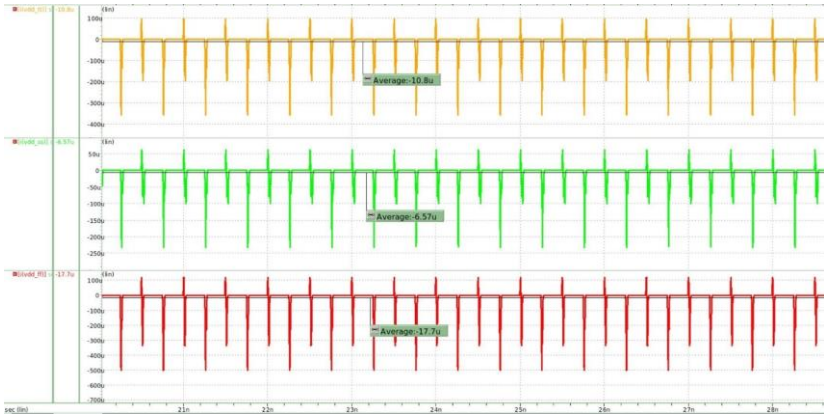


Рис. 4. Среднее энергопотребление по предлагаемому способу в процессе чтения

Так как транзисторы с предлагаемым диодным включением расположены на выходе усилителя при заряде-разряде, то из-за паразитных емкостей возникает задержка (рис. 5).

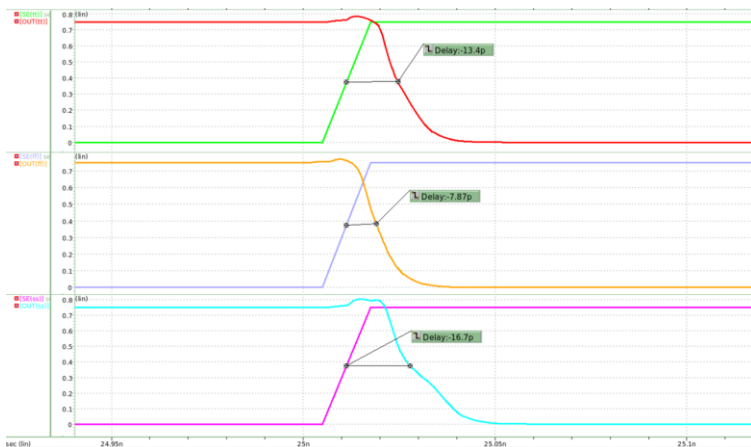


Рис. 5. Возникаемая задержка предлагаемого усилителя



Полученные на основе предлагаемого метода результаты энергопотребления и задержки схемы были сравнены с результатами при использовании классического усилителя типа лач (табл. 1).

Таблица 1

Результаты моделирования с использованием предлагаемого метода и без него

Параметр	Считывающий усилитель	
	Типовой лач	По предлагаемому методу
Статическое энергопотребление, $nWt$	1,555	2,055
Среднее энергопотребление, $мкВт$	12	8,1
Задержка схемы, $нс$	13,1	13,42

Таким образом, в случае применения предложенного способа статическое энергопотребление СУ снижается на 24,3%, а средняя потребляемая мощность в процессе чтения - на 32,5%. Снижение энергопотребления обусловлено задержкой всего на 2,3% и приростом площади - на ~ 4,5%.

**Дифференциальный усилитель, разработанный методом отсечки от входных битовых линий.** В устройствах памяти, в которых используется дифференциальный усилитель, разработан дифференциальный усилитель с источником питания-нагрузкой, входы которого отделены от разрядных линий (рис. 6).

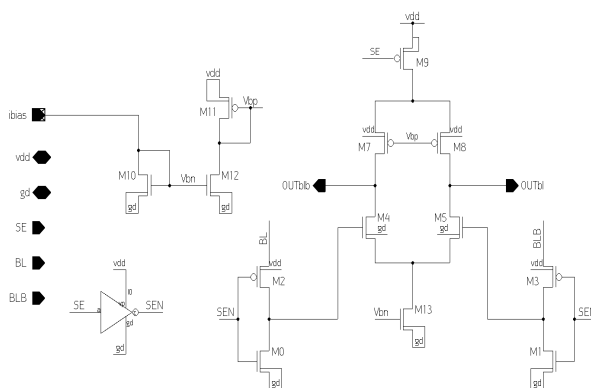


Рис. 6. Предлагаемая схема усилителя с отсеченными входами от битовых линий

В случае классического дифференциального усилителя битовые линии подключаются непосредственно к входам усилителя. В этом случае входы усилителя находятся в насыщенном состоянии, что приводит к высокому энергопотреблению в режиме ожидания.

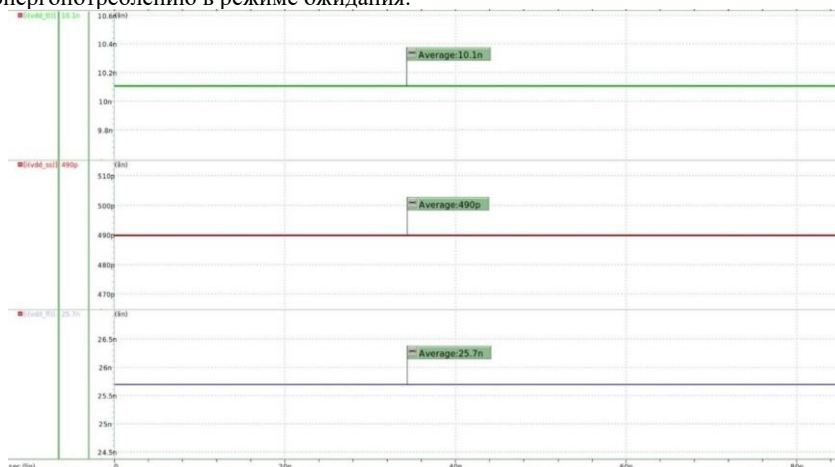


Рис. 7. Статический ток типового дифференциального усилителя

Для оценки эффективности предлагаемого метода сначала был разработан классический дифференциальный усилитель, затем усилитель на основе предлагаемого метода. Моделирование типичного усилителя проводилось в статическом режиме (рис. 7), проведено сравнение в этом же режиме предлагаемым методом со статической потребляемой мощностью усилителя (рис. 8).

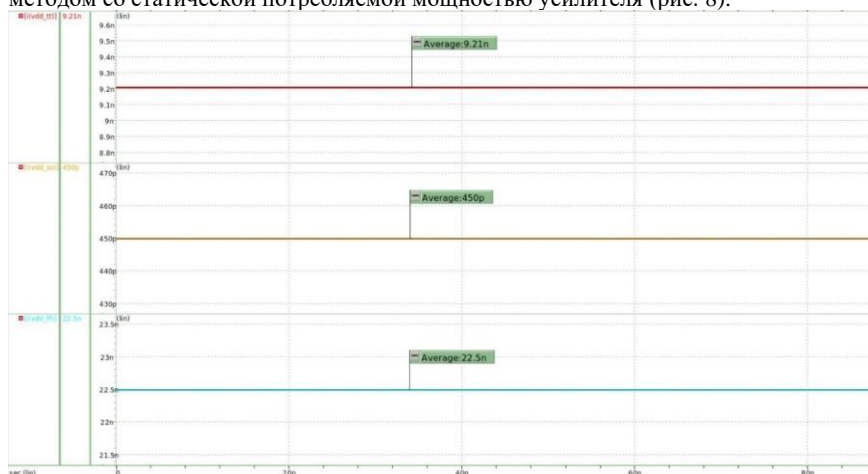


Рис. 8. Статический ток предложенного дифференциального усилителя

Кроме того, также учитывалась динамическая потребляемая мощность предлагаемого усилителя. Снижение энергопотребления при усилении объекта производилось за счет занимаемой площади (табл. 2).

Таблица 2

Сравнение выходных результатов классического дифференциального усилителя и усилителя, разработанного предложенным методом

Параметр	Типичный дифференциальный усилитель	Дифференциальный усилитель по предлагаемому методу
Статическое энергопотребление, <i>nВт</i>	0,757	0,6907
Площадь, <i>мкм<sup>2</sup></i>	35.42	36,7

В дифференциальном СУ разработан способ снижения статического энергопотребления, который путем отсечки от битовых линий обеспечивает уменьшение энергопотребления на 8,3% за счет сокращения площади схемы на 3,6%.

В этой главе также представлен усилитель типа лач, управляемый опорным напряжением (рис. 9).

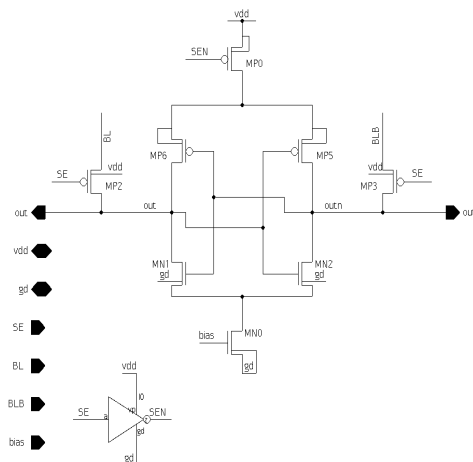


Рис. 9. Усилитель типа лач, управляемый опорным напряжением

При этом транзистор MN0 находится в режиме насыщения. Ток ветвей усилителя управляется сигналом смещения. Проблема в том, что СУ рассчитаны на максимальную рабочую частоту. Однако, в зависимости от режима запоминающего устройства, эти частоты могут меняться. С помощью опорного напряжения этого усилителя можно регулировать минимальный и достаточный токи для данной частоты. В результате снижается потребляемая динамическая мощность усилителя (рис. 10).

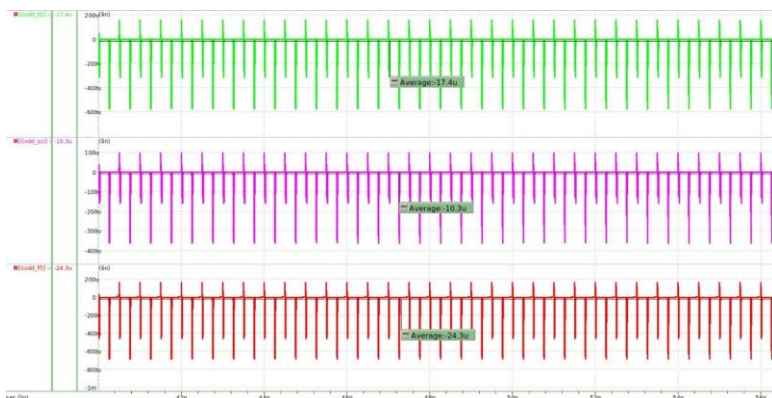


Рис. 10. Динамический ток усилителя, управляемого опорным напряжением

Максимальная рабочая частота, выбранная усилителем, составляет 2,3 ГГц. В другом режиме в качестве промежуточной условной частоты была выбрана частота 1,4 ГГц. Для оценки эффективности усилителя проведено сравнение классического усилителя типа лач, рассчитанного на максимальную частоту, с усилителем, разработанным предложенным методом, на промежуточной частоте 1,4 ГГц.

В случае предложенного подхода ограничение тока на заданной частоте приводит к задержке в цепи входа-выхода (рис. 11).

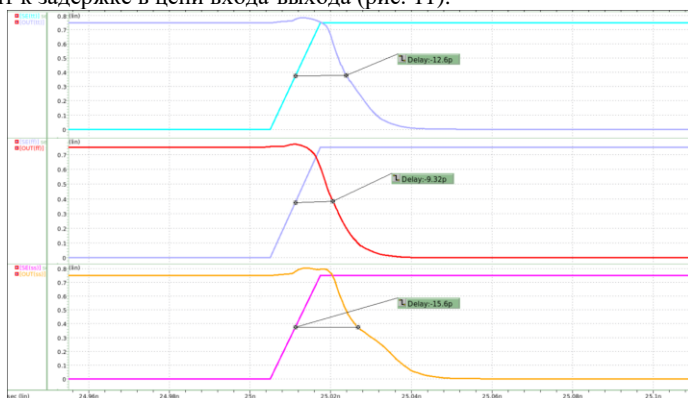


Рис. 11. Задержка в цепи входа-выхода предлагаемого усилителя

Моделирование проводилось для трех технологических процессов (типичный, быстрый, медленный). Сравнительные результаты типичного процесса представлены в табл.3.

Таблица 3

Сравнение выходных результатов моделирования классического усилителя типа лач и усилителя типа лач с опорным напряжением

Параметр	Классический усилитель типа лач	Усилитель типа лач с опорным напряжением
Среднее энергопотребление, мкВт	18,15	13,06
Задержка схемы, нс	11,8	12,62

Таким образом, потребляемая мощность усилителя типа лач, управляемого опорным напряжением, в зависимости от выбранной рабочей частоты 1,4 ГГц, снижается максимум на 31,3%.

**Метод самокалибровки потребляемой мощности считывающего усилителя в запоминающем устройстве.** В запоминающих устройствах предложен метод самокалибровки потребляемой мощности усилителя типа лач с опорным напряжением (рис. 12). Схема предлагаемого способа состоит из цифрового контроллера (ЦК), цифроаналогового преобразователя (ЦАП), копии СУ, детектора коэффициента заполнения (ДКЗ) и усилителя типа лач. Данная схема определяет требуемый ток для каждой частоты и сохраняет цифровое значение, соответствующее току в регистрах.

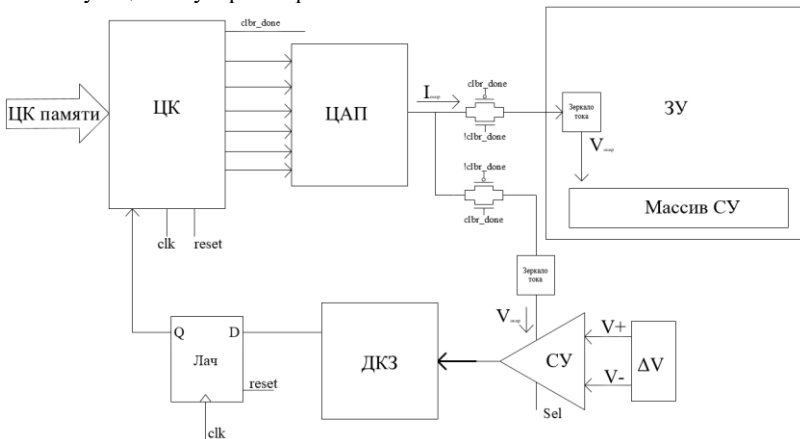


Рис. 12. Предложенный метод самокалибровки потребляемой мощности

ЦК управляет ЦАП, увеличивая 8-битное числовое значение в каждом цикле, для получения достаточного сигнала на выходе СУ пока генерируемого тока на этой частоте не будет достаточно. Затем для получения на выходе ДКЗ логической "1" в регистрах, объявленных в ЦК, сохраняется числовое значение, соответствующее тому току. После обнаружения требуемых токов для всех заданных частот выход ЦАП отключается от дубликата СУ и подключается к усилителям в ЗУ. Управление осуществляется описанным конечным автоматом (рис. 13).

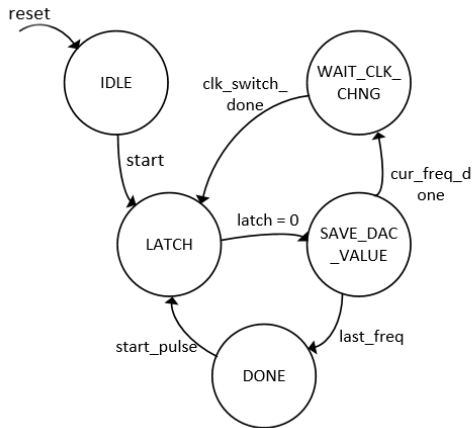


Рис. 13. Разработанный конечный автомат

Терминальный автомат TCM имеет 5 режимов: IDLE, WAIT\_CLK\_CHNG, LATCH, SAVE\_DAC\_VALUE, DONE. Проведены отдельные моделирование (рис. 14) и синтез ЦК, который затем вводили во всю систему.

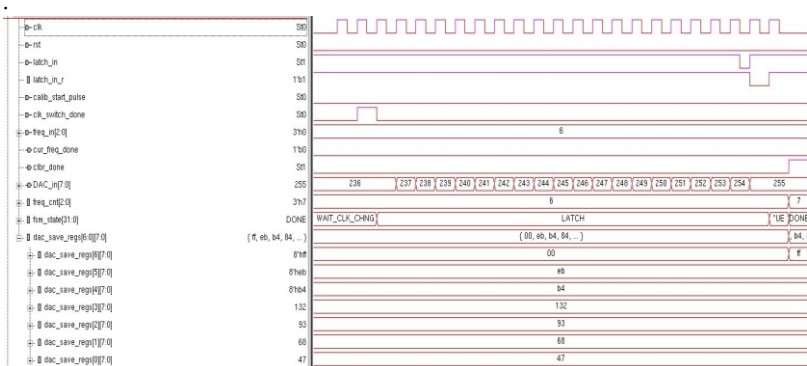


Рис. 14. Результаты моделирования ЦК

Диапазон частот чтения ЗУ был выбран в интервале 0,5...2,3 ГГц с шагом 0,3 ГГц (табл. 4). Представлены все узлы, используемые в методе самокалибровки. Проект выполнен по технологии SAED14 нм и для трех технологических процессов: быстрый, типовой, медленный. Представлены результаты моделирования для симуляции настройки на частоте 2,3 ГГц в типичном процессе (рис. 15).

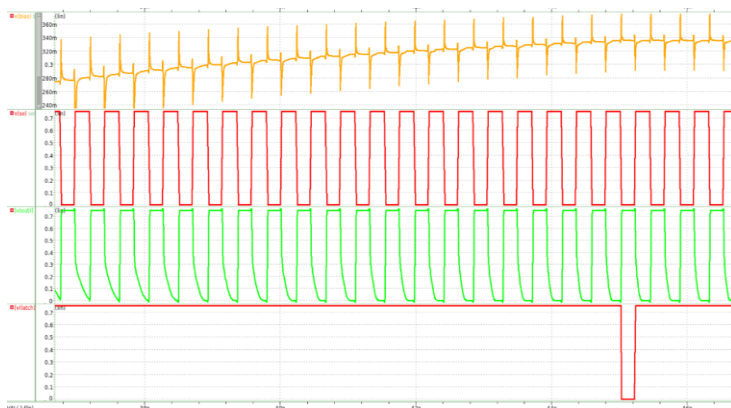


Рис. 15. Моделирование регулирования мощности для частоты 2,3 ГГц

В результате настройки был найден требуемый для каждой частоты ток в выбранном частотном диапазоне (табл. 4).

Таблица 4

Регулируемые значения тока, соответствующие выбранным частотам

Параметр	Ток, мкА		
	tt	ff	ss
0,5	5,61	9,61	3,61
0,8	8,97	12,97	6,98
1,1	9,97	15,37	7,32
1,4	11,81	18,91	9,81
1,7	15,22	22,22	13,22
2	16,8	27,8	14,8
2,3	20,89	35,89	19,8

Таким образом, предлагаемый способ самокалибровки, выбранный на частотах 0,5...2,3 ГГц, обеспечивает соответствующее снижение потребляемой мощности на 72...19% за счет увеличения задержки схемы от 15% до 8% и повышения занимаемой площади массива СУ – на 11%.

**В третьей главе** представлен программный инструмент “Memory Power Analyzer”, позволяющий автоматически применять предложенные средства для снижения энергопотребления на выбранном СУ.

Программное обеспечение имеет два основных окна: настройки и дизайна. В окне настройки выбирается библиотека техпроцесса и усилителей, с помощью которых будет выполняться проектирование. В окне дизайна вносятся необходимые параметры, выбранные для дизайна (рис. 16). В окнах "Schematic View" и "Waveform" можно увидеть схему усилителя и результат вывода по выбранному методу соответственно.

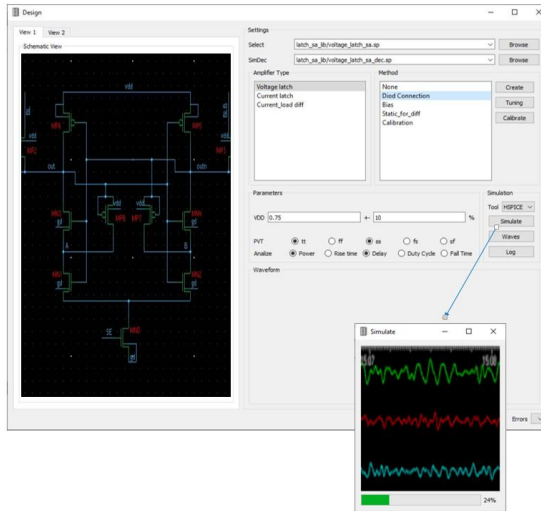


Рис. 16. Окно проектирования программы “Memory Power Analyzer”

Таким образом, применение предложенного ПО “Memory Power Analyzer” для проектирования рассмотренных методов снижения энергопотребления обеспечивает экономию времени затрачиваемого на проектирование, примерно в 2...3,5 раза за счет снижения коэффициента заполнения выходного сигнала на 2,3% с точностью до 2,1%.



## ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Предложены способы снижения энергопотребления считывающего усилителя в запоминающих устройствах, позволяющие значительно снизить энергозатраты в процессе чтения, время их проектирования, а также скорость проверки соответствующих параметров [1-7].
2. Предложен способ снижения энергопотребления считывающего усилителя в запоминающих устройствах, позволяющий за счет потери тока транзисторов, с диодным подключением, находящиеся в режиме отсечки, снизить среднее энергопотребление на 32,5 %, за счет увеличения задержки на 2,3% и занимаемой площади - на 4,5% [1, 4, 3].
3. Разработан способ снижения статического энергопотребления дифференциального считывающего усилителя, по которому, благодаря применению узлов отсечки входов от битовых линий, обеспечивает снижение энергопотребления на 8,3% за счет увеличения занимаемой площади всего на 3,6 % [1, 2].
4. В запоминающих устройствах предложен метод контроля тока в усилителе типа лач с управлением опорным напряжением, благодаря транзистору в качестве источника питания, при выбранной частоте 1,4 ГГц обеспечивается уменьшение энергопотребления на ~31,3%, за счет увеличения задержки на 7,1 % и площади схемы – на ~4,2% [1, 6].
5. Предложен способ снижения энергопотребления считывающего усилителя типа лач с управлением опорным напряжением, который благодаря схеме саморегулирования мощности для частот 0,5..2,3 ГГц обеспечивает соответствующее снижение потребляемой мощности на 72..19%, за счет увеличения задержки вход-выхода 15..8% и площади массива считывающих усилителей на ~11% [6].
6. Разработано программное обеспечение “Memory Power Analyzer” для автоматического снижения энергопотребления считывающего усилителя в запоминающих устройствах, позволяющее использовать методы снижения энергопотребления в усилителях чтения способом введения технологических библиотек. Программное обеспечение имеет удобную графическую среду, которая позволяет не только автоматически оптимизировать энергопотребление усилителей, но и исследовать их предварительно выбранные параметры. В ряде реальных проектов испытания программного обеспечения показали, что с его помощью сокращается время проектирования примерно в 2..3,5 раза за счет ухудшения коэффициента заполнения выходного сигнала на ~2,3%, с точностью до ~2,1% [1-7].

**Основные результаты диссертации** опубликованы в следующих работах:

1. Current Scaling of Multi-fin Devices in FinFET Process. / S. Avushyan, K. Petrosyan, T. Kaplanyan, D. Shaljyan, L. Mikaelyan, N. Shukhyan, A. Momjyan // 2019 IEEE 39th International Conference on Electronics and Nanotechnology (ELNANO). – 2019. – P. 206–209.
2. Մոմջյան Ա.Ս. Սոստիկ օպերատիվ հիշող սարքերի ընթերցման ուժեղարարների հասպարդման և էներգասպառման վերլուծություն // ՀԱՊՀ Լրաբեր. Գիտական հոդվածների ժողովածու- 2021. - Մաս 2. - Էջ 357- 363:
3. Momjyan A.M., Petrosyan A.O., Hovhannisyan V.D. Reduction of Power Consumption in the SRAM Sense Amplifier // Proceedings of NPUA: Information Technologies, Electronics, Radio, Engineering –2021. -No 1. – P. 34 – 42.
4. Momjyan A.M. A New Sense Amplifier with the Method of the Dissipation Power Reduction for SRAM // Proceedings of the Republic of Armenia National Academy of Science and National Polytechnic University of Armenia. Series of Technical Sciences – 2021. Vol. 74, No 4. – P. 457–463.
5. Design and Verification of Novel Sync Cell / V. Melikyan, S. Harutyunyan, T. Kaplanyan, A. Kirakosyan, A. Momjyan, V. Amiryan // 2021 IEEE East-West Design and Test Symposium (EWDTS 2021): - Proceedings. – 2021. – P. 1–5.
6. A Novel Method of Power Reduction for a SRAM Sense Amplifier with a Self-calibration Mechanism / Petrosyan O.H., Momjyan A.M., Shaljyan D.S. Manucharyan D.V. // Proceedings of the Republic of Armenia National Academy of Science and National Polytechnic University of Armenia. Series of Technical Sciences. – 2022. Vol. 75, No 1. – P. 100–107
7. Melikyan V.Sh., Hakobyan H.H., Kaplanyan K.K., Momjyan A.M. Unit Regression Test Selection Mechanism Based on Hashing Algorithm. // 2019 IEEE East-West Design and Test Symposium (EWDTS 2019): - Proceedings. – 2019. – P. 1–5.

## ԱՄՓՈՓԱԳԻՐ

Ժամանակակից ինտեգրալ սխեմաներում (ԻՍ) և միկրոարոցեստորային համակարգերի անբաժանելի մասն են կազմում հիշող սարքերը (ՀՍ): Վերջին տարիներին ԻՍ-ի նախագծման պահանջները ավելի են խստացել կոմպլիմենտար մետաղ օքսիդ կիսահաղորդիչ (ԿՄՈԿ) տեխնոլոգիաների չափերի փոքրացման պատճառով: Տեխնոլոգիաների մաշտաբավորումը հանգեցրել է սխեմաներում կողմնակի երևույթների և ազդեցությունների մեծացմանը, մասնավորապես աճել է ստատիկ վիճակում տրանզիստորներով հոսող կորստի հոսանքը: Ինչի արդյունքում մեծացել է ընդհանուր էներգասպառումը, որն էլ իր հերթին հանգեցնում է ԻՍ-ների ծեղացման պարամետրերի վատթարացմանը:

Ժամանակակից ՀՍ-ը՝ օրինակ ստատիկ օպերատիվ հիշող սարքերի (ՍՕՀՍ) աշխատանքային հաճախությունը հոսնում է ընդհուպ միջև մի քանի ԳՀց: Հաճախությունների այսպիսի արժեքների դեպքում էներգասպառումը նույնպես կտրուկ աճում է: ԵՎ քանի որ ՀՍ-երի էներգասպառումը կազմում է ամբողջ ԻՍ-ի էներգասպառման մոտ 50-70%-ը, դրա նվազեցումը կարևորագույն խնդիրներից է:

ՀՍ-երում ընթերցման ուժեղարարները հանդիսանում են ակտիվ և արագագործ տարրեր: Տվյալների ընթերցման ժամանակ էներգասպառման զգալի մասը բաժին է ընկնում ընթերցման ուժեղարարներին և հիշող բջիջներին: Ուստի ընթերցման ուժեղարարների էներգասպառման նվազեցումը ԻՍ-ներում ՀՍ-ի նախագծման փուլում որոշիչ խնդիր է:

Կան գրականությունում առկա, հայտնի էներգասպառման նվազեցման լուծումներ, որոց կիրառումը տեխնոլոգիայի հետագա մաշտաբավորման դեպքում դառնում են ոչ արդյունավետ: Օրինակ՝ տրանզիստորների չափերի փոքրացումը հանգեցնում է կտրման ռեժիմում դրանցով հոսող մթնային հոսանքի աճին: Իսկ արագագործության աճը հանգեցնում է տրանզիստորների ենթաշեմային տիրույտում:

Այսպիսով, հիշող սարքերի ընթերցման ուժեղարարների սպառման հզորության նվազեցման միջոցների մշակումը որոշիչ խնդիր է ԻՍ-ների նախագծման գործընթացում, քանի որ գրականությունում առկա, հայտնի մեթոդները և լուծումները բավարար չափով չեն նվազեցնում էներգասպառումը և տեխնոլոգիաների հետագա նվազեցումը տվյալ մոտեցումների կիրառումը դարձնում է ոչ արդյունավետ:

Ատենախոսությունը նվիրված է հիշող սարքերի ընթերցման ուժեղարարների սպառման հզորության նվազեցման միջոցների մշակմանը, որոնք էապես կբարելավեն համակերգի էներգասպառումը և կնպաստեն նախագծման ժամանակի փոքրացմանը:

Առաջարկվել են հիշող սարքերում ընթերցման ուժեղարարների հզորության նվազեցման մեթոդներ, որոնք էապես նվազեցնում են ընթերցման գործընթացում էներգասպառումը, դրանց նախագծման ժամանակը ինչպես նաև այլ պարամետրերի ստուգման արագությունը և բարձրացնում են դրա ստուգման որակը:

Առաջարկվել է, հիշող սարքերում ընթերցման ուժեղարարների էներգասպառման նվազեցման մեթոդ, որը կտրման ռեժիմում, դիոդային միացված տրանզիստորների կորստի հոսանքի շնորհիվ ապահովում է 32,5%-ով միջին էներգասպառման նվազում, ընդհամենը 2,3% հապաղման և ~4,5% մակերեսի աճի հաշվին:

Մշակվել է դիֆերենցիալ ընթերցման ուժեղարարի, ստատիկ էներգասպառման նվազեցման մեթոդ, որում ուժեղարարի մուտքերը բիթի գծերից կտրման հանգույցների շնորհիվ ապահովում է 8,3%-ով պակաս էներգասպառում, սխեմայի զբաղեցրած մակերեսի ընդհամենը 3,6%-ի աճի հաշվին:

Առաջարկվել է հիշող սարքում փոխանջատվող ընթերցման ուժեղարարի, հենակային լարումով հոսանքի կառավարվող մեթոդ, որում հոսանքի աղբյուր հանդիսացող տրանզիստորի շնորհիվ ընտրված 1,49<g հաճախության դեպքում ապահովում է ~31,3%-ով պակաս էներգասպառում հապաղման և զբաղեցրած մակերեսի համապատասխանաբար 7,1% և ~4,2% աճի հաշվին:

Առաջարկվել է հիշող սարքում ընթերցման ուժեղարարի սպառման հզորության ինքնակարգաբերման մեթոդ, որը հոսանքի կարգաբերման սխեմայի շնորհիվ, 0,59<g-ից 2,39<g հաճախությունների համար, ապահովում է համապատասխանաբար 72-19%-ով էներգասպառման նվազեցում, մուտք-ելք հապաղման 15-8% և ընթերցման ուժեղարարների զանգվածի մակերեսի ընդհամենը ~11% աճի հաշվին:

Մշակվել է հիշող սարքերում ընթերցման ուժեղարարների սպառման հզորության ավտոմատ նվազեցման «Memory Power Analyzer» ծրագրային գործիքը, որը հնարավորություն է տալիս, մուտքագրված տեխնոլոգիական գրադարանների միջոցով ընթերցման ուժեղարարներում կիրառել էներգասպառման նվազեցման մեթոդները: Այն ունի օգտագործողին հարմար գրաֆիկական միջավայր, որի միջոցով հնարավորություն է տրվում ոչ միայն կատարել ուժեղարարների էներգասպառման ավտոմատ լավարկում այլ նաև հետազոտել դրանց, նախապես ընտրված պարամետրերը: Մի շարք իրական նախագծերում ծրագրային միջոցի փորձարկումներից պարզ է դարձել, որ այն նվազեցնում է նախագծման ժամանակը մոտ 2-3,5 անգամ, ելքային ազդանշանի լցման գործակցի ~2,3% վատացման հաշվին, ~2,1% ճշտությամբ:

## ARSEN MELKON MOMJYAN

### DEVELOPMENT OF MEANS OF THE REDUCTION OF POWER CONSUMPTION FOR READ AMPLIFIERS IN MEMORY DEVICES

#### SUMMARY

Memory devices (ME) are essential components of today's integrated circuits (IC) and microprocessors. In recent years the IC development requirements became stricter with the shrinking of the CMOS technology. It resulted in increase of the side effects specifically the leakage current of the transistors has increased in the idle state. This resulted in overall increase of power consumption, hence worsening the aging parameters of the IC.

An example of modern memory element is the SRAM, operating frequency of which can reach up to several GHz. With such frequencies the power consumption is also greatly increased. Since 50-70% of total power inside the IC is consumed by the memory devices, this becomes a major issue.

In ME the read amplifiers are active and fast devices. During the read operation most of the consumed power is used by memory cells and read amplifiers. Hence lowering the power consumption of the read amplifiers is critical for developing MEs for ICs.

There are several low power consumption solutions known from literature, but they become less effective with the shrinking of the device. For example: lower transistor sizes results in increased leakage current in cut off state. Increased speed results in transistors being in sub-threshold margins, which also increases the power consumption.

The above-mentioned shows that development of low power read amplifiers is critical in IC development as the known methods and solutions from literature are not able to decrease the power consumption by required amount and with shrinking of the device their usage becomes even more ineffective.

The dissertation is dedicated to developing means to decrease the power consumption of read amplifiers in memory devices, which will improve the power consumption of the system and decrease the duration of the project.

A method to decrease the power consumption of read amplifiers in memory devices has been developed, which, in cut off state, due to leakage current of diode connected transistors, lowers the average power consumption by 32.5%, at the expense of ~2.3% latency and ~4.5% area increase.

A method for lowering the static power consumption of differential read amplifier has been developed, which, due to detaching inputs from bit lines, lowers the power consumption by 8.3%, at the expense of 3.6% circuit area increase.

A method to control the current with reference voltage for toggle read amplifiers in memory devices has been developed, which, for specified 1.4 GHz frequency due to the current mirror transistors, results in ~31.3% decreased power consumption at the expense of increased latency and area by 7.1% and ~4.2% respectively.

A method of self-adjustment of power consumption in read amplifiers has been developed, which, for frequency range of 0.5 GHz – 2.3 GHz, due to current self-

adjustment circuit, lowers the power consumption by 72-19% respectively, at the expense of 15-8% input to output latency and ~11% read amplifier array area increase.

A “Memory Power Analyzer” tool for automatically lowering of the power consumption in memory devices has been developed, which with the selected technological libraries, allows to use the low power methods. It has user-friendly graphical user interface, which not only allows to automatically improve the power consumption of amplifiers, but also to research chosen parameters. The tests of the tool in several real projects shows that it lowers the development time by 2-3.5 times at the expense of worsening the duty cycle by ~2.3% with 2.1% accuracy.

