

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ, ԳԻՏՈՒԹՅԱՆ,
ՄՇԱԿՈՒՅԹԻ ԵՎ ՍՊՈՐՏԻ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

Տարոն Կարոյի Կապլանյան

ԲԱՐՁՐ ԱՐՏԱԴՐՈՂԱԿԱՆՈՒԹՅԱՄԲ ՀԵՏԵՐՈԳԵՆ ԻՆՏԵԳՐԱԼ
ՄԽԵՄԱՆԵՐԻ ՆԱԽԱԳԾՄԱՆ ՄԻՋՈՑԵՐԻ ՄՇԱԿՈՒՄԸ

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի
հայցման ատենախոսության

ՍԵՂՄԱԳԻՐ

Երևան 2022

МИНИСТЕРСТВО ОБРАЗОВАНИЯ, НАУКИ, КУЛЬТУРЫ И СПОРТА
РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

Каплянян Тарон Кароевич

РАЗРАБОТКА СРЕДСТВ ПРОЕКТИРОВАНИЯ
ВЫСОКОПРОИЗВОДИТЕЛЬНЫХ ГЕТЕРОГЕННЫХ
ИНТЕГРАЛЬНЫХ СХЕМ

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата
технических наук по специальности 05.27.01-
“Электроника, микро- и наноэлектроника”

Ереван 2022

Ատենախոսության թեման հաստատվել է Հայաստանի ազգային պոլիտեխնիկական համալսարանում (ՀԱՊՀ):

Գիտական ղեկավար՝ տ.գ.դ. Վազգեն Շավարշի Մելիքյան
Պաշտոնական ընդդիմախոսներ՝ տ.գ.դ. Օլեգ Հարությունի Պետրոսյան
տ.գ.թ. Մարտիրոսյան Արմեն Արայիկի
Առաջատար կազմակերպություն՝ Երևանի կապի միջոցների
գիտահետազոտական ինստիտուտ

Ատենախոսության պաշտպանությունը կայանալու է 2022թ. հունիսի 14-ին, ժամը 10⁰⁰-ին, ՀԱՊՀ-ում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 Մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք) :

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:

Սեղմագիրն առաքված 2022թ. հունիսի 1-ին:

046 Մասնագիտական խորհրդի
գիտական քարտուղար, տ.գ.թ.



Բենիամին Ֆելիքսի Բադալյան

Тема диссертации утверждена в Национальном политехническом университете Армении (НПУА)

Научный руководитель: д.т.н. Вазген Шаваршович Меликян

Официальные оппоненты: д.т.н. Олег Арутюнович Петросян
к.т.н. Армен Араикович Мартиросян

Ведущая организация: Ереванский научно-исследовательский институт средств связи

Защита диссертации состоится 14-го июля 2022г. в 10⁰⁰ ч. на заседании Специализированного совета 046 — "Радиотехники и электроники", действующего при НПУА, по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 1-го июня 2022 г.

Ученый секретарь

Специализированного совета 046, к.т.н.



Бениамин Феликсович Бадалян

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. Рабочие частоты современных интегральных схем (ИС) достигают нескольких гигагерц. Обеспечение таких частот позволяет повысить производительную мощность вычислительных систем, основанных на процессорных ИС. По мере роста производительности увеличивается и объем обрабатываемых данных. Однако с годами скорость увеличения рабочих частот цифровых ИС снижается, что связано с ограничениями, налагаемыми на технологический процесс. В конечном итоге за последние десятилетия, с целью повышения производительности в области проектирования цифровых ИС, стали развиваться многоядерные процессоры ИС. Развитие многоядерных процессоров началось с использованием двух и более одинаковых ядер. Однако такой подход со временем изжил себя, так как возникли проблемы с интеграцией ядер. Эти проблемы на сегодняшний день не позволяют интегрировать, в среднем, более шестнадцати ядер в одной ИС. Но количество данных для обработки с каждым днём продолжает расти.

Для решения вышеназванных задач и обеспечения высокой вычислительной производительности стали применяться гетерогенные или гибридные вычислительные системы, которые состояли из дискретных вычислительных ИС. Они отличаются с точки зрения архитектуры. Например, центральные процессоры предназначены для выполнения последовательных алгоритмов, а графические процессоры – параллельных алгоритмов. Комбинация этих двух типов ИС значительно повысила производительность общей системы. Сейчас гетерогенные вычислительные системы проектируются в единой ИС. Такие схемы используются в современных смартфонах, системах облачных технологий, криптографии, в сфере интернет-вещей, в системах с внедренным искусственным интеллектом, электромобилях и т.д.

Таким образом, разработка средств проектирования высокопроизводительных гетерогенных ИС имеет весьма актуальное значение. Это обусловлено прежде всего тем, что существующие подходы, методы и архитектурные решения не обеспечивают достаточной производительности, что приводит к необходимости создания новых подходов.

Диссертация посвящена разработке средств проектирования высокопроизводительных гетерогенных ИС, которые позволят устранить недостатки имеющихся решений, обеспечить высокую производительность и сделать их универсальными.

Предмет исследования. Методы проектирования высокопроизводительных гетерогенных ИС с целью повышения производительности и сокращения времени, затрачиваемого на процесс проектирования.

Цель работы. Разработка средств проектирования высокопроизводительных гетерогенных ИС.

Методы исследования. При проведении исследования были использованы методологии симуляции цифровых ИС, подходы к оценке структурных проблем и теории их архитектурного проектирования.

Научная новизна:

- Предложены способы проектирования средств высокопроизводительных гетерогенных интегральных схем, позволяющие значительно улучшить их основные технические параметры, повысить производительность, механизмы передачи данных между компонентами и сократить сроки проектирования.
- Разработан метод усовершенствования передачи данных между компонентами в гетерогенных интегральных схемах, благодаря измененной архитектуре которая позволяет обеспечить сокращение количества шин данных в 8 раз за счет увеличения занимаемой площади ядра на 2,25%.
- Предложен метод усовершенствования средств передачи данных между блоковыми доменами в гетерогенных интегральных схемах, который позволяет обеспечить благодаря архитектуре смешанных сигналов прирост передачи данных не менее чем на 50% за счет увеличения занимаемой площади в среднем на 21%.
- Создан метод проектирования архитектуры высокопроизводительных гетерогенных интегральных схем, который позволяет обеспечить, благодаря внедренному планировщику, модулю контроля и прямого доступа памяти, специальному набору команд увеличение быстродействия примерно на 32,48% за счет увеличения площади на 11%.

Практическая ценность работы. Разработан программный инструмент “HeteroIC-builder” для проектирования высокопроизводительных гетерогенных интегральных схем, который имеет удобный пользовательский графический интерфейс и дает возможность генерировать описания гетерогенных интегральных схем на уровне передачи регистров, выполнять логический синтез с данным технологическим процессом, симуляцию, проверку структур пересечения блоковых доменов, статический временной анализ и другие процессы. Испытания программного обеспечения (ПО) в ряде реальных проектов показали его высокую эффективность по сравнению с ручным проектированием: за счет увеличения занимаемой площади всего на 7...13% обеспечивается сокращение срока проектирования в среднем на 40...60%.

Достоверность научных положений подтверждена сочетанием математического обоснования и представленных в диссертации научных результатов с результатами практического моделирования.

Внедрение. ПО “HeteroIC-builder” внедрено в ЗАО “Синописис Армения”. Оно используется для генерации описания гетерогенных интегральных схем на уровне передачи регистров, выполнения логического синтеза, симуляции, других процессов, а также для изучения полученных результатов. Предложенные подходы были реализованы в цифровых интегральных схемах, разработанных с помощью ПО “HeteroIC-builder”.

Основные положения, выносимые на защиту:

- метод усовершенствования передачи данных между компонентами в гетерогенных ИС;
- метод усовершенствования передачи данных между блоковыми доменами в гетерогенных ИС;

- метод реализации архитектуры высокопроизводительных гетерогенных ИС.

Апробация работы. Основные научные и практические результаты диссертации докладывались на:

- 39-й Международной конференции "Electronics and Nanotechnology" (Киев, Украина, 2019 г.);
- 40-й Международной конференции "Electronics and Nanotechnology" (Киев, Украина, 2020 г.);
- 17-ом Международном симпозиуме "IEEE EWDTs: East-West Design & Test" (Батуми, Грузия, 2019 г.);
- 19-ом Международном симпозиуме "IEEE EWDTs: East-West Design & Test" (Батуми, Грузия, 2021 г.);
- научных семинарах кафедры "Микроэлектронные схемы и системы" НПУА (Ереван, Армения, 2019-2022 гг.);
- научных семинарах ЗАО "Синописис Армения" (Ереван, Армения, 2019 - 2022 гг.).

Публикации. Основные положения диссертации опубликованы в семи научных трудах, список которых приведен в конце автореферата.

Структура и объем работы. Диссертация состоит из введения, трех глав, основных выводов, списка литературы, включающего 82 наименования, а также 5 приложений. В первом приложении приведён акт внедрения результатов диссертации, во втором – описание проектированных схем на уровне передачи регистров и описание созданных моделей для симуляции, в третьем – отрывок описания скриптов для программного обеспечения "HeteroIC-builder", в четвертом – список рисунков и таблиц, в пятом – список использованных сокращений. Основной текст диссертации составляет 112 страниц, а вместе с приложениями – 135 страниц, включая 80 рисунков и 5 таблиц. Диссертация написана на армянском языке.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность темы диссертационной работы, сформулированы цель и задачи исследования, представлены научная новизна, практическая значимость и основные научные положения, выносимые на защиту.

В первой главе проведен обзор литературы и рассмотрены требования к проектированию гетерогенных ИС. Изучены интерфейсы передачи данных между компонентами гетерогенных ИС, показаны проблемы, возникающие при пересечении кластерных доменов, и пути их решения, а также наиболее распространенные архитектуры процессорных ИС. Дана оценка эффективности решений вышеупомянутых проблем. Показано, что существующие методы не успевают за темпами роста требуемой промышленности.

Вычислительная производительность ИС непосредственно связана с интеграцией логических элементов и энергопотреблением. Развитие современных ИС продолжается по закону Мура, согласно которому количество транзисторов в ИС периодически удваивается (рис. 1). С увеличением числа транзисторов в схеме сохраняется единый уровень энергопотребления за счет понижения питающего напряжения. Бесконечно понижать уровень энергопотребления невозможно, как и невозможно увеличить интеграцию элементов в одноядерных системах, поскольку

они не подвержены масштабированию с точки зрения архитектуры. Единственный параметр, влияющий на производительность одноядерного процессора, - это частота. Поэтому невозможно повысить производительность, поддерживая энергопотребление на одном уровне. Учитывая вышеуказанные проблемы, возникла необходимость создания многоядерных процессорных систем, для повышения вычислительной производительности ИС (рис. 2).

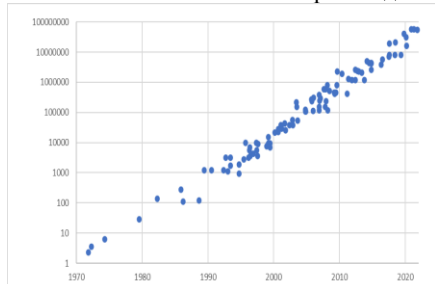


Рис. 1. Изменение количества транзисторов в ИС

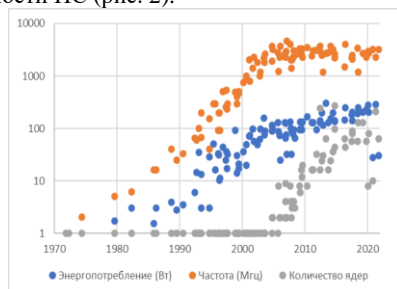


Рис. 2. Изменение параметров ИС

У многоядерных систем есть специфические задачи, возникающие при проектировании. Пространство, занимаемое логической схемой, связывающей ядра процессора, стремительно растет с ростом количества ядер в многоядерной системе. Следующая задача связана с энергопотреблением. Если в многоядерной ИС все ядра переходят в активный режим, то это может привести к резкому повышению энергопотребления, вследствие чего температура ИС достигает таких значений, что для обеспечения непрерывной работы ИС необходимо будет снизить рабочую частоту. Этот эффект ограничивает количество активных ядер. Решением вышеупомянутых проблем стало применение гетерогенных систем, в которых вычислительные ядра бывают разных типов и применяются в зависимости от поставленных задач. Гетерогенные системы сейчас проектируются в единой ИС, которые формируют гетерогенные ИС. Из приведенных примеров (рис. 3,4) наглядно видно преимущество применения этих систем в задачах моделирования молекул.

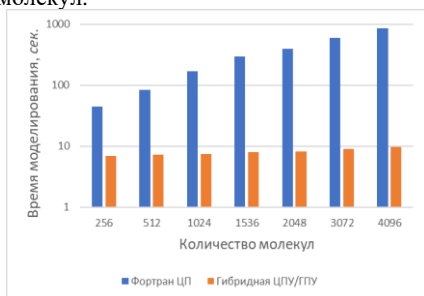


Рис. 3. Зависимость времени моделирования от количества молекул

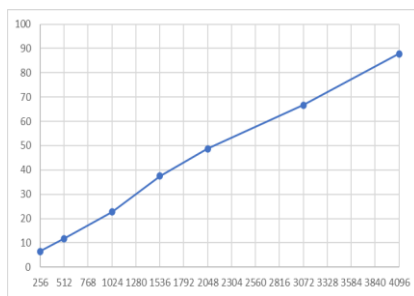


Рис. 4. Зависимость прироста производительности от количества молекул

Приведена таксономия Флинна, которая представляет собой основные классификации процессорных систем, используемых в гетерогенных ИС:

- одиночный поток команд, одиночный поток данных (ОКОД);
- одиночный поток команд, множественный поток данных (ОКМД);
- множественный поток команд, одиночный поток данных (МКОД);
- множественный поток команд, множественный поток данных (МКМД).

В гетерогенных ИС в основном используются процессорные системы типа ОКМД и МКМД.

Важными задачами в проектировании гетерогенных ИС являются:

- реализация интерфейсов передачи данных между компонентами;
- решения задач передачи данных между кластовыми доменами;
- реализация гибкой и конфигурируемой архитектуры.

Так как гетерогенные ИС состоят из разных видов ядер и компонентов, то в основном они имеют асинхронные тактовые генераторы, и частоты между ними не синхронизированы. Поэтому передача данных между ними происходит через общую память, параллельные интерфейсы которые проходят через синхронизирующие схемы, или между ними единственным интерфейсом является программное обеспечение. При использовании общей памяти или ПО для организации передачи данных возникает длительная задержка, которая сказывается на производительности общей системы. В случае же прямого соединения с параллельным интерфейсом и схемами синхронизации возрастает занимаемая площадь логической схемы межсоединения.

Следующая задача - организация передачи данных между внутренними компонентами в разных кластовых доменах. Имеется стандартный набор синхронизирующих схем, которые широко используются в проектировании цифровых ИС. К ним относятся:

- последовательный синхронизирующий элемент;
- синхронизирующая схема шины данных с обратной связью;
- синхронизирующая схема импульсных сигналов;
- синхронизирующая схема потоков данных.

Все эти схемы основаны на последовательном синхронизирующем элементе (рис. 5), который вносит задержку при передаче сигнала. Задержка зависит от максимальной частоты домена. При низких частотах (меньше 100 МГц) используется схема с двумя триггерами, а при относительно высоких частотах - схема из трех или четырех каскадов. Чем больше каскадов, тем больше задержка, что сказывается на производительности общей системы.

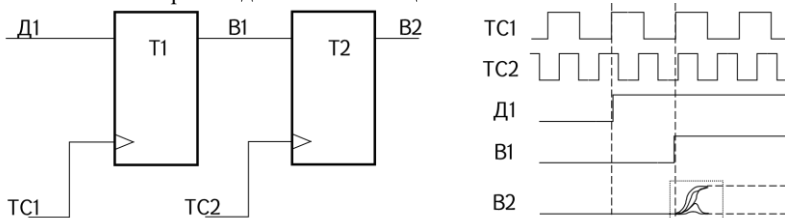


Рис. 5. Последовательный синхронизирующий элемент и временная диаграмма

Как было отмечено выше, основным видом процессорных систем, используемых в гетерогенных ИС, является ОКМД или МКМД. Приведена архитектура типичной гетерогенной ИС (рис. 6). Как видно, она совмещает все компоненты из существующих вычислительных систем. Но, в зависимости от сферы применения, потребность в компонентах меняется. А гетерогенные ИС в основном проектируются для специфических задач, что приводит к понижению их гибкости с точки зрения архитектуры и применения.

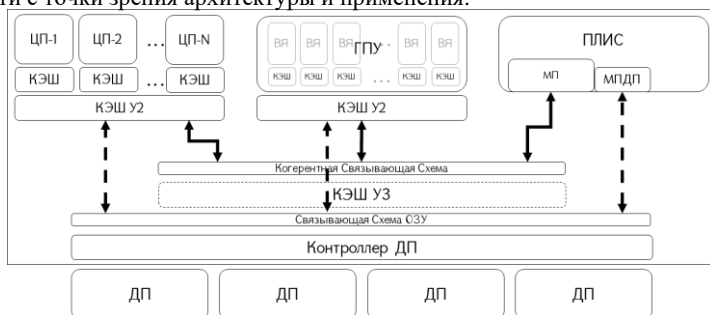


Рис. 6. Архитектура гетерогенной ИС системы

Во второй главе предлагаются методы разработки средств проектирования высокопроизводительных гетерогенных ИС, которые позволяют улучшить параметры проектируемых ИС и устранить недостатки методов, представленных в первой главе.

Как было отмечено выше, для передачи данных между разнородными компонентами в гетерогенных ИС лучше всего использовать параллельную шину с синхронизирующими схемами. Однако это может привести к увеличению логической схемы межсоединения, что негативно скажется на количестве максимально используемых ядер в ИС. Для решения этой проблемы предложен метод использования протокола УАПП с модифицированной архитектурой. Стандартная УАПП предназначена для передачи данных между двумя не связанными с собой ИС и имеет очень низкие показатели скорости передачи данных (до 1 Мбит/с).

Модифицированная УАПП поддерживает передачу данных до 200 Мбит/с (табл. 1). Контроллер также поддерживает интерфейс для переключения скоростей и механизм изменения скорости партнера (рис. 7). В зависимости от режима энергопотребления происходит выборка соответствующей скорости.

Таблица 1

Частоты и поддерживаемые скорости модифицированной УАПП

Цифровой код	Частота. (МГц)	Число тактов в соотв. 2ГГц	Пропускная способность, Мбит/с
00001	1	20000	0.1
00010	500	40	50
00100	1000	20	100
01000	1500	13,3	150
10000	2000	10	200

Передача данных между двумя партнерами может производиться и в случае асинхронных тактовых сигналов.

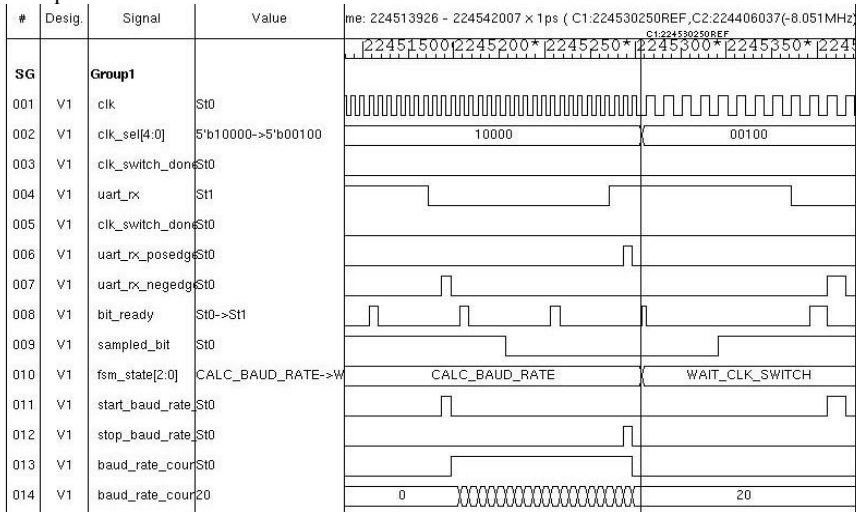


Рис. 7. Восстановление скорости в приемнике модифицированной УАПП

Для изменения скорости данных передатчик посылает сигнал сброса, который обнаруживает приемник. Затем передатчик посылает специальный пакет данных, на основе которого приемник восстанавливает скорость передачи данных. Во время сброса приемник переключается на самый быстрый тактовый сигнал (рис. 8).

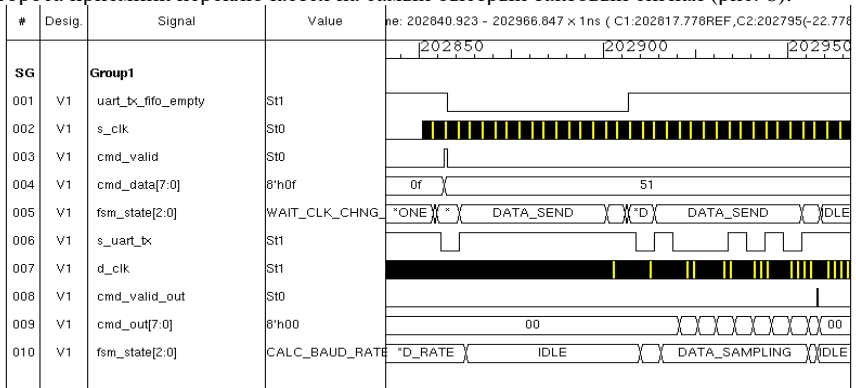


Рис. 8. Симуляция меж соединения с приемником и передатчиком модифицированной УАПП

В модифицированном контроллере УАПП, в отличие от стандартного, приемник и передатчик работают асинхронно, с точки зрения скорости. Т.е. у одного партнера передатчик может работать со скоростью 200 Мбит/с, а приемник – 0,1 Мбит/с. Другим преимуществом модифицированной УАПП является избавление от лишней логики для поддержки разных конфигураций пакетов. Так

как модифицированная версия будет применяться исключительно внутри ИС, то нет необходимости использования бита проверки или изменения количества “стоп” битов. Результаты синтеза показывают, что в результате оптимизации модифицированной УАПП занимаемая площадь уменьшилась примерно на 48%. По сравнению со стандартной параллельной шиной, количество битов передачи данных между компонентами уменьшается в 8 раз за счет увеличения площади на 74,85% (табл. 2). При этом площадь ядра с модифицированной УАПП увеличивается незначительно – всего лишь на 2,25%.

Таблица 2

Сравнение площади схем межсоединения

	Параллельная шина	Стандартная УАПП	Модифицированная УАПП
Площадь, мкм ²	199,169	677,6	348,26
Количество битов передачи данных	8	1	1

С точки зрения быстродействия, разработанная схема приемника может работать с частотой тактового сигнала до 2,996 ГГц (рис. 9), а передатчик – до 2,12ГГц(рис. 10).

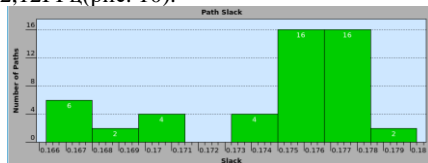


Рис. 9. Результаты синтеза для приемника

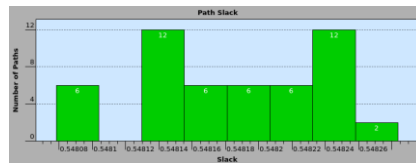


Рис. 10. Результаты синтеза для передатчика

Второй представленный метод предназначен для решения проблемы передачи данных между блоками доменами.

При передаче данных между блоками доменами возникает проблема попадания сигналов в метастабильное состояние на выходе у триггеров (рис. 5). Значение сигнала, находящегося в метастабильном состоянии, неизвестно. При этом передача такого сигнала на вход логической схемы вызывает функциональную неработоспособность всей системы, так как возможна потеря данных. Для решения данной проблемы используются синхронизирующие схемы. Классическим решением проблемы является использование конвейерной или последовательной схемы. Схема состоит из последовательно соединенных триггеров. Проблема метастабильности решается блокировкой прохождения метастабильного сигнала на вход следующей схемы. Когда первый триггер попадает в метастабильное состояние, возникает целый период тактового сигнала для восстановления выхода первого триггера до того, как второй триггер произведет считывание. Как было отмечено выше, с помощью данного метода вводится задержка передачи сигнала, как минимум, на два периода тактового

сигнала принимающего домена. В случае же современных ИС, где частоты имеют значение в несколько гигагерц, используют синхронизирующие схемы с тремя или четырьмя триггерами. При этом с количеством триггеров возрастает и задержка.

Для решения данной проблемы предложена гибридная схема с аналоговыми компараторами с целью выявления метастабильности и ее последующей блокировки (рис. 11). С использованием предложенного синхронизирующего механизма задержка не достигает больше одного периода.

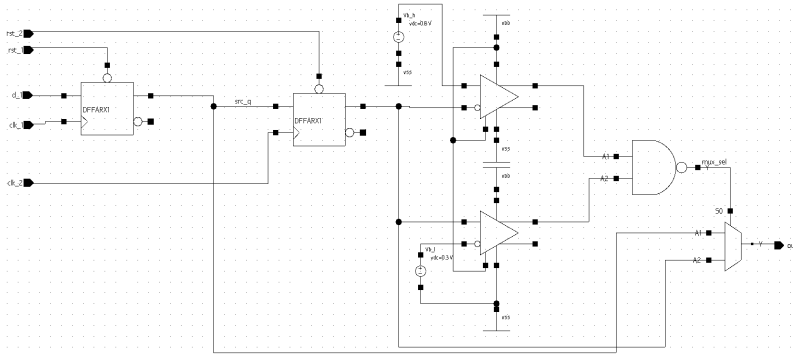


Рис. 11. Предложенная схема синхронизации

Аналоговые компараторы предназначены для быстрого реагирования, и их комбинация служит для выявления метастабильности на выходе первого каскада. В случае попадания в метастабильное состояние схема с определенной задержкой передает вход первого каскада на выход, что предотвращает передачу метастабильности в принимающий домен.

Для верификации функционала в цифровых схемах была создана функциональная модель синхронизирующей схемы, в которой учтены параметры задержки. Их можно менять в зависимости от используемой библиотеки.

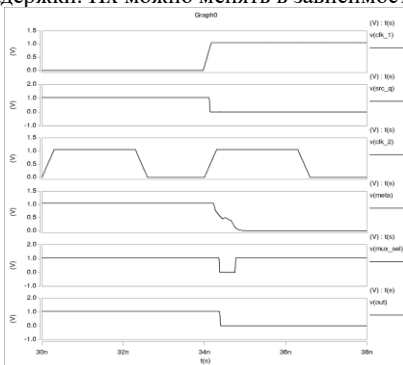


Рис. 12. Сигналы Входа/Выхода при метастабильном состоянии

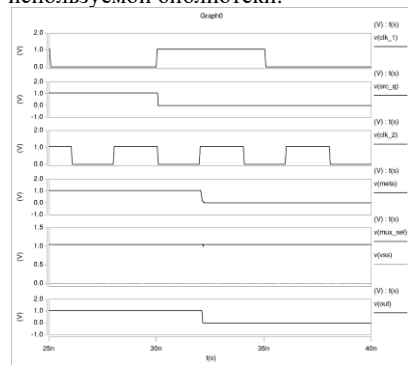


Рис. 13. Сигналы Входа/Выхода без метастабильного состояния

Приведены симуляции сценариев с инъекцией метастабильности и без неё (рис. 12,13). Для оценки эффективности предложенной схемы созданы модифицированные комплексные синхронизирующие элементы и проведено сравнение предложенной и стандартной схем синхронизации (рис. 14). Для моделирования метастабильности создана модель триггера, которая выдает значение “X” на выходе при попадании в это состояние.

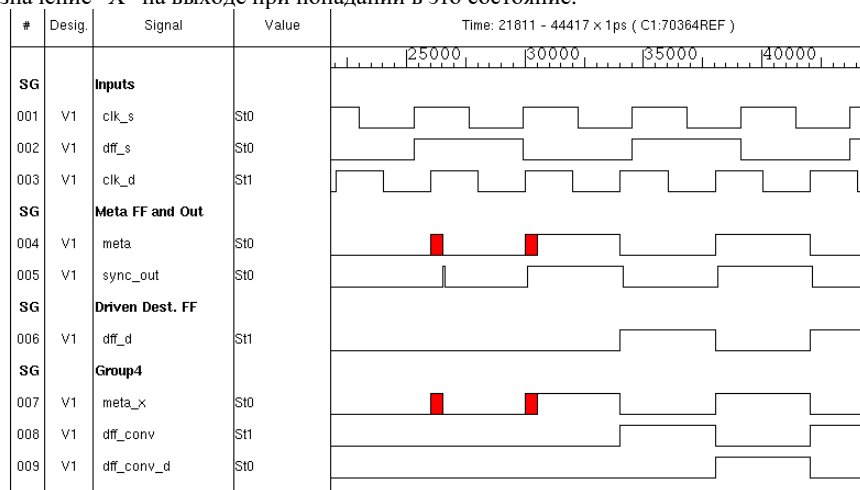


Рис. 14. Сравнение предложенной и стандартной схем синхронизации

Также приведены сравнительные результаты симуляции для синхронизирующей схемы сигналов импульсного типа (рис. 15).

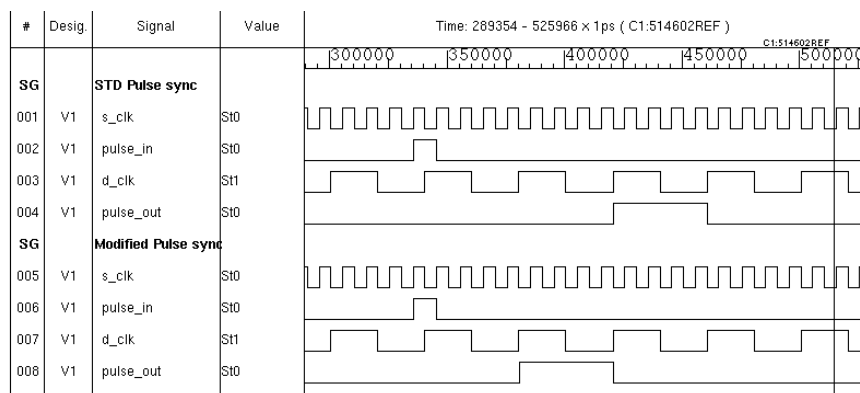


Рис. 15. Сравнение предложенной и стандартной схем синхронизации импульсов

Схема тестировалась с тактовыми сигналами до 2 ГГц. Площадь предложенной схемы, по сравнению со стандартной, стала больше на 21%. При

использовании ИС с тремя каскадами предложенная схема имеет примерно на 30% меньшую площадь. С точки зрения задержки, достигается улучшение данного параметра, как минимум, на 50%.

Как отмечалось выше, методы проектирования современных гетерогенных ИС сложны, и эти схемы, с точки зрения архитектуры, не обладают достаточной гибкостью. С целью решения данной проблемы предложена новая архитектура гетерогенных ИС, параметры которых можно конфигурировать в зависимости от поставленной задачи и назначения. Также эти ИС можно легко интегрировать в другие системы.

Согласно предложенной архитектуре, гетерогенная ИС состоит из следующих компонентов (рис. 16):

- внутренние вычислительные ядра;
- модуль контроля памяти (МКП);
- модуль планировщик (МП);
- модуль выполнения внутренних команд (МВВК);
- модуль контроля энергопотребления (МКЭ);
- контрольные, статусные регистры (КСР);
- Master-AXI/АнВ для прямого доступа памяти (МПДП);
- Slave-AXI/АнВ для доступа к внутренним регистрам (МДВР);
- внешнее КЭШ статическое устройство.

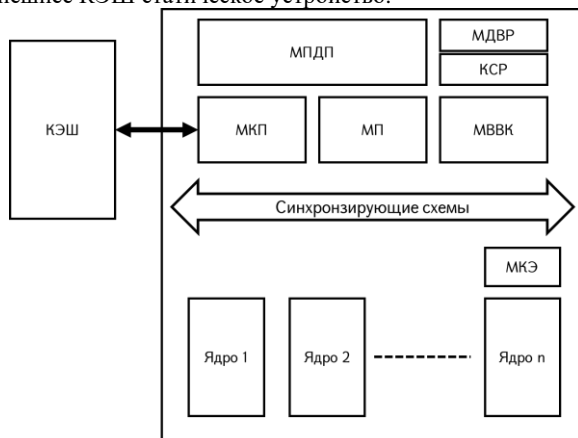


Рис. 16. Предложенная архитектура гетерогенной ИС

Для обеспечения гибкости и контроля уровня операционной системы создана структура данных для запроса вычислений (рис. 17).

Указатель буфера команд [31:0]	0x00					
Указатель буфера команд [63:32]	0x04					
Указатель буфера данных [31:0]	0x08					
Указатель буфера данных [63:32]	0x0C					
Размер буфера команд [12:0]	Размер буфера данных [15:0]	Прерыв.	След.	Посл.	Гот. к вып.	0x10

Рис. 17. Структура данных блока запроса вычислений

Приведен пример структуры данных в системной памяти (рис. 18).

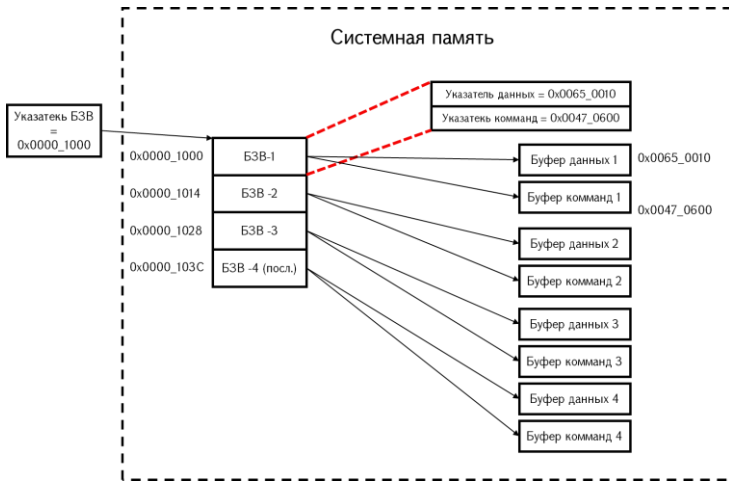


Рис. 18. Структура данных блока запроса вычислений

Для оценки эффективности предложенной архитектуры было проведено её сравнение с существующей ИС специального назначения (ИССН) в задачах обработки изображения. Приведены зависимости выдачи изображения в разных разрешениях и входной частоты тактового сигнала для ИССН (рис. 19 и 20)

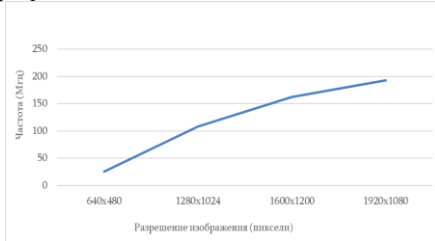


Рис. 19. Зависимость частоты от разрешения изображения

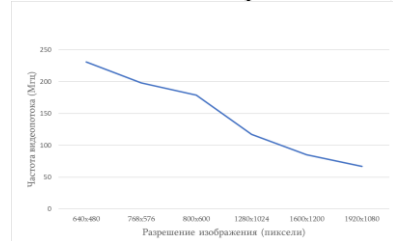


Рис. 20. Зависимость частоты видео потока от разрешения

Приведены сравнительные данные площади и производительности схемы (табл. 3).

Таблица 3

Сравнительные данные площади и производительности существующей ИССН и предложенной схемы

	ИССН	Предложенная схема – 4 ядра	Предложенная схема – 8 ядер	Предложенная схема – 16 ядер
Количество лог. элементов	188249	211536	314147	497458
Разница	-	23287	125898	309209
Частота видеопотока	~60	~79	~120	~143

Также выявлен график прироста производительности (%) предложенной схемы с увеличением числа ядер (рис. 21).

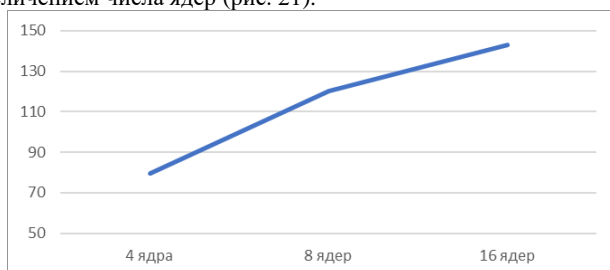


Рис. 21. График прироста производительности

Исходя из вышеизложенных данных, создана архитектура гетерогенной ИС, которая благодаря структуре компонентов и специфической структуре данных обеспечивает прирост производительности в приложениях обработки изображений на 32,48% за счет увеличения занимаемой площади на 11%.

В третьей главе представлено программное средство для проектирования гетерогенных ИС, а также дана оценка эффективности применения данной программы.

ПО “HeteroIC-builder” создано не только для конфигурации и генерации описания схемы на уровне передачи регистров, но и для выполнения последующих процессов проектирования ИС, а также проведения различного вида проверок. При генерации описания схемы внедряются все вышеперечисленные методы проектирования гетерогенных ИС. Основным окном программы является конфигурация гетерогенной ИС. Главными параметрами являются: режим работы ИС, выборка режимов энергосбережения, типов контроллеров МПДП, разрядность интерфейса с системной шиной, количество используемых внешних статических запоминающих устройств и их тип, значения внутренних регистров после сброса, количество используемых ядер и размеров буфера для инструкций и данных на каждое ядро.

Для работы ИС поддерживаются два режима: одноядерный и/или многоядерный. Одноядерный режим предусмотрен для задач с низкой производительностью. В многоядерном режиме можно выбрать количество ядер в схеме от 4-ех до 16-ти.

Для энергосбережения поддерживаются два следующих режима:

- запрет подачи основных тактовых сигналов и перевод необходимых модулей на низкую частоту для обнаружения вывода из режима низкого энергопотребления;
- режим “сна” – сохранение данных всех внутренних состояний автоматов и регистров в системной памяти. В этом случае можно отключить питание всей схемы. При просыпании происходит восстановление внутренних данных.

Поддерживаются два интерфейса для МПДП с разной разрядностью шины. Для максимальной производительности следует выбрать режим с интерфейсом AXI разрядностью 128 бит.

Разрядность внешней КЭШ-памяти совпадает с разрядностью системной шины.

Представлен графический интерфейс программы “HeteroIC-builder” с окном конфигурации ядра (рис. 22).

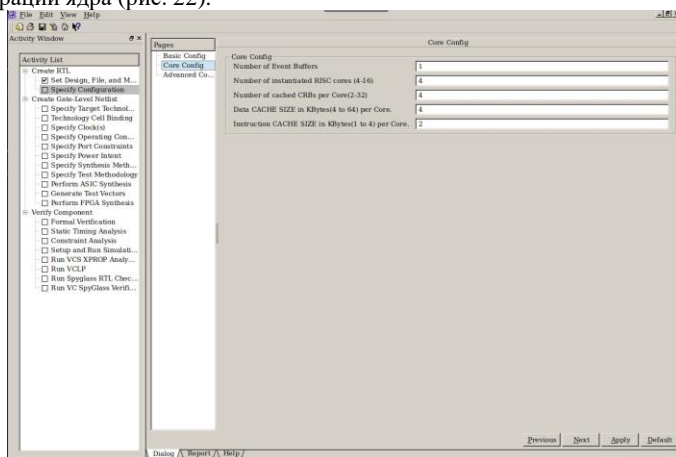


Рис. 22. График прироста производительности

Как видно из окна, после конфигурации и генерации схемы на уровне передачи регистров в программе проводятся логический синтез и разнородные проверки компонентов ИС.

Для оценки эффективности данной программы проведены сравнения спроектированной схемы с помощью созданного инструмента и ручным способом, а также ее проверка (табл. 4). Так как при ручном способе проектирования проведены оптимизации ненужных компонентов в зависимости от конфигураций, то оптимизация занимаемой площади достигает примерно 7..13%. Результаты сравнения показали, что с использованием ПО время разработки сокращается в среднем на 40..60%,

Таблица 4

Сравнение длительности проектирования с помощью предложенного инструмента и без него

Процесс	Без инструмента (дней)	С инструментом (дней)	Разница (%)
Создание описания УПР	4	2	50
Логический синтез	20	8	60
Симуляция	5	2	60
Проверка ПКД	25	15	40
Сумма	54	27	50

ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Предложены способы проектирования средств высокопроизводительных гетерогенных интегральных схем, позволяющие значительно улучшить их основные технические параметры, повысить производительность, механизмы передачи данных между компонентами и сократить сроки проектирования. [1-7].
2. Разработан метод усовершенствования передачи данных между компонентами в гетерогенных интегральных схемах, благодаря измененной архитектуре которая позволяет обеспечить сокращение количества шин данных в 8 раз за счет увеличения занимаемой площади ядра на 2,25%. [4,5].
3. Предложен метод усовершенствования средств передачи данных между кладовыми доменами в гетерогенных интегральных схемах, который позволяет обеспечить благодаря архитектуре смешанных сигналов прирост передачи данных не менее чем на 50% за счет увеличения занимаемой площади в среднем на 21%. [1,2].
4. Создан метод проектирования архитектуры высокопроизводительных гетерогенных интегральных схем, который позволяет обеспечить, благодаря внедренному планировщику, модулю контроля и прямого доступа памяти, специальному набору команд увеличение быстродействия примерно на 32,48% за счет увеличения площади на 11%. [3,7].
5. Разработан программный инструмент “HeteroIC-builder” для проектирования высокопроизводительных гетерогенных интегральных схем, который имеет удобный пользовательский графический интерфейс и дает возможность генерировать описания гетерогенных интегральных схем на уровне передачи регистров, выполнять логический синтез с данным технологическим процессом, симуляцию, проверку структур пересечения кладовых доменов, статический временной анализ и другие процессы для проектирования интегральной схемы. Испытания программного обеспечения в ряде настоящих проектов показали его высокую эффективность по сравнению с ручным проектированием: за счет увеличения занимаемой площади всего на 7...13% обеспечивается сокращение срока проектирования в среднем на 40...60% [6].

Основные результаты диссертации опубликованы в следующих работах:

1. Kaplanyan T.K. A Novel Pulse Synchronizer Design With The Proposed Sync Cell Model // Proceedings of the RA NAS and NPUA. Series of Technical Sciences. – 2021. – Vol. 74, No. 4. – P. 464-470.
2. Design and Verification of Novel Sync Cell /V. Melikyan, T. Kaplanyan, S. Harutyunyan, A. Kirakosyan, A. Momjyan, V. Amiryan // Proceedings of the 2021 IEEE East-West Design and Test Symposium (EWDTS-2021). – 2021. – P. 7–11. doi: 10.1109/EWDTS52692.2021.9580985.
3. Melikyan V., Kaplanyan T., Harutyunyan S., Kirakosyan A. UVM Verification IP for AXI // Proceedings of the 2021 IEEE East-West Design and Test Symposium (EWDTS-2021). – 2021. – P. 17–20. doi: 10.1109/EWDTS52692.2021.9580997.
4. Configurable Verification IP for UART / T. Kaplanyan, S. Harutyunyan, A. Kirakosyan, H. Khachatryan, S. Harutyunyan // 2020 IEEE 40th International Conference on Electronics and Nanotechnology (ELNANO). – 2020. – P. 234–237. doi: 10.1109/ELNANO50318.2020.9088878
5. Kaplanyan T., Harutyunyan S., Kirakosyan A., Momjyan A. Design and Verification Of Autoconfigurable UART Controller // 2020 IEEE 40th International Conference on Electronics and Nanotechnology (ELNANO). – 2020. – P. 347–350. doi: 10.1109/ELNANO50318.2020.9088789
6. Melikyan V. Sh., Kaplanyan. T. K., Hakobyan. H. H. and Momjyan. A. M. Unit Regression Test Selection Mechanism Based on Hashing Algorithm // 2019 IEEE East-West Design & Test Symposium (EWDTS). – 2019. - P. 103-107, doi: 10.1109/EWDTS.2019.8884407.
7. Design of Video Processing Platform with Interchangeable Input-Output Interfaces / Taron K. Kaplanyan, Lusine A. Mikaelyan, Arsen M. Momjyan, Artur A. Petrosyan, Narek S. Shukhyan, Vardan H. Amiryan, Suren A. Avushyan // 2019 IEEE 39th International Conference on Electronics and Nanotechnology (ELNANO). – 2019. – P. 201-205, doi: 10.1109/ELNANO.2019.8783420.

ԱՄՓՈՓԱԳԻՐ

Ժամանակակից ինտեգրալ սխեմաների (ԻՍ) աշխատանքային հաճախականությունները հասնում են մի քանի ԳՀ-երի: Այդ կարգի հաճախականությունների ապահովումը հնարավորություն է ընդձեռում՝ մեծացնելու պրոցեսորային ԻՍ-երի վրա հիմնված հաշվողական համակարգերի արտադրողական հզորությունը: Արտադրողականության մեծացման հետ աճում է նաև մշակվող տվյալների քանակը: Սակայն թվային սխեմաների աշխատանքային հաճախականությունների մեծացման արագությունը տարիների ընթացքում նվազում է, ինչը պայմանավորված է տեխնոլոգիական գործընթացի սահմանփակումներով: Այդ իսկ պատճառով վերջին տասնամյակում արտադրողականության մեծացման աճ ապահովելու համար թվային ԻՍ-երի նախագծման ոլորտում զարգացվեցին բազմամիջուկային ԻՍ համակարգերը:

Բազմամիջուկային պրոցեսորների զարգացումը սկսվել էր մեկ միջուկի փոխարեն նույնատիպ երկու և ավելի միջուկների կիրառումից: Սակայն այս մոտեցումն էլ սպառեց իրեն ժամանակի ընթացքում, քանի որ առաջ էին գալիս միջուկների միջմիացման ապահովման խնդիրներ, որոնք մինչ այսօր թույլ չեն տալիս մեկ ԻՍ համակարգում ունենալ միջին չափով ոչ ավելի, քան տասնվեց միջուկ: Իսկ մշակման ենթակա տվյալների քանակը շարունակում է օրեցօր աճել:

Վերը նշված խնդիրները լուծելու և բարձր արտադրողականություն ապահովելու համար սկսեցին կիրառվել հետերոգեն կամ հիբրիդ հաշվողական համակարգեր, որոնք ներկայացնում էին դիսկրետ ԻՍ-եր մեկ համակարգում: Դրանք միանման չեն և տարբերվում են ճարտարապետության տեսանկյունից: Օրինակ՝ կենտրոնական պրոցեսորները նախատեսված են՝ իրականացնելու այն հաշվարկները, որոնց այգորիթմները հաջորդական են, իսկ տեսաքարտերը՝ զուգահեռ հաշվարկներ պահանջող այգորիթմներ: Այս երկու տեսակի ԻՍ-երի համադրումը զգալիորեն խթանեց համակարգի արտադրողականության մեծացումը:

Այժմ ժամանակակից հետերոգեն համակարգերը նախագծվում են մեկ ԻՍ-ում, որն իր հերթին ձևավորում է ԻՍ համակարգ: Այդպիսի սխեմաները կիրառվում են ժամանակակից խելացի հեռախոսներում, ամպային հաշվողական համակարգերում, կրիպտոգրաֆիայի ոլորտում, համացանցային սարքավորումներում, արհեստական բանականությամբ ներդրված համակարգերում, էլեկտրական մեքենաներում և այլուր:

Այսպիսով, բարձր արտադրողականությամբ հետերոգեն ԻՍ-երի նախագծման խնդիրները լուծելու համար միջոցների մշակումը դարձել է չափազանց արդիական, քանի որ եղած մոտեցումները և լուծումները չեն ապահովում բավարար չափով արտադրողականություն, ինչը հանգեցնում է նոր մոտեցումների ստեղծման անհրաժեշտությանը:

Աստենախոսությունը նվիրված է բարձր արտադրողականությամբ հետերոգեն ԻՍ-երի նախագծման միջոցների մշակմանը, որոնք կվերացնեն սխեմաների աշխատանքային թերությունները, կապահովեն արտադրողականության մեծացում և կդարձնեն այդ սխեմաները համապիտանի:

Առաջարկվել են բարձր արտադրողականությամբ հետերոգեն ինտեգրալ սխեմաների նախագծման միջոցների մշակման սկզբունքներ, որոնք թույլ են տալիս էապես բարելավել դրանց հիմնական տեխնիկական պարամետրերը՝ արտադրողականությունը, բաղադրիչ մասերի միջև տվյալների փոխանցման մեխանիզմները, և կրճատել նախագծման ժամկետները:

Մշակվել է բարձր արտադրողականությամբ հետերոգեն ինտեգրալ սխեմաներում բաղադրիչ մասերի միջև տվյալների փոխանցման միջոցների բարելավման մեթոդ, որը ձևափոխված ճարտարապետության շնորհիվ՝ ապահովում է միջուկների միջև միջմիացման դողերի քանակի 8 անգամ նվազեցում՝ միջուկում ծախսվող մակերեսի 2,25%-ով աճի հաշվին:

Ստեղծվել է բարձր արտադրողականությամբ հետերոգեն ինտեգրալ սխեմաներում տակտային կղզյակների միջև տվյալների փոխանցման միջոցների բարելավման մեթոդ, որը խառը ազդանշանային ճարտարապետության շնորհիվ՝ ապահովում է արագագործության աճ առնվազն 50%-ով՝ ի հաշիվ զբաղեցրած մակերեսի միջին չափով 21% մեծացման:

Առաջարկվել է հետերոգեն ինտեգրալ սխեմաների ճարտարապետության իրականացման մեթոդ, որը, հերթավորող, հիշողության կառավարման և ուղղակի հիշողության դիման հանգույցների կիրառման ու հատուկ իրամանակազմի շնորհիվ, ապահովում է 32.48% արագագործության աճ՝ մակերեսի 11% մեծացման հաշվին:

Մշակվել է բարձր արտադրողականությամբ հետերոգեն ինտեգրալ սխեմաների նախագծման HeteroIC-builder ծրագրային գործիքը, որն օժտված է օգտագործողի համար հարմարավետ գրաֆիկական ինտերֆեյսով և հնարավորություն է տալիս՝ գեներացնելու ինտեգրալ սխեմայի ռեգիստրային փոխանցման մակարդակի նկարագրությունը, իրականացնելու տրամաբանական սինթեզ՝ տրված տեխնոլոգիական գործընթացով, վարքային նմանակում, տակտային կղզյակների հատումների ստուգում, ստատիկ ժամանակային հետազոտություն և նախագծման մյուս փուլերի համար անհրաժեշտ գործընթացները: Վերջինիս փորձարկումը ցույց է տվել դրա զգալիորեն բարձր արդյունավետությունը՝ ձեռքով մշակված ինտեգրալ սխեմայի նախագծման, տրամաբանական սինթեզի և ստուգման փուլերի համեմատ: Ստացված մակերեսի մոտավորապես 7-13%-ով մեծացման պարագայում մշակված ծրագրային միջոցն ապահովում է նախագծման ժամանակի մոտավորապես 40-60% կրճատում:

TARON KARO KAPLANYAN

DEVELOPMENT OF THE DESIGN MEANS FOR HIGH PERFORMANCE HETEROGENOUS INTEGRATED CIRCUITS

SUMMARY

The operating frequencies of modern integrated circuits (IC) reach several GHz. Providing such a frequency makes it possible to increase the performance capacity of computing systems that are based on the processor ICs. With increasing performance, the amount of the data for the processing also getting increased. However, the rate of increase of the operating frequencies of digital circuits decreases over the years, due to the limitations of the technological processes. For this reason, over the past decade, to ensure performance growth continuously happening in the field of digital IC design, multicore IC systems have been developing.

The development of multi-core processors began with the use of two or more identical cores instead of one core. However, this approach has exhausted itself over time, as there have been coming problems with the integration of many cores into a single system on a chip (SoC), due to the scaling of the interconnecting scheme.

To ensure high performance, heterogeneous or hybrid computing systems were used, which are representing discrete ICs in one system. They are not the same and differ in terms of architecture. For example, central processors are designed to perform calculations whose algorithms are sequential, and video cards are algorithms that require parallel calculations. The combination of these two types of ICs significantly stimulated the increase in overall system performance.

Currently, modern heterogeneous systems are designed in a single IC, which, in turn, forms an SoC. Such schemes are used in modern smartphones, cloud computing systems, cryptography, Internet equipment, artificial intelligence systems, electric machines, etc.

Thus, the development of methods for solving the problems of designing heterogeneous ICs with high performance has become extremely relevant, since existing approaches and solutions do not provide sufficient performance, which leads to the need to create new approaches.

The dissertation is devoted to the development of design means for high performance heterogeneous ICs, which will eliminate the shortcomings in the operation of circuits and provide increased performance and make these circuits universal.

The principles of developing design means for high-performance heterogeneous integrated circuits were proposed, which significantly improve their main technical parameters, performance, data transmission mechanisms between components and reduce design time.

A method to improve the means of data transmission between components in high-performance heterogeneous integrated circuits, which, thanks to the modified architecture, provides an reduction in the number of data bits 8 times, by increasing the used area in the core by 2.25%.

A method has been developed to improve the means of data transmission between clock islands in high-performance heterogeneous integrated circuits, which, thanks to a

mixed signal architecture, provides a delay decrease at least 50% due to an increase in the occupied area by an average of 21%.

A method was proposed for implementing the architecture of heterogeneous integrated circuits, which, thanks to scheduler, memory management unit, direct memory access and a special command set, provides a 32.48% increase in speed due to an increase of area by 11%.

An HeteroIC-builder software tool has been developed for the design of high-performance heterogeneous integrated circuits, which is endowed with a convenient graphical interface and makes it possible to generate an register transfer level description of the integrated circui, to carry out logical synthesis with a given technological process, behavioral simulation, checking the clock domain crossing, static timing analysis and other processes required for the design stages. Testing of the latter showed its significantly higher efficiency compared to the stages of design, logical synthesis and verification of a manually developed integrated circuit. With an increase of the area by about 7-13%, the developed software tool provides a reduction in the design spend time by about 40-60%.

