

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ, ԳԻՏՈՒԹՅԱՆ,
ՄՇԱԿՈՒՅԹԻ ԵՎ ՍՊՈՐՏԻ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

Մելիքյան Կարեն Արթուրի

**ՄՈՒՏՔ/ԵԼՔ ՀԱՆԳՈՒՅՑՆԵՐՈՒՄ ԱՐԱԳԱԳՈՐԾՈՒԹՅԱՆ
ԲԱՐՁՐԱՑՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՈՒՄԸ**

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի
հայցման ատենախոսության

ՄԵՂՍԱԳԻՐ

Երևան 2022

МИНИСТЕРСТВО ОБРАЗОВАНИЯ, НАУКИ, КУЛЬТУРЫ И СПОРТА
РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

Меликян Карен Артурович

**РАЗРАБОТКА СРЕДСТВ ПОВЫШЕНИЯ БЫСТРОДЕЙСТВИЯ В
УЗЛАХ ВХОД/ВЫХОД**

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата
технических наук по специальности 05.27.01-
“Электроника, микро- и наноэлектроника”

Ереван 2022

Ատենախոսության թեման հաստատվել է Հայաստանի ազգային պոլիտեխնիկական համալսարանում (ՀԱՊՀ):

Գիտական ղեկավար՝	տ.գ.դ. Օլեգ Հարությունի Պետրոսյան
Պաշտոնական ընդդիմախոսներ՝	տ.գ.դ. Վարդանյան Ռուբեն Ռաֆայելի տ.գ.թ. Վարդանյան Արման Արամի
Առաջատար կազմակերպություն՝	ՀՀ ԳԱԱ Ռադիոֆիզիկայի և Էլեկտրոնիկայի ինստիտուտ

Ատենախոսության պաշտպանությունը կայանալու է 2022թ. դեկտեմբերի 30-ին, ժամը 14⁰⁰-ին, ՀԱՊՀ-ում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ– ի գրադարանում:

Սեղմագիրն առաքված 2022թ նոյեմբերի 18-ին:

046 Մասնագիտական խորհրդի
գիտական քարտուղար, տ.գ.թ.



Բենիամին Ֆելիքսի Բադալյան

Тема диссертации утверждена в Национальном политехническом университете Армении (НПУА)

Научный руководитель: д.т.н. Олег Арутюнович Петросян

Официальные оппоненты: д.т.н. Рубен Рафаелович Варданян
к.т.н. Арман Арамович Варданян

Ведущая организация: Институт радиопизики и электроники
НАН РА

Защита диссертации состоится 30-го декабря 2022г. в 14⁰⁰ ч. на заседании Специализированного совета 046 — "Радиотехники и электроники", действующего при Национальном политехническом университете Армении, по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 18-го ноября 2022 г.

Ученый секретарь
Специализированного совета 046,
к.т.н.



Бениамин Феликсович Бадалян

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. В результате развития полупроводниковых технологий современные интегральные схемы (ИС) нашли широкое применение во многих быстродействующих электронных системах. Стремительное развитие полупроводниковых технологий в основном связано с масштабированием, что позволяет уменьшить минимально допустимую длину канала транзисторов, паразитное сопротивление, пропускную способность и потребляемую мощность транзисторов.

Обмен данными между ИС осуществляется через специальные узлы входа/выхода (Вх/Вых), обеспечивающие прием, декодирование и передачу данных. Узлы Вх/Вых соединены каналами. Для обеспечения малой площади полупроводникового кристалла целесообразно использовать узлы Вх/Вых с последовательной передачей данных в электронных системах. Поэтому возникает необходимость увеличения скорости передачи данных между узлами Вх/Вых. Таким образом, одним из важнейших требований к характеристикам современных узлов Вх/Вых является повышение их быстродействия без потери или искажения передаваемых и принимаемых данных.

Масштабирование транзисторов, используемых в узлах Вх/Вых, приводит к разбросу их параметров, увеличению температурной зависимости, а также уменьшению напряжения питания, что способствует снижению производительности в системах. В случае 16 нм и ниже технологических норм в транзисторах появляются новые, негативно влияющие явления, которые отсутствовали или не оказывали влияния в процессе проектирования ИС по планарным технологиям.

Таким образом, возникает необходимость разработки средств, предназначенных для обеспечения требуемого быстродействия узлов Вх/Вых с трехмерным вентиляционным технологическим процессом.

Диссертация посвящена разработке средств повышения быстродействия узлов Вх/Вых, которые позволят обеспечить современные требования к частоте передаваемых и принимаемых сигналов.

Объект исследования. Исследование ограничений по увеличению быстродействия узлов Вх/Вых в ИС, факторов, негативно влияющих на его увеличение, и способов увеличения.

Цель работы. Исследование и разработка способов, методов и средств повышения быстродействия узлов Вх/Вых, за счет минимального увеличения энергопотребления и занимаемой площади на полупроводниковом кристалле.

Методы исследования. В ходе исследования использовались современные подходы и методы проектирования аналоговых и смешанных сигнальных схем, а также принципы моделирования ИС и инструментальные средства скриптинга.

Научная новизна:

- Предложены новые принципы и подходы для повышения быстродействия узлов Вх-Вых, которые, в отличие от существующих решений, позволяют удовлетворить требования к конструкции трехмерного затвора размером 16 нм и меньше с технологическими процессами.
- В схеме передатчика узла Вх-Вых разработана схема калибровки фронтального сигнала, которая обеспечивает минимальное рассогласование

между фронтами выходного сигнала, снижает явление межсимвольной интерференции (МИ), уменьшая джиттер сигнала примерно в три раза, а также увеличивает скорость фронтального сигнала на 18% после калибровки. Улучшение рабочих параметров позволяет увеличить скорость передачи данных узлов Вх-Вых до 6400 Мбит/с за счет увеличения энергопотребления на 10...12%.

- Предложена маломощная схема приемника для уменьшения джиттера сигнала за счет чтения с использованием синхросигнала. Малая величина апертуры установка/хранение в приемнике и сниженный размах шума опорного напряжения обеспечивают безошибочный прием сигнала на скорости до 6400 Мбит/с за счет новых решений, что, в свою очередь, привело к увеличению площади, занимаемой на полупроводниковом кристалле, всего на 10%.
- Создан метод калибровки сопротивления путем введения в узел Вх-Вых аналогового вычитателя (АВ), позволяющий в результате усовершенствования алгоритма проектирования цифровой системы сократить время калибровки более чем в три раза, при этом повышая точность настройки в 1,6 раза и снижая энергопотребление в 1,5 раза за счет увеличения площади, занимаемой на полупроводниковом кристалле, на 14%.
- Разработана схема детектирования и коррекции ошибки коэффициента заполнения (КЗ) синхросигнала, позволяющая обеспечить КЗ $50 \pm 1\%$ в узлах Вх-Вых вне зависимости от вариации процесса, напряжения и температуры. Предлагаемый метод детектирует и корректирует КЗ сигнала во время работы ИС, обеспечивая быстродействие до 8800 Мбит/с за счет увеличения площади, занимаемой на полупроводниковом кристалле, всего на 11%.

Практическая ценность работы. Предложенные в диссертации методы и схемотехнические решения были использованы в программном средстве (ПС) HSIO equalizer. Применение ПС в системах аналоговых и смешанных сигналов, разработанных в ЗАО «СИНОПСИС АРМЕНИЯ», упростило процесс проектирования быстродействующих узлов Вх-Вых. В результате применения ПС быстродействие узлов Вх/Вых повысилось на 10...13% за счет повышения энергопотребления на 10...12%, увеличения площади, занимаемой на полупроводниковом кристалле, на 15...18%. Разработанное ПО позволяет сократить время на схемотехническое проектирование на 40...50%.

На защиту выносятся следующие научные положения:

- Метод настройки нарастания и спада фронта сигнала в передатчике для увеличения быстродействия узлов Вх/Вых.
- Новое схемотехническое решение в приемнике для быстродействующих узлов Вх/Вых.
- Метод калибровки сопротивлений с использованием АВ в узлах Вх/Вых.
- Метод обнаружения и исправления ошибки коэффициента заполнения синхронного сигнала.

Достоверность научных положений. Научные результаты подтверждаются математическими рассуждениями и результатами моделирования, представленными в диссертации.

Внедрение. Программное обеспечение HSIO equalizer внедрено и широко используется в ЗАО "СИНОПСИС АРМЕНИЯ". Используется для оценки и повышения быстродействия при проектировании узлов Вх-Вых.

Апробация работы. Основные научные и практические результаты диссертации докладывались на:

- Международной конференции "2022 International Conference on Electrical, Computer and Energy Technologies (ICECET)" (Прага, Чехия, 2022 г.);
- 2-й Международной конференции "International Conference on Basic Sciences, Engineering and Technology (ICBASSET)" (Стамбул, Турция, 2022 г.);
- научных семинарах кафедры "Микроэлектроника и биомедицинские устройства" НПУА (Ереван, Армения, 2020 - 2022 гг.);
- научных семинарах ЗАО "Синописис Армения" (Ереван, Армения, 2020 - 2022 гг.).

Публикации. Основные положения диссертации представлены в восьми научных работах, список которых приведен в конце автореферата.

Структура и объем диссертации. Диссертация состоит из введения, трех глав, основных выводов, списка литературы, включающего 117 наименований, и четырех приложений. В первом приложении представлен акт внедрения диссертации, во втором – отрывки Spice-описания схем узлов Вх-Вых, в третьем – отрывок QT-описания разработанного программного средства "HSIO-equalizer", в четвертом - список рисунков, таблиц и сокращений. Основной объем диссертации составляет 115 страниц, а вместе с приложениями - 148 страниц.

Диссертация написана на армянском языке.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность темы диссертации, сформулированы цель и основные задачи исследования, представлены разработанные методы, научная новизна, практическое значение и основные научные положения, выносимые на защиту.

В первой главе представлены основные принципы и подходы проектирования существующих схем в узлах Вх-Вых и имеющиеся методы повышения быстродействия в них. Обоснована важность разработки способов увеличения быстродействия передачи и приема информации в узлах Вх/Вых.

Типичный узел Вх/Вых состоит из цепей передачи и приема, связь между которыми обеспечивается каналом. Для обеспечения высокой производительности в передающих и приемных схемах использован контур фазовой автоподстройки частоты (КФАЧ), ограничивающий скорость передачи данных (рис. 1).

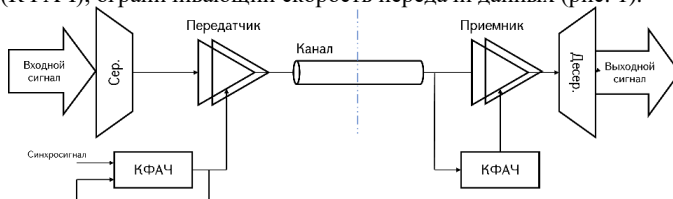


Рис. 1. Блок-диаграмма узлов Вх/Вых

Ускорение передачи данных за счет использования существующих решений в схеме передатчика приводит к рассогласованию скоростей роста/спада сигнала, погрешности коэффициента заполнения и увеличению МИ. В результате после увеличения скорости передачи входных данных выходной сигнал искажается, что приводит к потере сигнала в схеме передатчика (рис. 2).

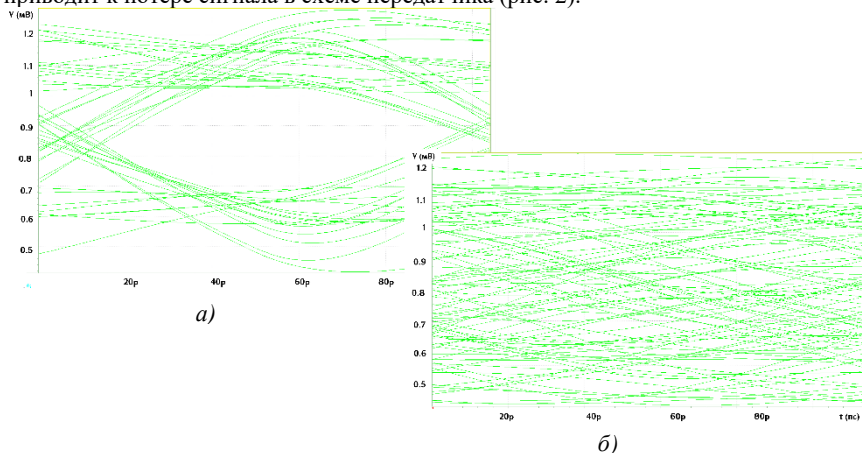


Рис. 2. "Глазковые" диаграммы входных и выходных сигналов передатчика

Существующие схемы приемников не удовлетворяют требованию повышения быстродействия, поскольку имеющиеся в них дифференциальные усилители способны усиливать только низкочастотные сигналы, обеспечивая малую полосу пропускания (рис. 3). Помехоустойчивость и апертюра установка/хранение - важнейшие требования к схемам приемника, в случае выполнения которых в них можно увеличить скорость передачи данных.

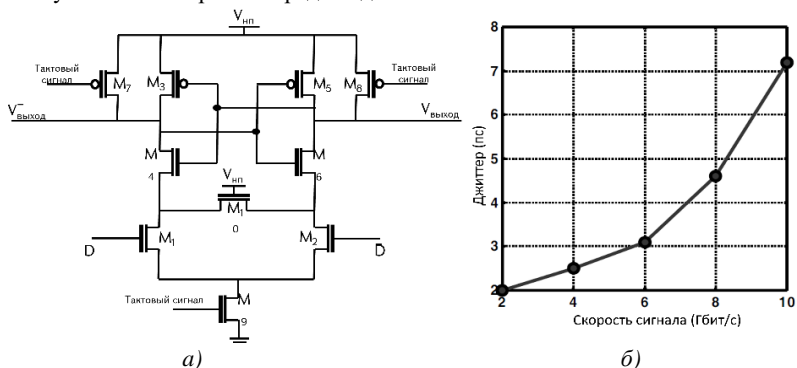


Рис. 3. Схема дифференциального ОУ существующего приемника (а) и поведение джиттера сигнала при увеличении скорости передачи данных (б)

Одним из основных факторов, ограничивающих скорость, являются также отражения передаваемых сигналов в узлах Вх/Вых, которые вызваны несоответствием выходного сопротивления передатчика, линии передачи и входного сопротивления приемника.

При несогласовании сопротивлений $Z_{\text{передатчик}}$, Z_0 и $Z_{\text{приемник}}$ возникают отражения сигналов. Единственное условие, которого следует избегать в таком случае, - это снижение скорости передаваемых данных, что негативно сказывается на быстродействии разрабатываемой системы. Во избежание отражений необходимо, чтобы коэффициенты отражения передатчика и приемника были равны нулю (1)-(2). Коэффициенты отражения будут равны нулю, когда сопротивления $Z_{\text{передатчик}}$, Z_0 и $Z_{\text{приемник}}$ будут равны друг другу:

$$\rho_{\text{передатчик}} = \frac{Z_{\text{передатчик}} - Z_0}{Z_{\text{передатчик}} + Z_0}, \quad (1)$$

$$\rho_{\text{приемник}} = \frac{Z_{\text{приемник}} - Z_0}{Z_{\text{приемник}} + Z_0}. \quad (2)$$

В существующем способе изменение падения напряжения на сопротивлении в блоке-реплике от наибольшего значения к наименьшему осуществляется за 63 шага в результате 6-порядкового генерируемого кода, примененного с целью регулировки сопротивлений. При таком способе решения для обеспечения высокой точности была увеличена порядковость схемы подстройки сопротивлений, в результате чего увеличилось время, необходимое для подстройки, и площадь, занимаемая на полупроводниковом кристалле.

Технологические отклонения изготовления ИС и существующие средства и методы проектирования схем узлов Вх-Вых не удовлетворяют современным требованиям к параметрам этих схем. Следовательно, имеется потребность в разработке новых методов и средств проектирования быстродействующих схем для приема, декодирования и передачи информации в узлах Вх-Вых.

Исходя из вышеизложенного, применение методов повышения скорости сигналов в узлах Вх-Вых является актуальной задачей при проектировании ИС.

Исследования существующих подходов и средств повышения быстродействия компонентов узлов Вх-Вых в этой главе показывают, что все рассмотренные методы и подходы не удовлетворяют задачам, возникаемым при проектировании узлов Вх-Вых. Таким образом, возникает необходимость разработки средств для эффективного повышения быстродействия в узлах Вх-Вых.

Во второй главе представлены разработанные методы и даны решения проблем, описанных в первой главе.

Метод повышения быстродействия передатчика в узлах Вх-Вых калибровкой фронта сигнала.

Для улучшения быстродействия передатчика в узлах Вх/Вых предлагается метод калибровки нарастания и спада фронта сигнала, который позволяет обеспечить минимальное несоответствие фронтальных сигналов и минимизирует МИ (рис. 4). В предложенном методе к передатчику подключаются низкочастотный R-C фильтр для интеграции выходного сигнала, операционный усилитель (ОУ), конечный автомат (КА) и цифроаналоговый преобразователь (ЦАП).

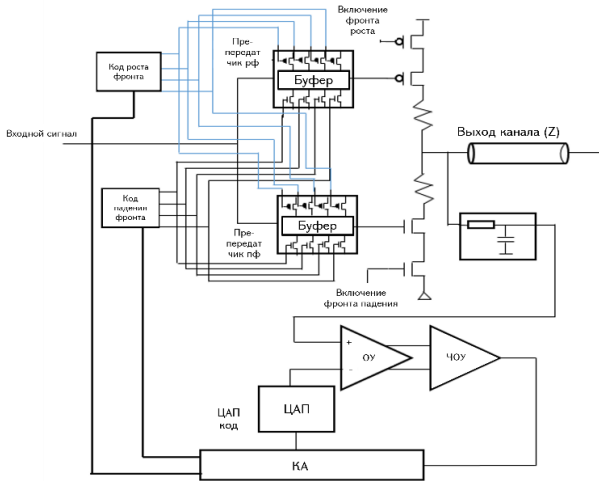


Рис. 4. Схема передатчика с применением метода калибровки фронта сигнала

В каждой системе с двойной скоростью передачи данных есть соответствующие предельные параметры. После выбора системы начинается рабочий этап калибровки передатчика. Выходной сигнал, проходя через R-C фильтр, получает половину напряжения питания для положительного контакта ОУ, а к негативному входу включается ЦАП. После прохождения сигнала через ОУ и чувствительный ОУ (ЧОУ) ЦАП фиксирует половину напряжения питания. Таким образом, детектируется и фиксируется скорость наибольшего из фронтальных сигналов роста и спада, и калибровочный процесс проходит для фронтального сигнала с наименьшей скоростью.

После этого КА меняет код напряжения фронтального сигнала, до тех пор, пока не найдется лучший вариант для обеспечения минимальных МИ и несоответствия фронтальных сигналов. В табл. 1 приведены результаты моделирования для быстрого технологического процесса, при котором рост фронтального сигнала изначально меньше, чем его падение, и поэтому калибровка выполняется для него. Из полученных результатов видно, что несоответствие фронтального сигнала сокращается от 16% до 2% на третьей итерации калибровки.

Таблица 1

Результаты фронта сигнала для трех итераций калибровки

Итерация	Падение фронтального сигнала (В/нс)	Рост фронтального сигнала (В/нс)
1	7.6	6.4
2	7.6	7.1
3	7.6	7.75

На глазковой диаграмме выходного сигнала передатчика (рис. 5) показано, что джиттер сигнала уменьшается от 12,4 до 4,5 пс. Таким образом, повышение быстродействия передатчика позволяет обеспечить передачу сигнала с частотой 6400 Мбит/с, за счет увеличения энергопотребления на 10...12%.

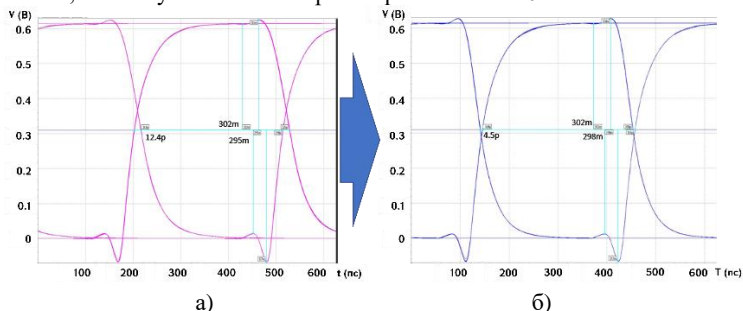


Рис. 5. Глазковая диаграмма выходного сигнала без применения (а) и с применением (б) предлагаемого метода

Метод повышения быстродействия в узлах Вх-Вых при предложенном схематическом решении приемника.

Предложено схематическое решение с применением усилителя выборки на контактной площадке для маломощных приемников, которое позволяет получать и обрабатывать высокочастотные сигналы с минимальной задержкой и апертурой между установкой и хранением.

Приемник состоит из двух ЧОУ с негативной обратной связью, ЦАП-а из четырех входов для генерации опорного напряжения, а также эквалайзера с обратной связью по решению (ЭОСР) для выбора между двумя опорными напряжениями с учетом предыдущего бита (рис. 6). Разработанная схема не имеет джиттера, так как информационный аналоговый сигнал сразу на входе обрабатывается синхросигналами.

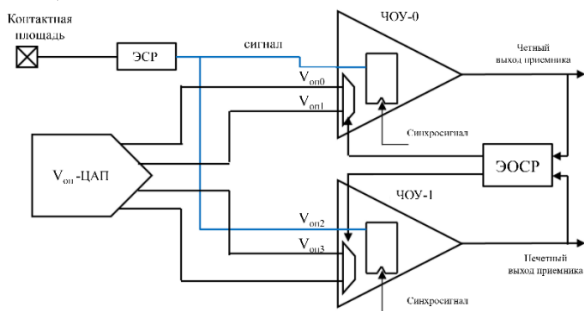


Рис. 6. Схема предлагаемого приемника с применением одношагового ЭОСР

ЭОСР позволяет значительно увеличить выходную глазковую диаграмму сигнала, без которой невозможно обрабатывать и принимать сигналы с частотой

более 6400 Мбит/с. ЭОСР увеличивает вертикальную глазковую диаграмму более чем в два раза, а горизонтальную - примерно на 30% (рис. 7).

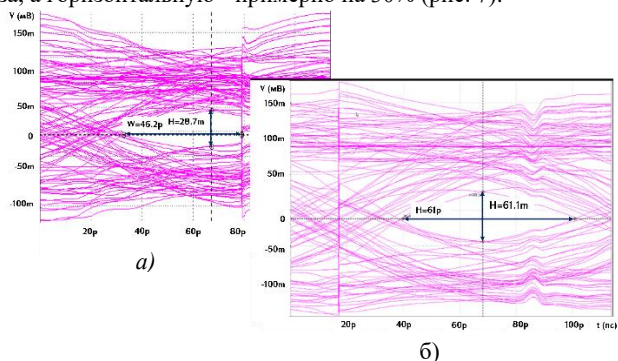


Рис. 7. Глазковая диаграмма без применения (а) и с применением (б) ЭОСР

Поскольку ЧОУ производит выборку сигнала данных с помощью тактового сигнала, то может возникнуть отдача из-за связи между тактовым сигналом и сигналом опорного напряжения, что является критическим, поскольку опорное напряжение может измениться и вызвать функциональный сбой. Разработана схема отмены обратного удара на опорное напряжение в схеме ЧОУ (рис. 8).

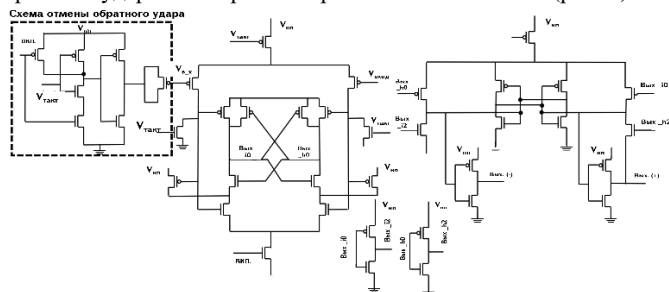


Рис. 8. ЧОУ с применением отмены обратного удара

Амплитуда шума схемы отмены обратного удара опорного напряжения от пика до пика составляет 140 мВ. Этот шум может привести к функциональным сбоям, так как входная амплитуда 150 мВ и 2 выхода приемника (четный и нечетный) могут содержать неверные данные. С таким высоким распространением шума задержка в приемнике значительно увеличивается, что вызывает отказ цикла синхронизации ЭОСР.

На рис. 9 показаны результаты моделирования для медленного процесса при напряжении питания 0,8 В с компенсацией отдачи для скорости приема данных в 6400 Мбит/с. Как видно, амплитуда шума обратной отдачи составляет 20 мВ, и она стабилизирована. Четные и нечетные выходные сигналы, представляющие собой

выходные данные десериализации (сигналы половинной скорости), являются правильными.

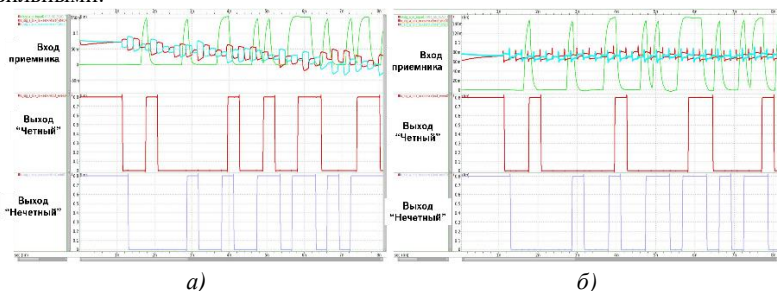


Рис. 9. Входной и выходной сигналы приемника без применения (а) и с применением (б) схемы отмены обратного удара

Результаты моделирования показывают, что максимальная апертура в приемнике составляет 4.12 пс (табл. 2). Это означает, что запрещенное время между входным сигналом и синхросигналом составляет 4,12 пс.

Таблица 2

Результаты моделирования

Параметр	Апертура (пс)	Установка (пс)	Хранение (пс)
Максимум	4.12	-8.82	4.70
Минимум	0.31	-4.13	3.82

Метод калибровки сопротивлений в узлах Вх-Вых с помощью АВ.

Предлагается метод калибровки сопротивлений между передатчиком и приемником, который позволяет путем применения АВ и улучшения алгоритма проектирования повысить точность калибровки в 1,6 раза, снизить время калибровки и энергопотребление - соответственно в 3 и 1,5 раза за счет увеличения площади на полупроводниковом кристалле на $1,1 \cdot 10^{-9} \text{ м}^2$ (рис. 10).

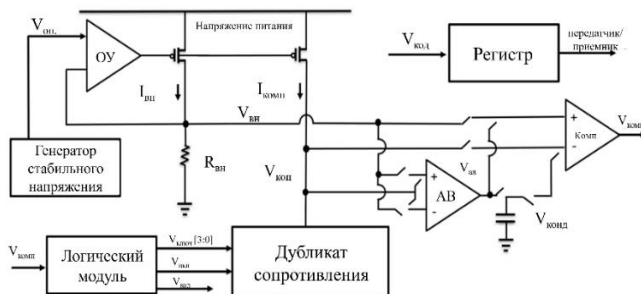


Рис. 10. Предложенная схема с применением АВ

В предложенном методе порядковость генерируемого кода снижается до 4-ех. Таким образом, при каждом ходе в блоке дубликатного сопротивления ожидается более высокое изменение напряжения сопротивления, чем в существующем методе. Меняется согласованное напряжение между $V_{вн}$ и $V_{коп}$. В соответствии с текущим методом код должен быть выбран во временном промежутке 360..410 нс, так как в этом случае выход компаратора сдвигается с «0» на «1» (рис. 11).

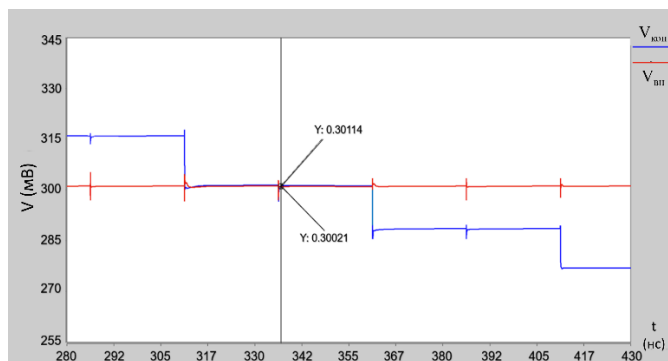


Рис. 11. Результаты моделирования $V_{вн}$ и $V_{коп}$

Из полученных результатов видно, что для получения правильного сопротивления следует применить предыдущий код. Для обеспечения этого процесса был использован АВ. При помощи АВ система имеет возможность различить, какой из последовательных кодов самый предпочтительный. Предпочтительным считается тот код, при котором различие между напряжениями $V_{вн}$ и $V_{коп}$ будет минимальным, и получится самое приемлемое сопротивление.

В табл. 3 представлены результаты моделирования с существующей и предложенной схемами.

Таблица 3

Результаты моделирования калибровки сопротивления

Параметр	Существующая схема	Предложенная схема
Максимальное отклонение сопротивления (%)	2.1	1.3
Время калибровки (мкс)	3.2	1.05
Энергопотребление (мВ)	12.4	8.2
Вариация температуры (°C)	55, 125, -40	25, 150, -40
Технологический процесс	Т, Б, М	Т, Б, М, С

Метод детектирования и коррекции ошибки коэффициента заполнения синхросигнала. Предложенная схема детектирования КЗ состоит из контроллера

цифровой схемы и аналогового детектора КЗ, который содержит мультиплексор для входного сигнала и синхросигнала, фильтры R-C и компаратор (рис. 12).

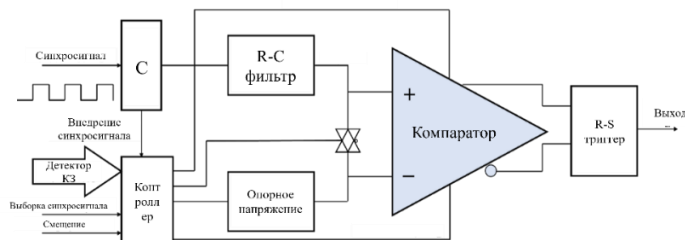


Рис. 12. Схема детектора КЗ

Принцип работы детектора КЗ заключается в детектировании выходного сигнала, измерении и обработке сигнала до нахождения приемлемого КЗ, погрешность которого составляет $50 \pm 1\%$.

КФАЧ передает синхросигнал, который, проходя через R-C фильтр, получает 50% напряжения питания. Блок логического управления тоже должен закрепиться в состоянии половины напряжения входного сигнала. После этого сигналы, полученные из КФАЧ-а и выбранного кода, сравниваются, и если ошибка КЗ не соответствует желаемому требованию, то сигнал возвращается к регулировочной схеме с запросом изменения кода. После нахождения желаемого кода, где погрешность КЗ меньше $50 \pm 1\%$, процесс заканчивается, и прекращается операция детектирования погрешности КЗ (рис. 13).

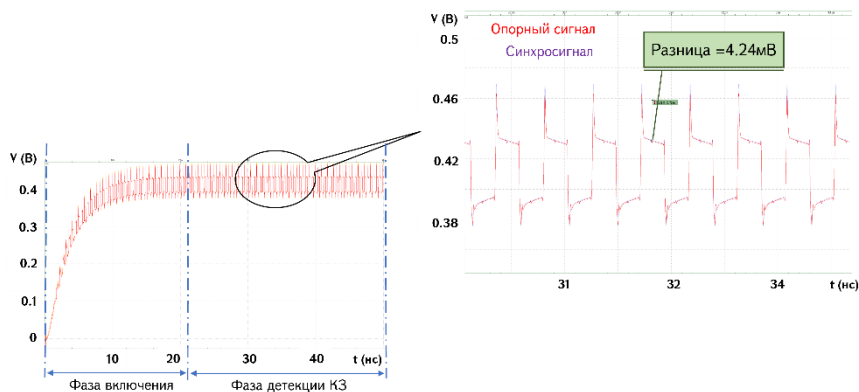


Рис. 13. Детектирование ошибки КЗ для быстрого процесса

Результаты полученные при моделировании (табл. 4), показывают, что детектор КЗ обнаружил максимальную ошибку КЗ для быстрого технологического процесса и только в этом случае завершил детектирование.

Таблица 4

Результаты моделирования для типичного, быстрого и медленного процессов

Процесс	Максимальное несоответствие на затворе (мВ)	Максимально обнаруженное несоответствие КЗ (%)	КЗ (%)
Типичный	0.73	0.09	50.01
Быстрый	4.24	0.54	50.61
Медленный	1	0.12	49.24

Таким образом, использование данного метода позволяет обеспечить бесперебойную работу узлов Вх-Вых до 8800 Мбит/с и выше за счет увеличения занимаемой площади на полупроводниковом кристалле на $0,8 \cdot 10^{-9} \text{ м}^2$.

В третьей главе представлено разработанное программно-инструментальное средство “HSIO equalizer”, которое позволяет спроектировать архитектуру узлов Вх-Вых с использованием предложенных методов для повышения быстродействия.

На начальном этапе выбираются стандартные системы, загружаются библиотеки технологических процессов, директории, в которой будут загружаться результаты проектирования, а их параметрам должна соответствовать указанная схема в узлах Вх-Вых (рис. 14).

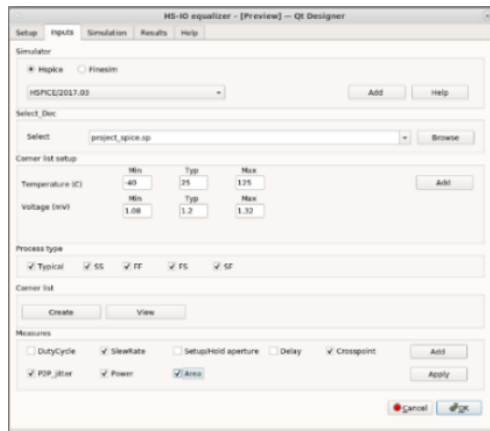


Рис. 14. Окно ввода данных

Программа позволяет выбрать вариант моделирования и дает информацию об этом. Затем выбирается вариация технологического процесса и создается список вариаций, к которому дополняются температура и напряжение питания. Выбираются параметры, подлежащие симуляции, и, таким образом, заканчивается фаза настройки входной информации.

После этого начинается этап симуляции и внедрения методов в ПС. На начальном этапе загружается схема, выбирается предлагаемый метод для соответствующей схемы и происходит внедрение метода в схему. После окончания этого этапа начинается процесс симуляции, за которым можно следить. ПС позволяет после симуляции как оценить результаты, полученные в ходе симуляции (рис. 15), так и изъять их по разным программным обеспечениям.

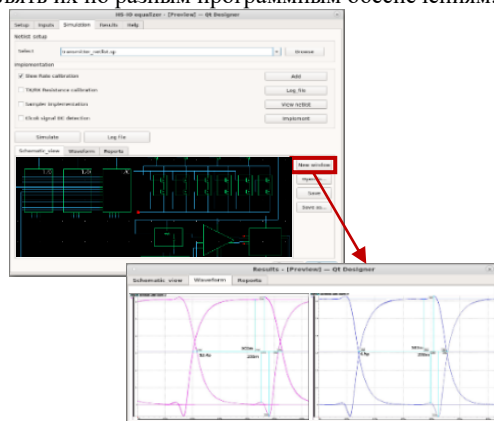


Рис. 15. Возможность просмотра полученных результатов

Результаты моделирования существующих схем узлов Вх-Вых, а также схем с применением предложенных методов, вручную и с использованием ПС “HSIO equalizer” представлены в табл. 5-8.

Таблица 5

Результаты проектирования передатчика методом калибровки фронтального сигнала с использованием ПС “HSIO equalizer”

Параметр	Калибровка фронтального сигнала		
	существующий	предложенный	результаты проектирования с помощью ПС
Скорость фронта сигнала (В/нс)	6,4	7,6	7,6
Несоответствие фронтального сигнала (%)	16	2	1,8
Джиттер (пс)	12,4	4,5	4,2
Энергопотребление (мА)	5,37	5,78	6,42
Площадь (мкм ²)	3700	4250	4767

Таблица 6

Результаты проектирования приемника с использованием ПС "HSIO equalizer"

Параметр	Метод с применением усилителя выборки		
	существующий	предложенный	результаты проектирования с помощью ПС
Размещение (пс)	-13,59	-8,82	-8,79
Хранение (пс)	6,21	4,70	4,65
Апертура (пс)	7,38	4,12	4,09
Шум (мВ)	140	20	17
Энергопотребление (мА)	5,46	6,88	7,32
Площадь (мкм ²)	2630	2985	3432

Таблица 7

Результаты проектирования калибровки сопротивления с использованием ПС "HSIO equalizer"

Параметр	АВ		
	существующий	предложенный	результаты проектирования с помощью ПС
Максимальное отклонение сопротивления (%)	2,1	1,3	1,26
Время калибровки (мкс)	3,2	1,05	0,99
Энергопотребление (мА)	12,4	8,2	8,6

Таблица 8

Результаты проектирования детектора КЗ схемы с использованием ПС “HSIO equalizer”

Параметр	Детектор ошибки КЗ		
	существующий	предложенный	результаты проектирования с помощью ПС
Разброс КЗ	46...57	49,3...50,9	49,43...50,75
Максимальное различие на затворе (мВ)	17,32	4,24	3,98
Приемлимая скорость передачи данных (Мбит/с)	4267	8800	8800

ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Предложены новые принципы и подходы для повышения быстродействия узлов Вх-Вых, которые, в отличие от существующих решений, позволяют удовлетворить требования к конструкции трехмерного затвора размером 16 нм и меньше с технологическими процессами.
2. В схеме передатчика узла Вх-Вых разработана схема калибровки фронтального сигнала, которая обеспечивает минимальное рассогласование между фронтами выходного сигнала, снижает явление межсимвольной интерференции (МИ), уменьшая джиттер сигнала примерно в три раза, а также увеличивает скорость фронтального сигнала на 18% после калибровки. Улучшение рабочих параметров позволяет увеличить скорость передачи данных узлов Вх-Вых до 6400 Мбит/с за счет увеличения энергопотребления на 10...12%.
3. Предложена маломощная схема приемника для уменьшения джиттера сигнала за счет чтения с использованием синхросигнала. Малая величина апертуры установка/хранение в приемнике и сниженный размах шума опорного напряжения обеспечивают безошибочный прием сигнала на скорости до 6400 Мбит/с за счет новых решений, что, в свою очередь, привело к увеличению площади, занимаемой на полупроводниковом кристалле, всего на 10%.
4. Создан метод калибровки сопротивления путем введения в узел Вх-Вых аналогового вычитателя (АВ), позволяющий в результате усовершенствования алгоритма проектирования цифровой системы сократить время калибровки более чем в три раза, при этом повышая точность настройки в 1,6 раза и снижая энергопотребление в 1,5 раза за счет увеличения площади, занимаемой на полупроводниковом кристалле, на 14%.
5. Разработана схема детектирования и коррекции ошибки коэффициента заполнения (КЗ) синхросигнала, позволяющая обеспечить КЗ $50 \pm 1\%$ в узлах Вх-Вых вне зависимости от вариации процесса, напряжения и температуры.

Предлагаемый метод детектирует и корректирует КЗ сигнала во время работы ИС, обеспечивая быстроедействие до 8800 Мбит/с за счет увеличения площади, занимаемой на полупроводниковом кристалле, всего на 11%.

6. Предложенные в диссертации методы и схемотехнические решения были использованы в программном средстве (ПС) HSIО equalizer. Применение ПС в системах аналоговых и смешанных сигналов, разработанных в ЗАО «СИНОПСИС АРМЕНИЯ», упростило процесс проектирования быстродействующих узлов Вх-Вых. В результате применения ПС быстроедействие узлов Вх/Вых повысилось на 10...13% за счет повышения энергопотребления на 10...12%, увеличения площади, занимаемой на полупроводниковом кристалле, на 15...18%. Разработанное ПО позволяет сократить время на схемотехническое проектирование на 40...50%.

Основные результаты диссертации опубликованы в следующих работах:

1. Petrosyan O.H., Melikyan K.A. The Electromigration and Voltage Drop Correction Methods of ESD Protection in Special Input/Output Blocks // Proceedings of National Polytechnic University of Armenia: Information Technologies, Electronics, Radio Engineering. – Yerevan, 2019. – P. 62-69.
2. Մելիքյան Վ.Ա., Պետրոսյան Ա.Օ. Եռաչափ Փականով Տրանզիստորների Ինտեգրալ Սխեմաների Բազային Տարրերի Հետազոտումը և Մոդելավորումը // ՀԱՊՀ-ի Լրաբեր. Գիտական հոդվածների ժողովածու, - Երևան, 2020. - Հ1. - էջ 155-160:
3. Hekimyan A.R., Melikyan K.A., Margaryan H.V. The Novel Receiver Architecture For High-Speed Input/Output Circuits // Proceedings of the Republic of Armenia National Academy of Sciences and National Polytechnic University of Armenia. Series of Technical sciences. – 2020. – Vol. 73, No 1. – P. 82-89.
4. Հայրապետյան Ա.Գ., Մարգարյան Հ.Վ., Մելիքյան Վ.Ա., Աբազյան Ս.Ս. Ինտեգրալ սխեմաների ընդունիչ հաղորդիչ հանգույցներում անալոգային հանիչի կիրառմամբ դիմադրությունների կարգաբերման մեթոդ // Բարձր տեխնոլոգիաների տեղեկագիր. - 2020. - N2(13). - էջ 35-41:
5. Petrosyan O.H., Melikyan K.A. The Disclosure Correcting Method for the 6t Static Random-Access Memory Cell // Proceedings of NPUA: Information Technologies, Electronics, Radio engineering. - 2020.- № 1. – P. 57-65.
6. Մելիքյան Վ.Ա. Մուտք/ելք հանգույցների արագագործության բարձրացման միջոցների հետազոտումը // ՀԱՊՀ-ի Լրաբեր. Գիտական հոդվածների ժողովածու. Մաս 1.-Երևան, 2022.- էջ 203-207:
7. Hekimyan Arsen, Travajyan Grigor, Melikyan Karen. Slew Rate Calibration Method for High Speed Systems // 2022 International Conference on Electrical, Computer and Energy Technologies (ICECET). – Prague, 2022. – P. 1-4.
8. Melikyan K.A. Duty Cycle Detection Method for High Speed Input-Output Systems // The Eurasia Proceedings of Science, Technology, Engineering & Mathematics (EPSTEM). – Istanbul, 2022. – Vol. 18. - P. 81-85.

ԱՄՓՈՓԱԳԻՐ

Ժամանակակից ինտեգրալ սխեմաները (ԻՄ) կիսահաղորդչային տեխնոլոգիաների զարգացման արդյունքում լայնորեն կիրառվում են բազմաթիվ արագագործ էլեկտրոնային համակարգերում: Կիսահաղորդչային տեխնոլոգիաների զարգացումը հիմնականում պայմանավորված է մասշտաբավորմամբ, որը նվազեցնում է տրանզիստորների հոսքուղու նվազագույն թույլատրելի երկարությունը, պարազիտային դիմադրությունը, ունակությունը և էներգասպառումը:

ԻՄ-երի միջև տվյալների փոխանակումը կատարվում է հատուկ մուտք/ելք (Մ/Ե) հանգույցների միջոցով, որոնք ապահովում են տվյալների ընդունումը, վերծանումը և հաղորդումը: Մ/Ե հանգույցները կապված են հոսքուղիներով: Կիսահաղորդչային բյուրեղի փոքր մակերես ապահովելու համար էլեկտրոնային համակարգերում նպատակահարմար է օգտագործել հաջորդական տվյալների փոխանցմամբ Մ/Ե հանգույցները: Հետևաբար անհրաժեշտություն է առաջանում՝ բարձրացնելու Մ/Ե հանգույցների միջև տվյալների փոխանցման արագությունը: Այսպիսով, ժամանակակից Մ/Ե հանգույցների բնութագրերին ներկայացվող կարևորագույն պահանջներից է դրանց արագագործության բարձրացումը՝ առանց փոխանցվող և ընդունվող տվյալների կորստի կամ աղավաղման:

Մ/Ե հանգույցներում օգտագործվող տրանզիստորների մասշտաբավորումը հանգեցնում է դրանց պարամետրերի ցրվածության, ջերմաստիճանային կախվածության մեծացման, ինչպես նաև սնման լարման նվազման, ինչը հանգեցնում է համակարգերում արտադրողականության փոքրացմանը: 16 նմ և ավելի ցածր տեխնոլոգիական նորմերի դեպքում տրանզիստորներում ի հայտ են գալիս նոր բացասաբար ազդող երևույթներ, որոնք բացակայում կամ ազդեցություն չեն թողնում պլանար տեխնոլոգիաների կիրառությամբ ԻՄ-երի նախագծման գործընթացում:

Ուստի անհրաժեշտություն է առաջացել՝ մշակելու եռաչափ փականով տեխնոլոգիական գործընթացով Մ/Ե հանգույցների պահանջվող արագագործությունն ապահովող միջոցներ:

Ատենախոսությունը նվիրված է Մ/Ե հանգույցների արագագործության բարձրացման միջոցների մշակմանը, որոնք կապահովեն փոխանցվող և ընդունող ազդանշանի հաճախականությանը ներկայացվող ժամանակակից պահանջները:

Մուտք/ելք հանգույցների արագագործության բարձրացման համար առաջարկվել են նոր սկզբունքներ և մոտեցումներ, որոնք, ի տարբերություն առկա լուծումների, թույլ են տալիս բավարարել եռաչափ փականով՝ 16 նմ և ավելի փոքր, տեխնոլոգիական գործընթացներով նախագծմանն առաջադրվող պահանջները:

Մշակվել է մուտք/ելք հանգույցի հաղորդիչ սխեմայում ազդանշանի ճակատների կարգաբերման սխեմա, որն ապահովում է էլքային ազդանշանի ճակատների միջև նվազագույն անհամապատասխանություն և փոքրացնում է փոխնշանային ինտերֆերենցի երևույթը՝ նվազեցնելով ազդանշանի թրթռոցը մոտավորապես 3 անգամ, ինչպես նաև կարգաբերումից հետո մեծացնում է ճակատի փոխանջատման արագությունը 18%-ով: Աշխատանքային պարամետրերի բարելավումը թույլ է տալիս մեծացնել մուտք/ելք հանգույցների տվյալների փոխանցման արագությունը մինչև 6400 Մբ/վ՝ էներգասպառման 10-12% աճի հաշվին:

Առաջարկվել է ցածր հզորությամբ ընդունիչի սխեմա, որը նվազեցնում է ազդանշանի թրթռոցը՝ ընթերցումը կատարելով սինքրոագանշանի միջոցով: Ընդունիչում տեղակայում/պահում բացվածքի փոքր արժեքը և հենակային լարման գագաթից գագաթ աղմուկի նվազեցումը ապահովում են մինչև 6400 Մբ/վ արագությամբ ազդանշանի անսխալ ընդունումը՝ ի հաշիվ նոր լուծումների, որը իր հերթին հանգեցրել է կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի 10%-ով մեծացման:

Մշակվել է մուտք/ելք հանգույցում անալոգային հանիչի ներդրմամբ դիմադրությունների կարգաբերման մեթոդ, որը թվային համակարգի նախագծման ալգորիթմի բարելավման արդյունքում հնարավորություն է տալիս փոքրացնելու կարգաբերման ժամանակը ավելի քան 3 անգամ, միաժամանակ բարձրացնելով կարգաբերման ճշգրտությունն 1,6 անգամ, իսկ էներգասպառումը փոքրացնելով 1,5 անգամ՝ կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի 14% մեծացման հաշվին:

Առաջարկվել է սինքրոագանշանի լցման գործակցի սխալանքի հայտնաբերման և ուղղման սխեմա, որը թույլ է տալիս ապահովել մուտք/ելք հանգույցներում $50 \pm 1\%$ լցման գործակից՝ անկախ գործընթացից, լարումից և ջերմաստիճանից: Առաջարկված մեթոդը հայտնաբերում և ուղղում է ազդանշանի լցման գործակիցը ինտեգրալ սխեմայի աշխատանքի ժամանակ, ապահովելով մինչև 8800 Մբ/վ արագագործություն՝ կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի ընդամենը 11% մեծացման հաշվին:

Ատենախոսությունում առաջարկված մեթոդները և սխեմատեխնիկական լուծումները կիրառվել են HSlO equalizer ծրագրային միջոցում, որի օգտագործումը «ՄԻՆՈՓՄԻՍ ԱՐՄԵՆԻԱ» ՓԲԸ-ում մշակվող անալոգային և խառը ազդանշանային համակարգերում պարզեցրել է արագագործ մուտք/ելք հանգույցների նախագծման գործընթացը: Միջոցի փորձարկման արդյունքում մուտք/ելք հանգույցների արագագործությունը բարձրացել է 10-13%-ով՝ էներգասպառման 10-13% աճի և կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի 15-18% մեծացման պարագայում: Մշակված ծրագրային միջոցը թույլ է տալիս կրճատել սխեմատեխնիկական նախագծման վրա ծախսվող ժամանակը 40-50%-ով:

KAREN ARTUR MELIKYAN

DEVELOPMENT OF MEANS TO INCREASE SPEED PERFORMANCE IN INPUT/OUTPUT BLOCKS

SUMMARY

As a result of the development of semiconductor technologies, modern integrated circuits (ICs) are widely used in many high-speed electronic systems. The rapid development of semiconductor technologies is mainly related to scaling, which consents to reduce the minimum allowable channel length, parasitic resistance, capacity, and power consumption of transistors.

Data exchange between ICs is carried out through special input/output (I/O) blocks, ensuring data receiving, decoding and transmission. I/O blocks are connected by channels. In electronic systems, it is advisable to use I/O blocks with serial data transmission, to ensure a small area on the semiconductor crystal. Therefore, it is necessary to increase data transfer rate between blocks. Thus, one of the most important requirements for the characteristics of modern I/O blocks is to increase their speed performance without loss or distortion of the transmitted and received data.

Scaling of transistors used in I/O blocks leads to a variation in their parameters, an increase in temperature dependence, as well as a decrease in supply voltage, which leads to a decrease in performance in systems. At technological standards of 16 nm and below, new, negatively affecting phenomena appear in transistors that are absent or do not affect the process of designing ICs using planar technologies.

Thus, there is a need to develop methods designed to provide the required speed performance of I/O blocks with a fin-field-effect (FinFET) technological process.

The dissertation is devoted to the development of means for increasing the speed performance in I/O blocks, which will allow to meet modern requirements for the frequency of the transmitted and received signal.

New principles and approaches are proposed to increase the speed performance of I/O blocks, which, in contrast to existing solutions, allow meeting the requirements for the design of a FinFET technological processes: 16 nm and smaller.

In the transmitter circuit of the I/O block, a slew rate calibration circuit has been proposed, which provides a minimum mismatch between the fronts of the output signal, reduces the phenomenon of inter-symbol interference (ISI), reducing signal jitter by about three times, and also increases the slew rate of signal by 18% after calibration. Improving the operating parameters allows increasing the data transfer rate of the I/O blocks up to 6400 Mbps due to the increase in power consumption by 10...12%.

A low-power receiver circuit is proposed to reduce signal jitter by reading using a clock signal. The small value of the setup/hold aperture in the receiver and the reduction of the peak-to-peak noise of the reference voltage provide error-free signal reception at speeds up to 6400 Mbps, due to new solutions, which, in turn, led to a 10% increase of the area occupied on the semiconductor crystal.

A resistance calibration method was created by introducing an analog subtractor (AS) in the I/O block, which, as a result of improving the digital system design algorithm, reduces the calibration time by more than 3 times, while increasing the tuning accuracy by 1.6 times and reducing power consumption by 1.5 times due to an increase in the area occupied on a semiconductor crystal by 14%.

A scheme has been developed for detecting and correcting the error in the duty cycle (DC) of the clock signal, which makes it possible to provide a DC of $50\pm 1\%$ in the I/O blocks, regardless of the variation of the process, voltage, and temperature. The proposed method detects and corrects the duty cycle of the signal during the operation of the IC, providing speed up to 8800 Mbps due to an increase in the area occupied on the semiconductor crystal by only 11%.

The methods and circuit-technical solutions proposed in the dissertation were applied in the HSIO equalizer software tool, the application of which in the analog and mixed signal systems developed at "SYNOPSIS ARMENIA" CJSC simplified the design process of high-speed I/O blocks. As a result of testing the tool, the speed of I/O blocks increased by 10-13%, at the expense of a 10-13% increase in power consumption and a 15-18% increase in the area occupied by the semiconductor crystal. The developed software allows reducing the design time by 40-50%.

A handwritten signature in black ink, appearing to be 'G. Sargsyan', written in a cursive style with a horizontal line underneath.