

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ, ԳԻՏՈՒԹՅԱՆ,
ՄՇԱԿՈՒՅԹԻ ԵՎ ՍՊՈՐՏԻ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

Գրիգորյան Հայկ Տարոնի

ԱՐԱԳԱԳՈՐԾ ԻՆՏԵԳՐԱԼ ՄԻՆԻՍՏԵՐՈՒՄ ՏՎՅԱԼՆԵՐԻ ՀԱՂՈՐԴՄԱՆ
ԽԱՓԱՆՈՒՄՆԵՐԻ ՆՎԱԶԵՑՄԱՆ ՄԻԶՈՑՆԵՐԻ ՄՇԱԿՈՒՄԸ ԵՎ
ՀԵՏԱԶՈՏՈՒՄԸ

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի
հայցման ատենախոսության

ՍԵՂՄԱԳԻՐ

Երևան 2024

МИНИСТЕРСТВО ОБРАЗОВАНИЯ, НАУКИ, КУЛЬТУРЫ И СПОРТА
РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

Григорян Айк Таронович

РАЗРАБОТКА И ИССЛЕДОВАНИЕ СРЕДСТВ СНИЖЕНИЯ ПОМЕХ
ПЕРЕДАЧИ ДАННЫХ В БЫСТРОДЕЙСТВУЮЩИХ ИНТЕГРАЛЬНЫХ
СХЕМАХ

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата
технических наук по специальности 05.27.01-
“Электроника, микро- и наноэлектроника”

Ереван 2024

Ատենախոսության թեման հաստատվել է Հայաստանի ազգային պոլիտեխնիկական համալսարանում (ՀԱՊՀ):

Գիտական ղեկավար՝ տ.գ.դ. Վազգեն Շավարշի Մելիքյան
Պաշտոնական ընդդիմախոսներ՝ տ.գ.դ. Օլեգ Հարությունի Պետրոսյան
տ.գ.թ. Նարեկ Էդուարդի Մամիկոնյան
Առաջատար կազմակերպություն՝ Երևանի կապի միջոցների
գիտահետազոտական ինստիտուտ

Ատենախոսության պաշտպանությունը կայանալու է 2024թ. հունիսի 21-ին, ժամը 14⁰⁰-ին, ՀԱՊՀ-ում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ– ի գրադարանում:

Սեղմագիրն առաքված է 2024թ. մայիսի 18-ին

046 Մասնագիտական խորհրդի գիտական քարտուղար, տ.գ.թ.  Բենիամին Ֆելիքսի Բադալյան

Тема диссертации утверждена в Национальном политехническом университете Армении (НПУА)

Научный руководитель: д.т.н. Вазген Шаваршевич Меликян

Официальные оппоненты: д.т.н. Олег Арутюнович Петросян
к.т.н. Нарек Эдуардович Мамиконян

Ведущая организация: Ереванский научно-исследовательский институт средств связи

Защита диссертации состоится 21-го июня 2024 г. в 14⁰⁰ ч. на заседании Специализированного совета 046 — "Радиотехники и электроники", действующего при Национальном политехническом университете Армении, по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 18-го мая 2024 г.

Ученый секретарь  Бениамин Феликсович Бадалян
Специализированного совета 046, к.т.н.

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. По прогнозам компаний, занимающихся анализом электронных данных, к 2025 году объемы данных, превысят 180 зеттабайт. 70...75% данных хранятся в специально спроектированных центрах, представляющих собой структуры, предназначенные для хранения, регулирования и распространения больших объемов цифровой информации. В настоящее время актуальной проблемой является обеспечение бесперебойной связи между такими центрами, основными узлами реализации которых являются быстродействующие интегральные схемы (ИС).

Чтобы иметь доступ к таким центрам, известные компании, с одной стороны, платят большие деньги, а с другой их владельцы проводят постоянную модернизацию за счет использования еще более быстрых ИС. В результате скорость приемо/передатчи в современных центрах достиг 112 Гбит/с. В ИС, работающих на таких скоростях, передача и прием сигналов без потерь являются сложными проблемами и требуют гораздо более высокой точности процессов обработки. Обработка целиком базируется на качественных и параметрических показателях проектируемых ИС. В частности, значение 10^{-12} установлено для максимально допустимой погрешности обработки данных, которой препятствуют вибрация синхросигнала, шумы, возникающие на источнике питания, и отражения сигнала. Из-за высокой коммутационной активности увеличивается и энергопотребление ИС, вызывая падение постоянной составляющей напряжения питания, повышается саморазогрев на указанных участках, вызывая снижение надежности элементов, входящих в состав ИС, а также взаимосвязи и т.д. Вследствие таких факторов увеличивается погрешность передачи данных в ИС, что требует новых решений и подходов, направленных на разработку и исследование средств снижения помех передачи данных в быстродействующих ИС. Диссертация посвящена исследованию ряда наиболее часто встречающихся проблем и разработке новых путей их решения.

Объект исследования. Причины возникновения сбоев передачи данных в быстродействующих ИС и меры по снижению их влияния..

Цель работы. Разработка методов и средств снижения помех передачи данных и повышения производительности систем в быстродействующих ИС за счет увеличения энергопотребления и занимаемой поверхности на полупроводниковом кристалле.

Методы исследования. Исследования проводились в соответствии с современными подходами и методами проектирования аналоговых и цифровых схем с применением принципов моделирования ИС и программных средств.

Научная новизна:

- Предложены принципы снижения помех передачи данных в современных приемопередающих системах, которые позволяют удовлетворить требованиям к схемам, разрабатываемым с использованием технологических процессов 14 нм и меньше, со скоростью 112 Гбит/с и выше.
- Предложен способ увеличения вертикального открытия глазковой диаграммы (ГД) выходного узла передатчика (ВУП) с логикой тока, благодаря которому в результате добавления возможности коррективы значений источника тока и сопротивления в передатчике данных,

вертикальная ГД выходного сигнала передатчика увеличилась более чем на 20%, при этом коэффициент подавления сигнала удалось снизить с -6 дБ до -1,2 дБ, за счет увеличения площади, занимаемой на полупроводниковым кристалле передающего блока на 10,6%.

- Разработан метод согласования взаимного расположения сигнала данных и тактового сигнала в передающих каскадах с четырехфазовым тактированием, благодаря которой путём регулирования степени рассогласования между синхросигналами и сигналами данных вертикальное и горизонтальное раскрытие глазковой диаграммы ВУП улучшено в 2 и 1,5 раза соответственно, за счет увеличения площади, занимаемой на полупроводниковом кристалле передающего каскада, и на 8,2% увеличения энергопотребления на 8,5%.
- Создан способ увеличения линейности в быстродействующих приемных узлах, благодаря которому за счет управления пассивными элементами узла подавления удалось улучшить линейность системы до 20% при росте площади, занимаемой на полупроводниковом кристалле, всего на 6,4%.

Практическая ценность работы. Разработанные в диссертации методы, схемотехнические решения, а также программное средство “HS Designer” внедрены в компании “СИНОПСИС АРМЕНИЯ” и широко применяются в процессах исследования и разработки быстрых входных/выходных интерфейсов и блоков интеллектуальной собственности с целью улучшения их динамических и статических параметров. Тестирование программного средства показало, что для ИС, разрабатываемых с использованием современных 14нм меньше технологий и обеспечивающих обработку и передачу данных со скоростью 32 Гбит/с и выше, длительность схемотехнического проектирования сократилась в 3...5 раз без ухудшения достоверности результатов, а предложенные схемотехнические решения и методы значительно улучшили надежность проектируемых ИС и легли в основу разработки новейших архитектур передачи данных со скоростью 112 Гбит/с.

На защиту выносятся:

- способ увеличения вертикального раскрытия ГД выходного узла передатчика с логикой режима;
- метод согласования взаимного расположения данных и тактовых сигналов в четырехфазных передающих узлах;
- способ повышения линейности приёмного узла в быстродействующих интегральных схемах.

Достоверность научных положений. Научные результаты подтверждены математическим обоснованием, представленным в диссертации, а также экспериментальными результатами схемотехнического моделирования.

Внедрение. Основные результаты диссертации, включая предложенные методы, схемотехнические решения, а также программное средство “HS Designer”, были внедрены в компании " СИНОПСИС АРМЕНИЯ " и широко используются в процессах исследования и разработки быстрых входных/выходных интерфейсов и блоков интеллектуально собственности с целью улучшения их динамических и статических параметров.

Апробация работы. Основные научные и практические результаты диссертации докладывались на:

- 39-й Международной конференции "Electronics and Nanotechnology (ELNANO)" (Киев, Украина, 2019 г.);
- 40-ой Международной конференции "Electronics and Nanotechnology (ELNANO)" (Киев, Украина, 2020 г.);
- научном семинаре кафедры "Микроэлектронные схемы и системы" НПУА (Ереван, Армения, 2021 - 2024 гг.);
- научных семинарах ЗАО "Синописис Армения" (Ереван, Армения, 2021 - 2024 гг.).

Публикации. Основные положения диссертации представлены в десяти научных работах, список которых приведен в конце автореферата.

Структура и объём диссертации. Работа состоит из введения, трёх глав, основных выводов, списка из 111 наименований литературы и четырёх приложений. В первом приложении представлен акт о внедрении диссертации, во втором - фрагменты Spice-описания исследуемых в диссертации выходного узла передатчика и приемного звена, в третьем - фрагменты описания программного средства "HS Designer", а в четвертом - списки использованных рисунков, таблиц и сокращений. Основной объём диссертации составляет 99 страниц, а вместе с приложениями - 138 страниц, включая 87 рисунков и 18 таблиц.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность темы диссертации, сформулированы цель и основные задачи исследования, представлены разработанные методы, научная новизна, практическое значение и основные научные положения, выносимые на защиту.

В первой главе представлены основные проблемы, возникающие в современных реализациях выходного узла передатчика которые приводят к увеличению сбоев передаваемых данных. Обсуждены типы тактовых архитектур и их особенности. Изучены ограничения в высокоскоростном узле приемника и основные факторы, влияющие на ошибку передаваемых данных.

Важной частью процесса проектирования высокоскоростной ИС с последовательным соединением является проектирование передающего узла, на начальном этапе которого определяются: архитектура ВУП (логика напряжения или тока), тип модуляции сигнала, метод согласования сигнала, частота тактового сигнала, процесс упорядочивания данных, метод получения однобитовых сигналов

Для реализации логики напряжения выбираются транзисторы N-МОП и P-МОП с физическими размерами, соответствующими параметрами, установленным техническим заданием для выходной нагрузки и фронтов входного сигнала (рис. 1). При этом учитывается вклад сопротивления транзисторов в общее выходное сопротивление. Величина сопротивления R_s определяется в первую очередь необходимым значением выходного сопротивления, а также защитой транзисторов от электростатического разряда. Разрыв выходного сигнала составляет $\pm V_{DD}/2$ для точного согласования между каналом и передатчиком. В современных высокоскоростных ИС ВУП предоставляет возможность обеспечить две модуляции:

модуляцию с ненулевым возвратом (МНВ) и четырехуровневую амплитудную модуляцию (ЧАМ).

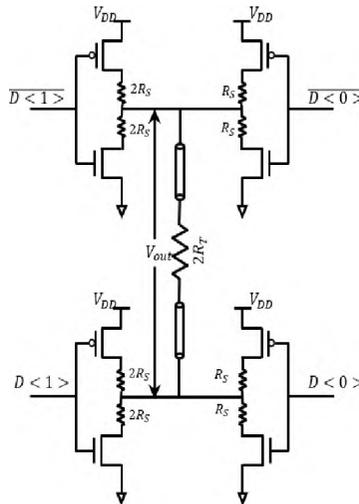


Рис.1. ВУП, обеспечивающий работу МНВ и ЧАМ

Простая схема ВУП с логикой тока основана на дифференциальном усилителе с резистивной нагрузкой, который передает дифференциальные данные, подаваемые на вентили входных транзисторов M1 и M2 (рис. 2 а). Последний может принимать как логические значения 0 и 1, так и колебаться вокруг постоянной составляющей, обеспечивая состояние этих транзисторов в режиме насыщения. ВУП с логикой тока используется в случае МНВ и ЧАМ (рис. 2).

В случае данной структуры максимальное раскрытие выходного сигнала можно обеспечить при логических 0 и 1 входного сигнала, при котором дифференциальные выходные сигналы будут принимать значения V_p и $V_p - IR$ соответственно. Для обеспечения промежуточных уровней напряжения ЧАМ сигнала формирование входного сигнала осуществляется за счет использования многоуровневого передатчика (рис. 2 б). В схематической реализации последнего выходной дифференциальный сигнал принимает значения от $-I \cdot R$ до $I \cdot R$, обеспечивая также четырехуровневую модуляцию, обусловленную промежуточными напряжениями.

Для обеспечения промежуточных напряжений необходимы транзисторы с весовыми коэффициентами, которые при параллельном включении увеличивают ток одной ветви за счет такого же уменьшения другой. Основными преимуществами данной ВУП по сравнению с логикой напряжения является то что оно более высокоскоростной и имеет возможность точнее регулировать амплитуду выходного сигнала. А недостатком является более высокие показатели статического энергопотребления.

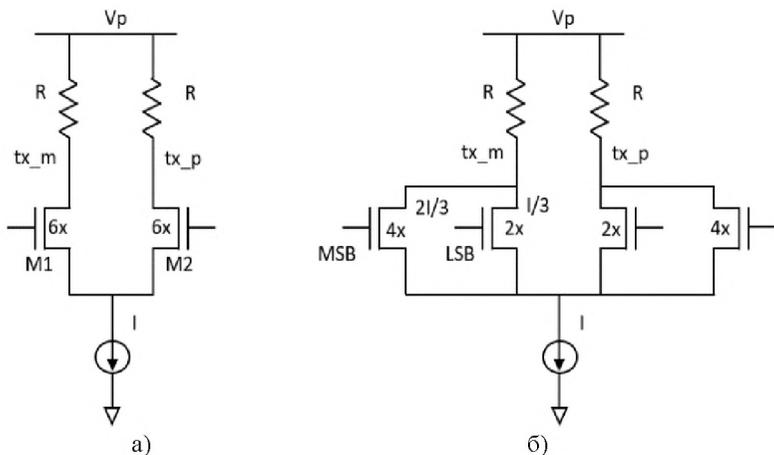


Рис. 2. Схема ВУП с логикой тока для случаев МНВ (а) и ЧАМ (б)

Высокие показатели производительности ИС существенно связаны с тактовыми архитектурами. Другими словами, независимо от того, какую полосу пропускания имеют узлы приемника/передатчика, в конечном итоге передача и прием данных осуществляется по тактовому сигналу. Существуют три основные архитектуры тактирования: полная скорость, половинная скорость и четверть скорости (табл. 1).

Таблица 1

Преимущества и недостатки тактовых архитектур

Архитектура тактирования	Преимущества	Недостатки
Полная скорость	Небольшая вибрация сигнала	Высокое энергопотребление
Половинная скорость	Небольшое энергопотребление	Сильная вибрация сигнала
На четверть скорости	Небольшое энергопотребление	Сложность реализации

Нарушения синхронизации между передаваемыми данными и тактовыми сигналами приводят к ухудшению раскрытия ГД, при этом существенное влияние оказывают шумы, присутствующие в цепях питания. С целью точной оценки влияния последних в случае проектирования по современной 14nm FinFet технологии SAED и разработки новых способов решения этой проблемы было выполнено схемотехническое проектирование и моделирование с применением известных в литературе подходов. В процессе проектирования также учитывались квазислучайные шумы на цепях питания и их влияние на процесс синхронизации и

параметры ГД. Результаты показали, что при применении существующих решений для согласования взаимного расположения данных и синхросигналов происходит существенное ухудшение глазковой диаграммы (рис. 3).

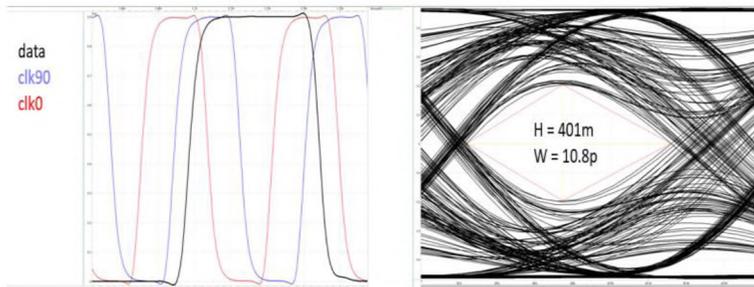


Рис. 3. Искаженный вид ГД вследствие рассогласования взаимного расположения данных и тактовых сигналов

Бесперебойная передача данных в современных узлах ввода-вывода зависит от качества как передатчика, так и приёмника, а также от потерь из-за канала между ними. Поэтому наличие только качественного передатчика еще не является достаточным условием для обеспечения бесперебойного быстрого соединения систем передатчика-приемника. Необходимо иметь приемник, совместимый как с передатчиком, так и с каналом. Для реализации такой функции используются узлы выравнивания (УВ). В современных приемных узлах коррекция осуществляется с помощью двух подузлов: входного подавителя (ВП) и усилителя с переменным коэффициентом усиления (рис. 4).

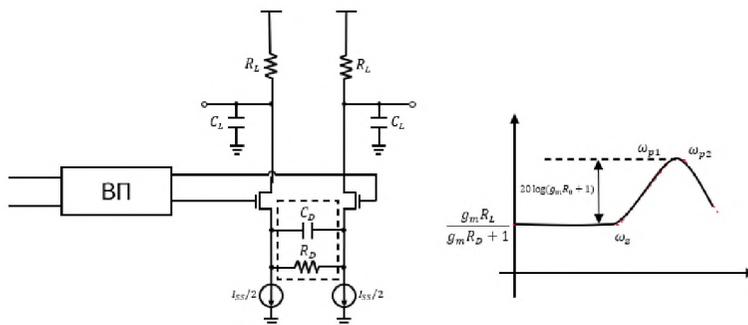


Рис.4. Схема выравнивания

Наличие транзисторов в схемах получения сопротивления R_D и емкости C_D ограничивает полосу пропускания УВ. С другой стороны, необходимость обеспечения большого коэффициента подавления сигнала на низкой частоте

приводит к повышению напряжения на истоке входного транзистора УВ, что ограничивает его линейность.

Таким образом, учитывая области применения ИС, вышеупомянутые проблемы являются ограничивающим фактором для безошибочной передачи и приема данных. Следовательно, необходимо разработать новые методы, которые позволят улучшить или компенсировать указанные недостатки, обеспечивая безошибочную передачу данных в высокоскоростных ИС.

Во второй главе представлены разработанные методы и даются решения проблем, описанных в первой главе.

Способ увеличения вертикального раскрытия глазковой диаграммы ВУП с логикой тока.

Для ВУП с логикой тока был разработан алгоритм (рис. 5), с помощью которого появляется возможность определять входную амплитуду последнего через различные регулируемые узлы так, что источник тока “хвоста” остается в режиме насыщения и устраняет неточности, вызванные нелинейными явлениями.

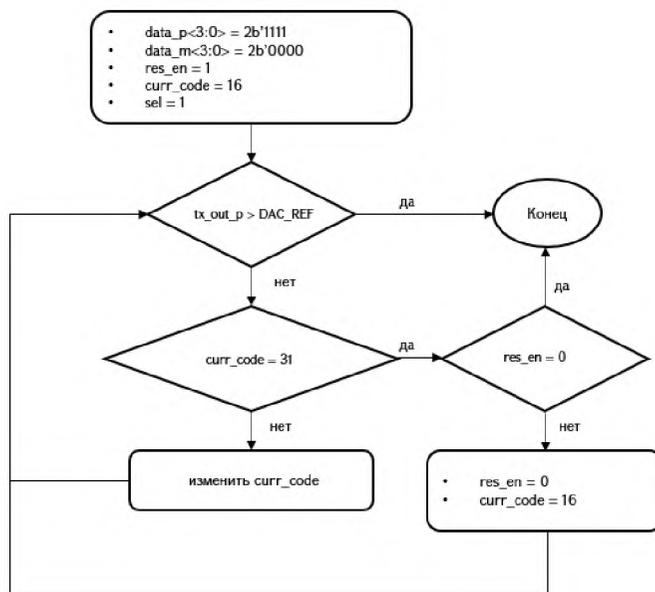


Рис. 5. Блок-схема предлагаемого метода увеличения вертикального раскрытия ГД ВУП с помощью системы регулирования под управлением цифрового кода

Для пояснения принципа работы алгоритма представлена схема его реализации (рис. 6). Здесь реализованы все необходимые узлы, отвечающие за передачу необходимых данных узлам, проверяющим и реализующим последовательность упомянутых шагов или получающим от них соответствующие коды. В частности, добавлены следующие узлы:

- Управляемый источник тока I_c и резистор R_L ;
- Резисторы $R_{Ф-p}$ и $R_{Ф-m}$, подключенные к узлам tx_out_p и tx_out_m соответственно;
- Мультиплексор 2:1;
- Компаратор;
- Регистр последовательной аппроксимации.

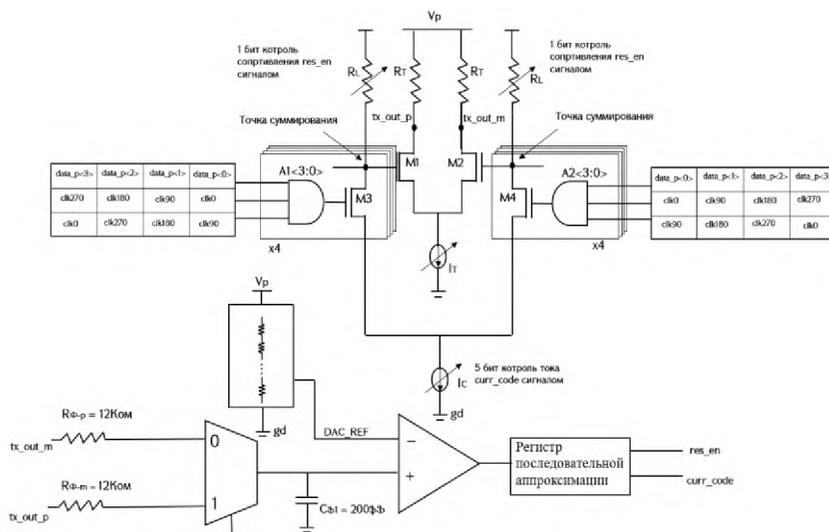


Рис. 6. Предлагаемая архитектура ВУП

Результаты также сведены в табл. 2, из которой видно, что вертикальное раскрытие глазковой диаграммы улучшилось на 107 мВ в типичном случае, на 153 мВ в случае быстрого процесса и на 122 мВ в случае медленного процесса.

Таблица 2

Значения раскрытия ГД до и после внедрения решения в случае МНВ

Процесс	Типичный		Быстрый		Медленный	
	перед внедрением	после внедрения	перед внедрением	после внедрения	перед внедрением	после внедрения
Вертикальное раскрытие ГД (мВ)	766	873	947	1100	513	635

В случае ЧАМ результаты внедрения метода обобщены в табл. 3, из которой становится ясно, что размеры трех ГД сигнала увеличились.

Таблица 3

Значения раскрытия ГД до и после внедрения решения в случае ЧАМ

Процесс	Типичный		Быстрый		Медленный	
	перед внедрением	после внедрения	перед внедрением	после внедрения	перед внедрением	после внедрения
Вертикальное раскрытие верхней ГД (мВ)	275	291	327	335	151	172
Вертикальное раскрытие средней ГД (мВ)	267	304	335	383	134	166
Вертикальное раскрытие нижней ГД (мВ)	278	294	330	337	155	177

Архитектура взаимного согласования положения данных и синхросигналов в передающих узлах с четырехфазной синхронизацией.

Помехи в источнике питания и расброс технологического процесса вызывают несоответствие передаваемых данных тактовому сигналу, что приводит к ухудшению раскрытия ГД передаваемого сигнала.

Для устранения упомянутых недостатков была предложена архитектура, посредством которой взаимные положения данных и тактового сигнала согласовываются перед передачей данных. Для реализации архитектуры в узел передатчика добавляется аналоговая схема, которая генерирует выходные напряжения в зависимости от положения тактового сигнала и данных (рис. 7).

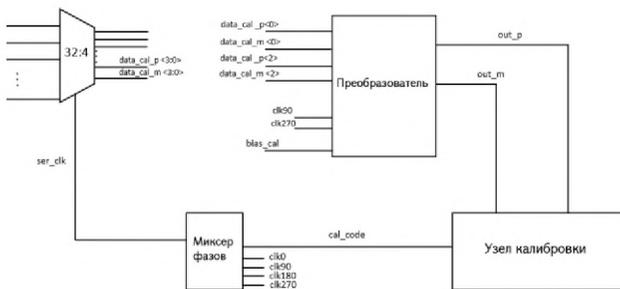


Рис. 7. Схема реализации предлагаемой архитектуры

Цель процесса калибровки — расположить тактовый сигнал и данные так, чтобы расстояние между их краями было равно длительности одного символа. В начале процесса значение управляющего цифрового кода выбирается близким к максимальному. В результате фазовый смеситель тактовых сигналов формирует сигнал для контура секвенсора. В зависимости от значения цифрового кода изменяется фаза тактового сигнала узла секвенсора. Последняя приводит к сдвигу фазы выходного сигнала данных, который изменяет период перекрытия тактовых сигналов и сигнала данных, что способствует к изменению напряжений out_p и out_m . После внедрения архитектуры было проведено моделирование, в результате которого выяснилось, что вертикальное раскрытие ГД увеличилось более чем в два раза (рис. 8). Горизонтальная апертура также увеличилась до 16,6 пс по сравнению с предыдущим 10,8пс.

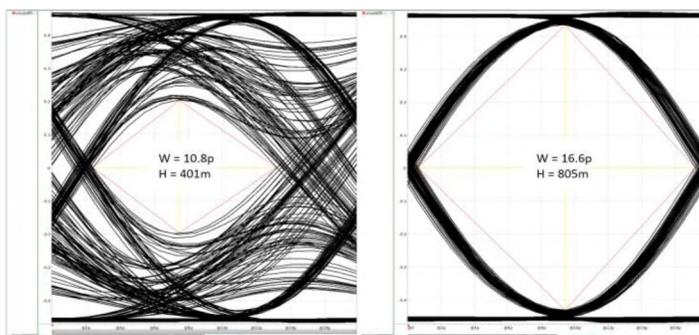


Рис. 8. Сравнительный анализ полученных результатов

Предлагаемый метод улучшает вертикальное и горизонтальное раскрытие ГД выходного сигнала передающего узла, способствуя снижению ошибки передаваемых данных за счет увеличения площади на 8,5% и потребления энергии на 2,6%. Полученные результаты обобщены в табл. 4.

Таблица 4

Значения открытия ГД до и после внедрения предлагаемого метода

Процесс	Типичный		Быстрый		Медленный	
	перед внедрением	после внедрения	перед внедрением	после внедрения	перед внедрением	после внедрения
Горизонтальное раскрытие ГД (пс)	10,8	16,6	13,4	16,7	9,4	16,3
Вертикальное раскрытие ГД (мВ)	401	805	640	1050	335	710

Метод уменьшения помех при передаче данных путем увеличения линейности в быстродействующих приемных узлах.

Для повышения линейности приемного узла предложен подход, позволяющий сделать управляемым коэффициент усиления высоких частот узла подавления входного сигнала (рис. 9). Размер ёмкости регулируется с помощью транзисторных ключей. За счет этого для узла выравнивания создаются более благоприятные условия работы, обеспечивающие высокую линейность.

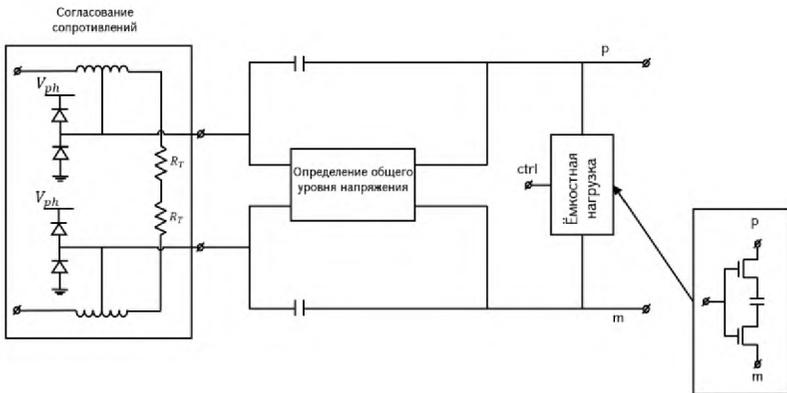
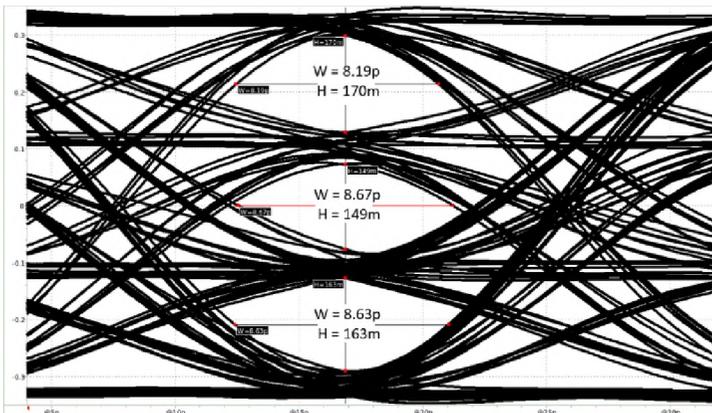
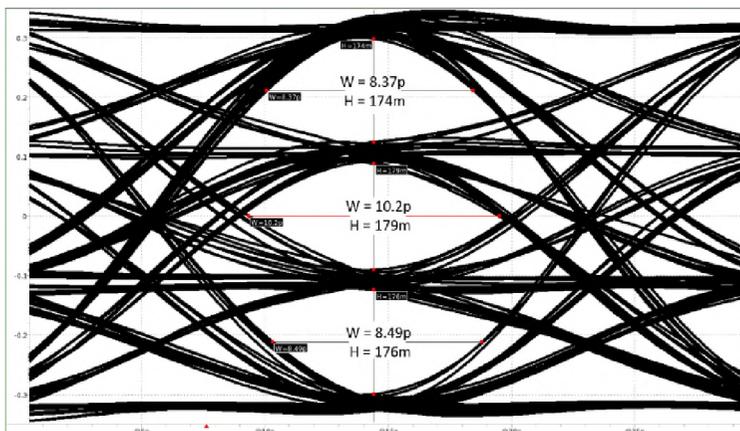


Рис. 9. Схема узла подавления

До применения метода среднее ГД было меньше, чем верхний и нижний (рис. 10а). Из-за этого коэффициент рассогласования уровней уменьшился до 92,6%.



а)



б)

Рис. 10. ГД до (а) и после (б) применения метода

Из полученных результатов временного моделирования видно, что вертикальные раскрытия ГД расположены достаточно близко друг к другу и обеспечивают коэффициент рассогласования уровней (КРУ) 98,6%. По сравнению с результатами без использования метода, КРУ увеличился более чем на 6% для типичного процесса. Полученные результаты обобщены в табл. 5.

Таблица 5

Значения КРУ до и после внедрения решения в случае МНВ

Процесс	Типичный		Быстрый		Медленный	
	перед внедрением	после внедрения	перед внедрением	после внедрения	перед внедрением	после внедрения
КРУ	92,6	98,6	91,8	98	94,1	97

В третьей главе представлено разработанное программное средство “HS Designer”, которое дает возможность реализовать предложенные решения, выполнить моделирование, проанализировать полученные результаты. Программное обеспечение (ПО) снижает вероятность ошибки, вносимой дизайнерами.

В начале работы необходимо в качестве входа предоставить Spice-описание схемы, которая должна быть смоделирована. После выполнения необходимых вводов в главном окне дизайнер переходит к подразделу выбора измерений. Выбрав наблюдаемую схему, условия моделирования и необходимые для нее измерения, нажатием кнопки <<Simulate>> происходит моделирование (рис. 11).

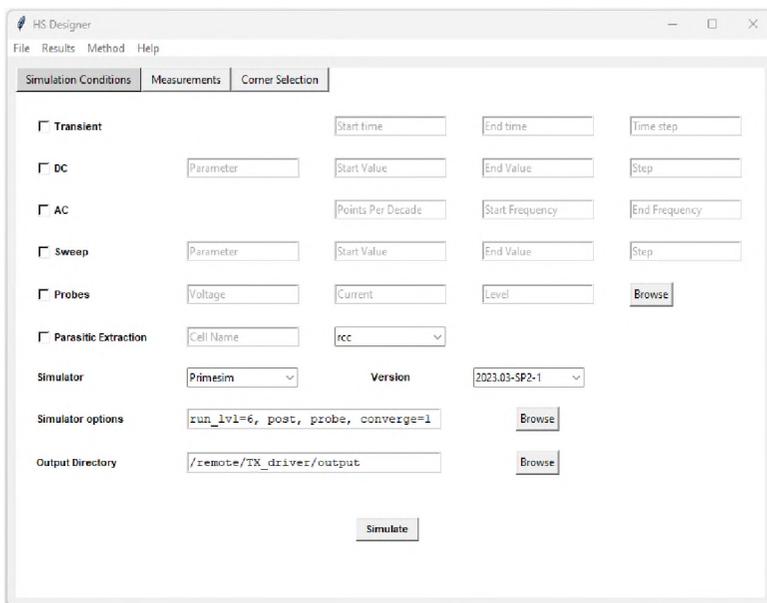


Рис. 11. Главное окно ПО

Результаты проектирования с помощью ПО представлены в табл. 6 и 7.

Таблица 6
Сравнение параметров в худшем процессе в случае МНВ предлагаемого и существующего ВУП

Архитектура ВУП	Существующий ВУП	Предлагаемый ВУП	Результат, полученный с помощью ПО
Вертикальное раскрытие ГД (мВ)	513	635	632
Горизонтальное раскрытие ГД (пс)	10,8	16,6	17,1
Вибрация сигнала(пс)	1,7	0,5	0,43
Занимаемая площадь (мкм ²)	5120	5662	5662

Таблица 7

Сравнение параметров в худшем процессе в случае МНВ предлагаемого и существующего ВУП

Архитектура ВУП	Существующий ВУП	Предлагаемый ВУП	Результат, полученный с помощью ПО
Вертикальное раскрытие верхнего ГД (мВ)	151	172	173
Вертикальное раскрытие среднего ГД (мВ)	140	166	170
Вертикальное раскрытие нижнего ГД (мВ)	155	177	175
Горизонтальное раскрытие верхнего ГД (пс)	7,05	7,7	7,5
Горизонтальное раскрытие среднего ГД (пс)	8,64	9,4	9,5
Горизонтальное раскрытие нижнего ГД (пс)	7,17	7,76	7,3

Наибольшее расхождение между результатами оптимизации, полученными с помощью ПО, и результатами, описанными во второй главе, не превышает 2%. Таким образом, можно заключить, что данное программное решение при существенной экономии времени проектирования и приемлемой потере точности применимо для задач проектирования современных интегральных систем.

ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Предложены принципы снижения помех в передаче данных в современных приемопередающих системах, которые позволят удовлетворить требования к схемам, разрабатываемым с использованием технологических процессов 14 нм и меньше со скоростью 56 Гбит/с и выше.
2. Предложен способ увеличения вертикального открытия глазковой диаграммы (ГД) выходного узла передатчика (ВУП) с логикой тока, благодаря которому в результате добавления возможности корректировки значениями источника тока и сопротивления в передатчике данных работающем со скоростью до 112 Гбит/с, вертикальная ГД выходного сигнала передатчика увеличилась более чем на 20%, при этом коэффициент

подавления сигнала удалось снизить с -6 дБ до -1,2 дБ, за счет увеличения площади, занимаемой на полупроводниковым кристалле передающего блока на 10,6%.

3. Разработан метод согласования взаимного расположения сигнала данных и тактового сигнала в передающих каскадах с четырехфазовым тактированием, благодаря которой путём регулирования степени рассогласования между синхросигналами и сигналами данных вертикальное и горизонтальное раскрытие глазковой диаграммы ВУП улучшено в 2 и 1,5 раза соответственно, за счет увеличения площади, занимаемой на полупроводниковом кристалле передающего каскада, на 8,2% увеличения энергопотребления на 8,5%.
4. Создан способ увеличения линейности в быстродействующих приемных узлах, благодаря которому за счет управления пассивными элементами узла подавления удалось улучшить линейность системы до 20% при росте площади, занимаемой на полупроводниковом кристалле, всего на 6,4%.
5. Разработанные в диссертации методы, схемотехнические решения, а также программное средство “HS Designer” внедрены в компании “СИНОПСИС АРМЕНИЯ” и широко применяются в процессах исследования и разработки быстрых входных/выходных интерфейсов и блоков интеллектуальной собственности с целью улучшения их динамических и статических параметров. Тестирование программного средства показало, что для ИС, разрабатываемых с использованием современных 14nm меньше технологий и обеспечивающих обработку и передачу данных со скоростью 32 Гбит/с и выше, длительность схемотехнического проектирования сократилась в 3...5 раз без ухудшения достоверности результатов, а предложенные схемотехнические решения и методы значительно улучшили надежность проектируемых ИС и легли в основу разработки новейших архитектур передачи данных со скоростью 112 Гбит/с.

Основные результаты диссертации опубликованы в следующих работах:

1. **Melikyan V.Sh., , Hayrapetyan A.K., Kostanyan H.T., Margaryan H.V., Grigoryan H.T., Martirosyan A.A.** Power supply ratio improvement using self-calibration in voltage regulators // Proc. Univ. Electronics. – 2019. - Vol. 24, no. 3. - P. 248–256. DOI: 10.24151/1561-5405-2019-24-3-248-256
2. **Grigoryan H.T., Hakobyan L.D.** A linearity improvement method for high-speed receiver // Proceedings of NPUA: Information technologies, Electronics, Radio engineering. – 2023. - № 2. – P. 109-118.
3. **Grigoryan H.T.** The Eye Opening Improvement Method For A High Speed Current Mode Logic Driver// Proceedings of the Republic of Armenia National Academy of Sciences and National Polytechnic University of Armenia. Series of Technical Sciences: ISSN:0002-306X. – 2023. – Vol. 76, № 1. – P. 77-84.

4. **Grigoryan H.T.** The Data To Clock Aligment Method In Quarter-Rate High Speed Transmitters // Proceedings of the Republic of Armenia National Academy of Sciences and National Polytechnic University of Armenia. Series of Technical Sciences: ISSN:0002-306X. – 2023. – Vol. 76, № 3. – P. 325-332.
5. Stability Improvement Method for Ultra-Low-Power Bandgap Reference / **A.Kh. Mkhitarian, H.T. Kostanyan, H.T. Grigoryan, H.V. Margaryan, H.G. Kirakosyan, H.T. Kostanyan, M.T. Grigoryan, K.O. Petrosyan** // 2020 IEEE 40th International Conference on Electronics and Nanotechnology (ELNANO). – 2020. – P. 331-334, doi: 10.1109/ELNANO50318.2020.9088904
6. **Mkhitarian A.Kh., Petrosyan G.A., Grigoryan H.T., Hovhannisyan V.D.** The reliability compensation method of voltage controlled oscillators // Proceedings of NPUA: Information Technologies, Electronics, Radio engineering. - 2020. - № 2. - P. 65-70.
7. **Grigoryan H.T., Grigoryan M.T., Hovhannisyan V.D.** A high speed serial-to-parallel convertor with output word length control // Proceedings of the RA NAS and NPUA. Series of Technical Sciences ISSN:0002-306X. – 2020. - Vol. 73. - № 4. - P. 416-423.
8. **Melikyan V.Sh., Grigoryan H.T., Hovhannisyan V.D., Grigoryan M.T., Avestisyan A.A.** Real number modeling flow of digital to analog converter. Proc. Univ. Electronics, 2021, vol. 26, no. 2, pp. 144–153. DOI: 10.24151/1561-5405-2021-26-2- 144-153
9. The Minimizatn Method of Transistor Ageing Influence on Modern Voltage References / **H.T. Grigoryan, H.V. Margaryan., V.A. Janpoladov, H.T. Kostanyan, H.G. Kirakosyan, H.T. Kostanyan, M.T. Grigoryan, G.A. Petrosyan** // 2020 IEEE 40th International Conference on Electronics and Nanotechnology (ELNANO). – 2020. - P. 335-338, doi: 10.1109/ELNANO50318.2020.9088844.
10. **Mkhitarian A.Kh. Grigoryan H.T., Grigoryan M.T., Hovhannisyan V.D., Avestisyan A.A.** The temperature drift impact compensation method in a high-speed receiver // Proceedings of the RA NAS and NPUA. Series of Technical Sciences ISSN:0002-306X. – 2020. - Vol. 74, № 2. - P. 189-196.

ԱՄՓՈՓԱԳԻՐ

Էլեկտրոնային տվյալների վիճակագրությամբ զբաղվող ընկերությունների կանխատեսումների համաձայն՝ մինչև 2025 թվականը մեկ տարվա ընթացքում գեներացված տվյալների ծավալները կգերազանցեն 180 Չետաբայթը: Տվյալների 70-75%-ը պահպանվում է դրանց համար նախատեսված կենտրոններում, որոնք հատուկ կառույցներ են՝ մեծաքանակ թվային տեղեկույթի պահպանման, կարգավորման և բաշխման համար: Ներկայումս արդիական խնդիր է նման կենտրոնների միջև անխափան կապի ապահովումը, որն իրականացնող հիմնական հանգույցները արագագործ ինտեգրալ սխեմաներն են (ԻՄ):

Նման կենտրոններին հասանելիություն ունենալու համար հայտնի ընկերությունները վճարում են մեծ գումարներ՝ մի կողմից, իսկ մյուս կողմից՝ դրանց սեփականատերերն իրականացնում են անընդհատ արդիականացում՝ ի հաշիվ էլ ավելի արագագործ ԻՄ-երի տեղակայման: Արդյունքում ժամանակակից կենտրոններում միավոր հաղորդիչ/ընդունիչ հանգույցի արագությունը հասել է 112Գբիթ/վ-ի: Նման արագություններով աշխատող ԻՄ-երում ազդանշանների անկորուստ փոխանցումը և ընդունումը բարդագույն խնդիրներ են և պահանջում են մշակման ու արտադրական գործընթացների անհամեմատ ավելի բարձր ճշտություն: Եթե երկրորդի ապահովումն ուղղակիորեն պայմանավորված է ԻՄ-եր արտադրող գործարանների տեխնիկական հազցվածությամբ, ապա առաջինի պարագայում այն ամբողջապես հիմնված է նախագծվող ԻՄ-երի որակական և պարամետրական ցուցանիշների վրա: Մասնավորապես՝ տվյալների մշակման թույլատրելի առավելագույն սխալանքի համար սահմանվում է 10^{-12} արժեք, ինչի ապահովմանը խոչընդոտող գործոններ են սինքրոնազդանշանի թրթռոցը, սնուցման դողերում առաջացող աղմուկները, ազդանշանի անդրադարձումները: Փոխանջատման բարձր ակտիվությամբ պայմանավորված՝ մեծանում է նաև ԻՄ-երի էներգասպառումը՝ առաջացնելով սնման լարման հաստատուն բաղադրիչի անկում: Նշված հատվածներում մեծանում է ինքնատաքացումը՝ առաջացնելով ԻՄ-ի կազմում գտնվող տարրերի, ինչպես նաև միջմիացումների հուսալիության անկում և այլն: Նման գործոններով պայմանավորված՝ մեծանում է ԻՄ-երում տվյալների փոխանցման սխալանքը՝ պահանջելով նոր լուծումներ և մոտեցումներ՝ միտված արագագործ ԻՄ-երում տվյալների հաղորդման խափանումների նվազեցման միջոցների մշակմանը և հետազոտմանը:

Ատենախոսությունը նվիրված է էներգասպառման և կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի նվազագույն աճի հաշվին արագագործ ինտեգրալ սխեմաներում տվյալների հաղորդման խափանումների նվազեցման և համակարգի արտադրողականության բարձրացման եղանակների, մեթոդների և միջոցների մշակմանը:

Առաջարկվել են ժամանակակից ընդունիչ-հաղորդիչ համակարգերում տվյալների հաղորդման խափանումների նվազեցման մոտեցումներ, որոնք թույլ կտան բավարարել 112Գբիթ/վ և ավելի բարձր արագագործությամբ և 14 նանոմետրանոց և ավելի փոքր տեխնոլոգիական գործընթացներով մշակվող սխեմաներին ներկայացվող պահանջները:

Առաջարկվել է հոսանքի ռեժիմ տրամաբանությամբ հաղորդչի էլքային հանգույցի աչք դիագրամի (ԱԴ) ուղղահայաց բացվածքի մեծացման եղանակ, երբ ընդհուպ մինչև 112Գբիթ/վ արագությամբ տվյալների փոխանցման նախահաղորդիչ կասկադում, հոսանքի աղբյուրի և դիմադրության արժեքների կառավարելիության ավելացման արդյունքում, հաղորդչի էլքային ազդանշանի ԱԴ-ի ուղղահայաց բացվածքը մեծացել է ավելի, քան 20%-ով: Մինևույն ժամանակ, հաջողվել է նվազեցնել ազդանշանի ճնշման գործակիցը՝ -6դԲ-ից հասցնելով -1,2դԲ-ի, ի հաշիվ հաղորդիչ հանգույցի՝ կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի 10,6% աճի:

Մշակվել է քառափուլ տակտավորմամբ հաղորդիչ հանգույցներում տվյալի և տակտային ազդանշանի փոխադարձ դիրքի համաձայնեցման ճարտարապետություն, երբ սինքրոնազդանշանների և տվյալների հաղորդման ազդանշանների միջև համաձայնեցման շեղման չափի կարգաբերման միջոցով հաղորդչի էլքային հանգույցի (ՇԵՇ) ԱԴ-ի ուղղահայաց և հորիզոնական բացվածքները բարելավվել են մինչև 2 և 1,5 անգամ համապատասխանաբար, հաղորդիչ հանգույցի կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի 8,5% մեծացման և էներգասպառման 2,6% աճի հաշվին:

Ստեղծվել է արագագործ ընդունիչներում գծայնության մեծացման եղանակ, երբ մուտքային ճնշող հանգույցի պասիվ տարրերի կառավարման միջոցով հնարավորություն է ստեղծվել բարելավելու համակարգի գծայնությունը մինչև 20%-ով՝ կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի 6,4% աճի պարագայում:

Ատենախոսությունում առաջարկված մեթոդները, սխեմատեխնիկական լուծումները, ինչպես նաև HS Designer-ը լայնորեն կիրառվում են արագագործ մուտք-էլք ինտերֆեյսների և մտավոր սեփականությունների հետազոտման և մշակման գործընթացներում: Ծրագրային միջոցի փորձարկումը ժամանակակից 14 նանոմետրանոց և ավելի փոքր տեխնոլոգիական գործընթացով նախագծվող և 32Գբիթ/վ և ավելի արագությամբ տվյալների մշակում և հաղորդում ապահովող ԻՄ-երում ցույց է տվել, որ դրանց սխեմատեխնիկական նախագծման տևողությունը նվազել է 3-5 անգամ՝ առանց արդյունքների հավաստիության անկման, իսկ առաջարկված սխեմատեխնիկական լուծումներն ու մեթոդները բարելավել են նախագծվող ինտեգրալ սխեմաների հուսալիությունը և դարձել են նորագույն 112Գբիթ/վ արագությամբ տվյալների հաղորդման ճարտարապետությունների մշակման հիմք:

HAYK TARON GRIGORYAN

RESEARCH AND DEVELOPMENT OF METHODS FOR REDUCING TRANSMITTED DATA DISRUPTIONS IN HIGH-SPEED INTEGRATED CIRCUITS

SUMMARY

According to forecasts by companies specializing in electronic data statistics, by 2025 the volume of data generated annually will exceed 180 zettabytes. 70-75% of this data is stored in specialized data centers, which are dedicated facilities designed for storing, managing, and distributing large amounts of digital information. Currently, ensuring seamless connectivity between such centers is considered a pressing issue, with high-speed integrated circuits (ICs) being the critical components enabling this connectivity.

Major companies pay substantial sums to gain access to these data centers, while the owners continuously upgrade them by deploying even faster ICs. As a result, in modern data centers, the speed of a single transceiver has reached 112 Gbps. At such high speeds, ensuring lossless signal transmission and reception in ICs poses immense challenges, requiring unprecedented precision in design and manufacturing processes. While the latter directly depends on the technical capabilities of the IC manufacturing facilities, the former relies entirely on the quality and parametric characteristics of the designed ICs. Specifically, the maximum permissible bit error rate is set at 10^{-12} , which is challenged by factors such as clock jitter, power supply noise, and signal reflections. Additionally, the high switching activity increases power consumption in ICs, leading to a drop in the steady-state component of the supply voltage, reducing the reliability of internal components and interconnects.

These factors contribute to an increase in data transmission errors in ICs, necessitating new solutions and approaches aimed at developing and investigating methods for reducing data transmission disruptions in high-speed ICs.

The dissertation is dedicated to developing methods, techniques, and means to reduce data transmission disruptions in high-speed integrated circuits while minimizing power consumption and chip area, thereby improving system performance. Principles for reducing data transmission disruptions in modern transceiver systems have been proposed, enabling compliance with requirements for circuits operating at 112 Gbps and higher speeds, using 14nm and smaller technology nodes.

A method for increasing the eye diagram opening of the output driver in current-mode logic transmitters has been proposed. By controlling the current source and resistance values in the pre-driver stage, the output signal eye diagram opening was increased by more than 20%, while the signal compression ratio was improved from -6dB to -1.2dB, at the cost of a 10.6% increase in transmitter area.

A method for aligning data and clock signals in four-phase clocked transmitters has been developed. By adjusting the alignment offset between clock and data signals, the vertical and horizontal eye diagram openings of the transmitter were improved by up to 2x and 1.5x, respectively, with an 8.5% increase in transmitter area and a 2.6% increase in power consumption.

A method for improving linearity in high-speed receiver circuits has been created, where controlling the passive elements in the input termination stage allows improving system linearity by up to 20%, with a 6.4% increase in chip area.

The methods, circuit techniques, and the HS Designer software tool proposed in this dissertation have been implemented at “SYNOPSYS ARMENIA” are widely used in the research and development of high-speed I/O interfaces and intellectual properties. Testing the software tool on ICs designed in 14nm and smaller technology nodes, operating at 32 Gbps and higher data rates, has shown a 3-5x reduction in circuit design time without compromising accuracy. The proposed circuit techniques and methods have significantly improved the reliability of the designed integrated circuits and formed the basis for developing state-of-the-art 112 Gbps data transmission architectures. Integrated circuits (IC) are widely used in a number of areas crucial to human life. This has led to a sharp increase in the demand for the design of circuits that meet technical tasks of varying degrees of complexity.

