

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ, ԳԻՏՈՒԹՅԱՆ,  
ՄՇԱԿՈՒՅԹԻ ԵՎ ՍՊՈՐՏԻ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

## Գևորգյան Վազգեն Մեմյոնի

ՑԱՐԳԱՎՈՒՄ ՀԻՇՈՂՈՒԹՅԱՆ ՂԵԿԱՎԱՐՄԱՆ ՄՈՒՏՔ/ԵԼՔ  
ՀԱՆԳՈՒՅՑՆԵՐԻ ՄՇԱԿՈՒՄԸ ԵՎ ՀԵՏԱԶՈՏՈՒՄԸ

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ  
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի  
հայցման ատենախոսության

### ՄԵՂՄԱԳԻՐ

Երևան 2024

МИНИСТЕРСТВО ОБРАЗОВАНИЯ, НАУКИ, КУЛЬТУРЫ И СПОРТА  
РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

## Геворгян Вазген Семенович

РАЗРАБОТКА И ИССЛЕДОВАНИЕ НИЗКОВОЛЬТНЫХ УЗЛОВ  
ВВОДА-ВЫВОДА УПРАВЛЕНИЯ ПАМЯТЬЮ

### АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата  
технических наук по специальности 05.27.01-  
“Электроника, микро- и наноэлектроника”

Ереван 2024

Ատենախոսության թեման հաստատվել է Հայաստանի ազգային պոլիտեխնիկական համալսարանում (ՀԱՊՀ):

Գիտական ղեկավար՝ տ.գ.դ. Վազգեն Շավարշի Մելիքյան  
Պաշտոնական ընդդիմախոսներ՝ տ.գ.դ. Օլեգ Հարությունի Պետրոսյան  
տ.գ.թ. Մանվել Տիգրանի Գրիգորյան  
Առաջատար կազմակերպություն՝ «Երևանի կապի միջոցների գիտահետազոտական ինստիտուտ» ՓԲԸ

Ատենախոսության պաշտպանությունը կայանալու է 2024թ. հուլիսի 26-ին, ժամը 12<sup>00</sup>-ին, ՀԱՊՀ-ում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:

Սեղմագիրն առաքված է 2024թ. հունիսի 17-ին:

046 Մասնագիտական խորհրդի գիտական քարտուղար, տ.գ.թ.



Բենիամին Ֆելիքսի Բադալյան

---

Тема диссертации утверждена в Национальном политехническом университете Армении (НПУА)

Научный руководитель: д.т.н. Вазген Шаваршович Меликян

Официальные оппоненты: д.т.н. Олег Арутюнович Петросян  
к.т.н. Манвел Тигранович Григорян

Ведущая организация: ЗАО "Ереванский научно-исследовательский институт средств связи"

Защита диссертации состоится 26-го июля 2024 г. в 12<sup>00</sup> ч. на заседании Специализированного совета 046 — "Радиотехники и электроники", действующего при Национальном политехническом университете Армении, по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 17-го июня 2024г.

Ученый секретарь  
Специализированного совета 046,  
к.т.н.



Бениамин Феликсович Бадалян

## ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

**Актуальность темы.** Технологические процессы производства современных интегральных схем (ИС) активно развиваются. Минимальная длина канала используемых в них полевых транзисторов металл-оксид-полупроводник (МОП) достигает 2 нм. Это приводит к уменьшению площади выпускаемых ИС. Благодаря этому на одном кристалле производится большее количество ИС, в результате чего увеличивается процент не бракованных ИС. Таким же образом снижается стоимость одной ИС.

С другой стороны, уменьшение площади ИС отрицательно влияет на их теплоотвод и нагрев. Также становится более выраженным явление самонагрева. Снижение энергопотребления является одним из решений вышеперечисленных проблем. Уменьшение напряжения питания является эффективным подходом к уменьшению его динамической составляющей. Последняя зависит от напряжения по квадратичному закону. Поэтому проектирование низковольтных цепей является современной задачей.

В современных системах передачи данных объемы передаваемых данных, а также скорости их передачи постоянно увеличиваются. Передача данных между устройствами памяти и ядром ИС осуществляется через узлы ввода-вывода (В/В). Они обеспечивают бесперебойный прием, передачу и обработку данных и поэтому играют важную роль в надежности данных.

В узлах В/В управления памятью также существует проблема понижения энергопотребления и нагрева кристалла из-за его высокого значения. Поэтому использование в них низковольтных источников питания является современным требованием. Однако это может вызвать ряд проблем, связанных с ограничением рабочего диапазона транзисторов, используемых в схемах узлов В/В, что приводит к усложнению конструкции. Использование транзисторов с разными пороговыми напряжениями частично решает эту проблему. Однако снижение пороговых напряжений транзисторов приводит к увеличению их статического энергопотребления. Поэтому разработка низковольтных узлов управления памятью, отвечающих предъявляемым требованиям, является актуальной задачей.

**Объект исследования.** Низковольтные узлы ввода-вывода управления памятью и средства их разработки.

**Цель работы.** Разработка и исследование способов проектирования низковольтных узлов В/В управления памятью, отвечающих современным требованиям.

**Методы исследования.** В диссертации использованы современные подходы и методы проектирования узлов В/В управления памятью, принципы схемотехнического моделирования и языка сценариев для их программной реализации.

### **Научная новизна:**

- Предложены подходы к проектированию узлов В/В управления памятью для примененного 5-нанометрового технологического процесса, улучшающие целевые показатели производительности схем за счет увеличения занимаемой площади на кристалле и повышения энергопотребления.

- Разработан метод регулирования выходного сопротивления передатчика, благодаря которому разброс значений сопротивлений ветвей Р-МОП и N-МОП его выходного буфера уменьшился в среднем с 12,7 Ом до 5,6 Ом. Динамическое и статическое энергопотребление при использовании метода увеличивается на 25,5% и 18,8% соответственно. Площадь физического оформления на кристалле увеличивается на 26,6%.
- Предложен способ обнаружения переключения напряжений питания в узлах В/В управления памятью с использованием детекторов состояния напряжения питания ядра и самофиксирующегося типа, благодаря которому помехоустойчивость схемы к изменениям напряжения питания повышается на 19,9% за счет увеличения энергопотребления на 5,9% и площади цепи на кристалле на 13,4%.
- Создан метод проектирования передатчика с общим сопротивлением и транзисторами с тонким оксидом, при котором перенапряжения транзисторов указанного типа исключаются введением дополнительных цепей, что позволяет улучшить горизонтальное и вертикальное раскрытия глазковой диаграммы данных соответственно на 9,5% и 16,3% при целевой скорости передачи данных 8800 Мбит/с. Емкость контактной площадки уменьшается на 19,1%. Вышеупомянутое достигается за счет увеличения площади на кристалле на 15,4% и повышения энергопотребления на 21,5%.

**Практическая ценность работы.** В целях реализации предложенных в диссертации методов и способов был создан инструмент “Memory Controller” с пользовательским интерфейсом, который внедрен в ЗАО «СИНОПСИС АРМЕНИЯ» и практически применяется в процессе проектирования узлов В/В управления памятью. В случае проектирования с программным обеспечением полученные результаты совпадают с данными моделирования, выполненного проектировщиком, с точностью до 5%, что существенно сокращает время, затрачиваемое на фактическое проектирование и связанные с ним процессы.

**На защиту выносятся следующие научные положения:**

- подходы к разработке низковольтных узлов В/В управления памятью в ИС;
- метод регулирования выходного сопротивления передатчика путем компенсации напряжения смещения компаратора;
- способ обнаружения переключения напряжений питания в узлах В/В управления памятью;
- метод проектирования передатчика с общим сопротивлением и транзисторами с тонким оксидом.

**Достоверность научных результатов** подтверждается представленными в диссертации математическими обоснованиями и экспериментальными результатами схемотехнического моделирования.

**Внедрение.** Программное обеспечение “Memory Controller” внедрено в ЗАО «СИНОПСИС АРМЕНИЯ» и практически используется в процессе проектирования узлов В/В управления памятью.

**Апробация работы.** Основные научные и практические результаты диссертации докладывались на:

- 39-й Международной конференции "Electronics and Nanotechnology (ELNANO)" (Киев, Украина, 2019 г.);
- Международном симпозиуме "IEEE East-West Design & Test Symposium (EWDTS)" (Батуми, Грузия, 2021 г.);
- научных семинарах кафедры "Микроэлектронные схемы и системы" НПУА (Ереван, Армения, 2021 - 2024 гг.);
- научных семинарах ЗАО "Синописис Армения" (Ереван, Армения, 2021 - 2024 гг.).

**Публикации.** Основные положения диссертации представлены в шести научных работах, список которых приведен в конце автореферата.

**Структура и объем диссертации.** Диссертация состоит из введения, трех глав, основных выводов, списка литературы, включающего 110 наименований, и четырех приложений. В первом приложении представлен акт внедрения диссертации, во втором – отрывок Spice-описания схемы регулирования выходного сопротивления передатчика, в третьем – отрывок QT-описания разработанного программного средства "Memory controller", в четвертом - списки рисунков, таблиц и сокращений. Основной объем диссертации составляет 116 страниц, а вместе с приложениями - 145 страницы.

## ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

**Во введении** обоснована актуальность темы диссертации, сформулированы цель и основные задачи исследования, представлены разработанные методы, научная новизна, практическое значение и основные научные положения, выносимые на защиту.

**В первой главе** представлены необходимость разработки низковольтных узлов В/В управления памятью, существующие решения и проблемы их проектирования. В настоящее время скорость передачи данных между ИС достигает 112 Гбит/с. Частота тактового сигнала, синхронизирующего передаваемые данные достигла 8 ГГц, наряду с развитием технологического процесса и уменьшением длины канала транзисторов в них приобретают все большее значение модуляция длины канала, изменение порогового напряжения в зависимости от напряжения подложки, подпороговая проводимость. Типовые N-МОП транзисторы с длиной канала 5 и 55 нм были смоделированы при температуре 25°C и напряжении на затворе 550 мВ. Наблюдались токи исток-сток. Результаты показывают, что при маленькой длине канала изменение тока в регионе насыщения составляет 47% от его минимального значения. В то время как в другом случае изменение равно 7%.

В условиях той же схемы при увеличении скорости передачи данных параметры глазковой диаграммы этого сигнала ухудшаются; горизонтальное и вертикальное раскрытия глаз уменьшаются, увеличиваются дребезг и отклонение логических уровней. Эти изменения могут привести к ошибкам при передаче информации. Таким образом, одной из задач современных узлов В/В управления памятью является обеспечение безошибочного обмена и обработки данных.

При снижении энергопотребления в цепях ИС, в случае введения низковольтных режимов работы возникает ряд особенностей. Одной из них является уменьшение

диапазона рабочих напряжений транзисторов. Из-за этого нарушаются режимы работы транзисторов. Также необходимы дополнительные цепи в узлах В/В для переключения режимов. Обеспечение необходимой скорости работы узлов В/В при введении низковольтного режима работы является одной из важных задач проектирования.

При работе ИС возможны случаи, когда какая-то ее часть находится в нерабочем режиме. В это время в целях экономии статического энергопотребления желательно отключить подачу напряжения, питающего эту часть ИС. Для этого ИС разделена на разные участки – островки, каждый со своим питанием. Кстати, островки могут иметь одинаковое номинальное напряжение питания или возможность изменения напряжения питания (рис. 1).

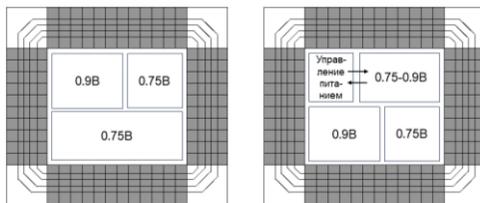


Рис. 1. Разделение островков питания в ИС

В ИС, разделенных на островки с разным напряжением питания, необходимы схемы определения периодов включения и выключения напряжения питания. В течение этого времени цепи, подключенные к данному источнику питания, могут вести себя непредсказуемо. Учитывая вышеизложенное, важно, чтобы ключевые точки схемы не имели неопределенного логического состояния или состояния высокого сопротивления. Приведена существующая структура схемы обнаружения включения и выключения напряжения питания (рис. 2). По мере увеличения напряжения питания конденсатор К1 заряжается через резистор Р1. В момент, когда напряжение на конденсаторе достигает точки переключения инвертора И1, выход схемы переключается и имеет высокий уровень напряжения. Диод Д1 предназначен для быстрого разряда конденсатора в случае отключения напряжения питания схемы. В результате при правильном подборе постоянной времени RC-цепи, инверторов и порогового напряжения диода на выходе схемы не будет неопределенного логического состояния.

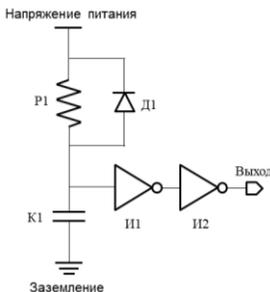


Рис. 2. Существующая схема обнаружения переключения питания

Рассмотренная схема не имеет диапазона помехоустойчивости (гистерезиса). При коммутации напряжения питания возможно изменение логического состояния выхода схемы из-за помех. Влияние шума будет наиболее существенным при напряжении питания, близком к пороговым напряжениям инвертора И1 и диода Д1. Также производительность схемы сильно зависит от постоянной времени RC-цепи. При моделировании по 5-нм технологическому процессу переход от медленных к быстрым моделям резисторов и конденсаторов увеличивает время зарядки конденсатора до половины напряжения питания на 117%.

Одной из основных причин, ограничивающих рабочую частоту узлов В/В, являются линии передачи, соединяющие выводы узлов В/В с другими частями системы. Изменение частоты передаваемых ими данных приводит к изменению волнового сопротивления линии передачи. Для учета эффектов линии передачи во время моделирования систем используются схемы замены (рис. 3).

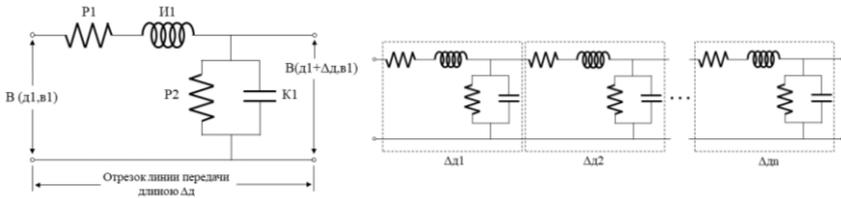


Рис. 3. Схема замены линии передачи

Причиной искажения сигнала в линиях передачи являются отражения, возникающие из-за неравномерного распределения сопротивления на пути передачи данных. При прохождении через проводник с неоднородным сопротивлением часть сигнала отражается и возвращается к источнику. Приведены линия передачи данных в узлах В/В управления памятью и характеристические сопротивления его частей (рис. 4).

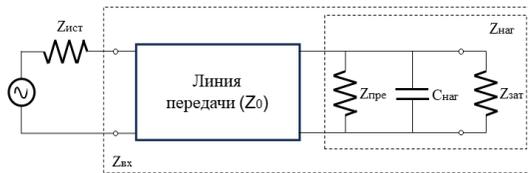


Рис. 4. Схема компаратора после изменения

Приведены сопротивления источника ( $Z_{ист}$ ), линии передачи ( $Z_0$ ), резистора прерывания ( $Z_{пре}$ ), затвора приемника ( $Z_{зат}$ ) и емкость нагрузки ( $C_{наг}$ ). В пути передачи данных возникают отражения из-за несоответствия выходного сопротивления передатчика ( $Z_{ист}$ ), входного сопротивления линии передачи ( $Z_{вх}$ ) и входного сопротивления приемника ( $Z_{наг}$ ). Для их количественной характеристики используются коэффициенты отражения. Они рассчитываются для источника и нагрузки и в идеале равны 0:

$$\Gamma_{ист} = \frac{Z_{вх} - Z_{ист}}{Z_{вх} + Z_{ист}}, \quad \Gamma_{наг} = \frac{Z_{наг} - Z_0}{Z_{наг} + Z_0}. \quad (1)$$

В цепях передатчика и приемника в узлов В/В реализованы решения, позволяющие избежать отражения сигнала. К ним относятся калибровка выходного сопротивления передатчика и использование прерывающих резисторов. Механизмы регулировки выходного сопротивления передатчика можно разделить на две части: цифровые (рис. 5 а) и аналоговые (рис. 5 б). При цифровой настройке параллельные ветви выходного буфера включаются или выключаются с помощью сигналов высокого и низкого логического уровня. А в случае аналоговой настройки путем изменения напряжения затвора транзисторов выходного буфера осуществляется управление проходящим через них током. Дискретный характер цифровой настройки обеспечивает высокую помехоустойчивость по сравнению с аналоговой настройкой.

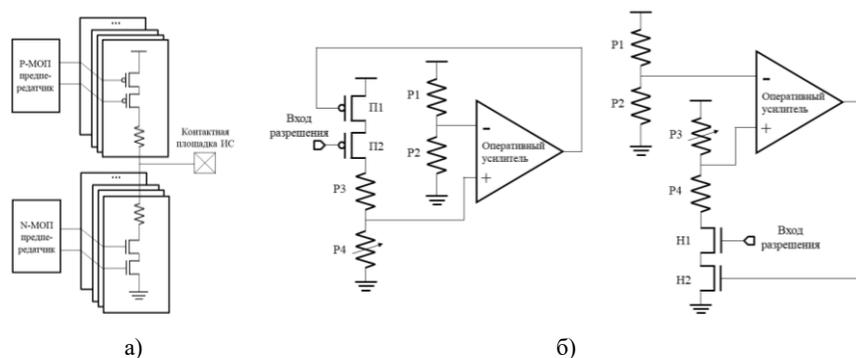


Рис. 5. Цифровая (а) и аналоговая (б) регулировка выходного сопротивления передатчика

Аналоговая настройка основана на выравнивании падения напряжения на выходном буфере передатчика и сопротивления с заданной величиной. Выравнивание сопротивлений осуществляется с обратной связью через операционный усилитель (ОУ). Сопротивления P1 и P2 равны. Механизм настройки одинаков для P-МОП и N-МОП частей выходного буфера. Предположим, что из-за изменения процесса, напряжения и температуры (ПНТ) ток последовательной ветви P-МОП уменьшается. Следовательно, уменьшится и падение напряжения на резисторе P4, который является положительным входом ОУ. В результате уменьшится выходное напряжение ОУ, подключённое к затвору П1. Ток ветви снова увеличится. Этот процесс продолжается до тех пор, пока сопротивления ветви P-МОП и P4 не сравняются.

Способ аналоговой регулировки выходного сопротивления передатчика имеет ряд недостатков. Под воздействием помех возможно изменение выходного напряжения ОУ, что приведет к неточной регулировке. Способ цифровой регулировки выходного сопротивления контура передатчика не зависит от шумов. С другой стороны, при цифровой настройке точность настройки зависит от количества параллельных ветвей P-МОП и N-МОП в выходном буфере. Выходное сопротивление передатчика не изменяется непрерывно, а может принимать ограниченное количество прерывистых значений. Для увеличения количества

возможных комбинаций сопротивлений следует увеличить количество параллельных ветвей. Добавление этих ветвей приводит к увеличению общего тока утечки, площади цепи, нагрузки на преобразователь и емкости вывода контактной площадки.

Помимо регулировки выходного сопротивления передатчика, для предотвращения отражения также используются прерывающие резисторы. С их помощью можно изменить коэффициенты отражения так, чтобы они были близки к 0. Существует несколько исполнений прерывающих резисторов: параллельное (рис. 6 а), прерывание Тевенина (рис. 6 б), переменное (рис. 6 в) и последовательное (рис. 6 г). Каждое из них имеет недостатки, такие как непрерывный путь тока утечки, непропорциональные логические уровни по отношению к напряжению питания, ограничение тока в линии передачи.

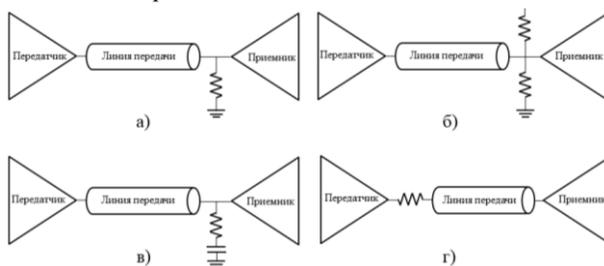


Рис. 6. Способы прерывания линии передачи

Исходя из вышесказанного, приходим к выводу, что подходы, используемые в проектировании низковольтных узлов В/В управления памятью, имеют некоторые недостатки. Развитие технологического процесса и современные технические задачи делают проблемы проектирования более существенными. Поэтому необходимы новые решения, отвечающие современным требованиям.

**Во второй главе** представлены разработанные методы и способы решения проблем, описанных в первой главе.

**Метод регулировки выходного сопротивления передатчика путем компенсации напряжения смещения компаратора.** Предлагаемая система регулировки состоит из трех основных частей: реплик N-МОП, P-МОП частей выходного буфера передатчика, узла сравнения и цифровой логики управления (рис. 7). Реплики П1, П2 и Н2 используются для настройки частей P-МОП и N-МОП выходного буфера передатчика. Схема компаратора осуществляет компенсацию напряжения смещения компаратора и сравнение падений напряжения на наблюдаемых сопротивлениях. Цифровая логика управляет работой всей схемы, последовательно меняя режимы работы схемы, меняя затворные напряжения транзисторов в сегментах при настройке. Она также сохраняет полученные коды конфигурации и передает их на рабочие передатчики. Ее работу можно представить в виде структурной схемы (рис. 8). Схема компаратора состоит из цифроаналогового преобразователя (ЦАП), мультиплексора, низкочастотного фильтра (НЧФ), операционного и чувствительного усилителей (ЧУ). ЦАП имеет два выхода: опорный и аналоговый. Для компенсации напряжения смещения компаратора

выбран вход 2 мультиплексора, подключенный к компаратору с НЧФ. Они предназначены для предотвращения скачков напряжения из-за изменения кодов в репликах или ЦАП и для фильтрации высокочастотных шумов. Аналоговый выход ЦАП меняется, начиная с кода, соответствующего опорному напряжению. В момент переключения выхода компаратора разность между его входами равна напряжению смещения. Используя это значение аналогового выхода ЦАП в качестве опорного напряжения, можно сказать, что напряжение смещения компаратора компенсируется самообнулением. Для ЦАП была выбрана структура, основанная на цепочке сопротивлений. Младший бит равен примерно 0,156% напряжения питания.

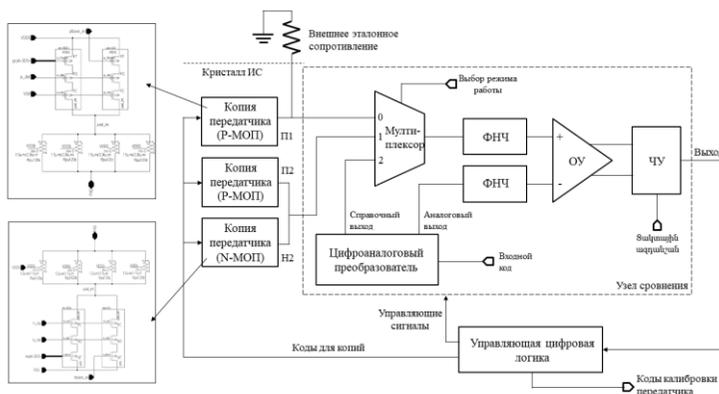


Рис. 7. Система регулировки выходного сопротивления передатчика



Рис. 8. Цифровая логика управления системой калибровки

Компаратор состоит из ОУ и тактируемого ЧУ (рис. 9). С целью синхронной работы с цифровой логикой управления ЧУ работает с тактирующим сигналом. ЧУ предназначен для доведения выходного сигнала ОУ до комплементарных логических уровней. Чтобы получить разные желаемые значения сопротивлений сегментов выходного буфера передатчика, настройку можно производить при разных опорных напряжениях компаратора (например, 25%, 50%, 75%). По этой причине для ОУ была выбрана структура от рельса до рельса. Поскольку цифровая логика работает с напряжением питания ядра, входные транзисторы ЧУ толстооксидные, чтобы избежать перенапряжения на них.

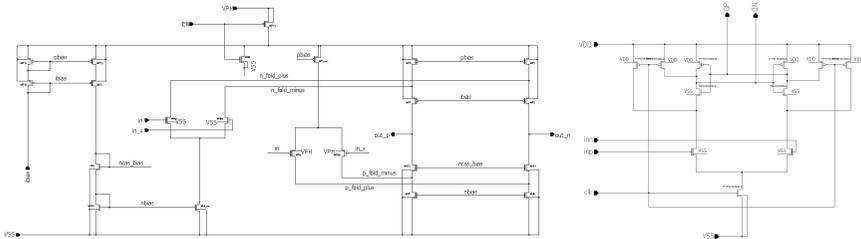


Рис. 9. Схема ОУ и ЧУ

После компенсации напряжения смещения компаратора мультиплексором выбирается вход 0 для калировки Р-МОП части выходного буфера передатчика. Код калировки П1 меняется цифровой логикой. В случае переключения выхода компаратора при разнице одного младшего бита цифровая логика сохраняет код настройки Р-МОП. Затем выбирается вход 1 мультиплексора и с помощью того же механизма находится код настройки N-МОП. Цифровая логика управления передает найденные коды на работающие в системе передатчики.



Рис. 10. Результаты моделирования системы калировки

Настройка производилась при напряжении питания 50%. Желаемое значение сопротивления ветви выходного буфера передатчика-120 Ом. Поиск кода начинается со средней точки. Приведены результаты моделирования системы. Показаны коды конфигурации и результирующие значения сопротивлений для Р-МОП и N-МОП частей (рис. 10).

**Способ обнаружения переключения напряжений питания в узлах В/В управления памятью.**

Представлена система обнаружения переключения напряжений питания и формирования сигнала сброса в узлах В/В управления памятью (рис. 11). В схеме «Детектор состояния напряжения питания» определение состояния питания ядра производится по напряжению питания узла В/В. Эта схема имеет активный выходной сигнал, когда напряжение питания ядра находится на достаточном уровне. Самозащелкивающегося детектор предназначен для регистрации включения и выключения напряжения питания узла В/В и также несет информацию о состоянии напряжения питания ядра. Одним из свойств этого детектора является его самозащелкивание при включении напряжении питания узла В/В. Когда напряжение питания этой схемы будет включено, ее выход будет

находиться в известном и определенном состоянии. В частности, выход данного детектора можно использовать для сброса динамической памяти. Передатчик и передатчик используются для передачи этого сигнала из ИС. Вход обнуления предназначен для сброса выхода самозащелкивающегося детектора при наличии напряжения питания узла В/В. В случае сброса схема готова обнаружить отключение напряжения питания. Этот вход имеет уровень напряжения питания ядра, поэтому в пути используется преобразователь уровня напряжения (ПУН).

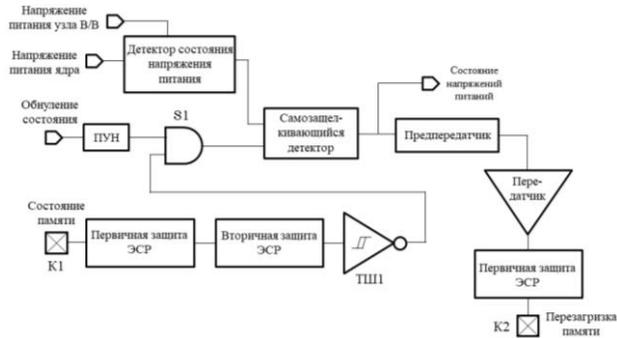


Рис. 11. Система обнаружения переключения напряжений питания

В режиме удержания памяти запрещается сбрасывать выход детектора. Следовательно, сигнал сброса и сигнал состояния памяти подключаются к входу детектора посредством логического элемента И Т1. Поскольку сигнал режима удержания передается от устройства динамической памяти, он поступает в схему через вывод К1. Приемным узлом этого сигнала является триггер Шмидта ТШ1, обеспечивающий помехоустойчивость.

Представлена схема детектора состояния напряжения питания (рис. 12).

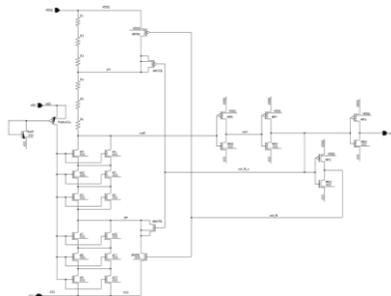


Рис. 12. Схема детектора состояния напряжения питания

Питание ядра подключается к затворам N-МОП транзисторов по предусмотренной схеме для их защиты в случае электростатического разряда (ЭСР). Во избежание перенапряжений были использованы толстооксидные транзисторы. Поскольку уровень входного напряжения низкий и не может полностью открыть входные N-

МОП транзисторы, ряд резисторов R1-R6 действует как цепь зарядки для их балансировки. Принцип работы схемы заключается в изменении напряжения точки переключения в зависимости от направления переключения входа: передаточная характеристика схемы имеет гистерезис. Его цель - контролировать желаемые уровни обнаружения переключения питания ядра. Кроме того, гистерезис обеспечивает помехоустойчивость.

Выход рассмотренной выше схемы является входом разрешения самозащелкивающегося детектора (рис. 13). Схема защелкивается, когда напряжение питания меньше определенного значения. В другом случае сделать это невозможно (кроме момента подключения). Шумоустойчивость к колебаниям напряжения питания обеспечивается емкостью K1, резисторами R1, R2 и R3, пассивно соединяющими входы элемента И-НЕ с питанием и заземляющими конденсатор.

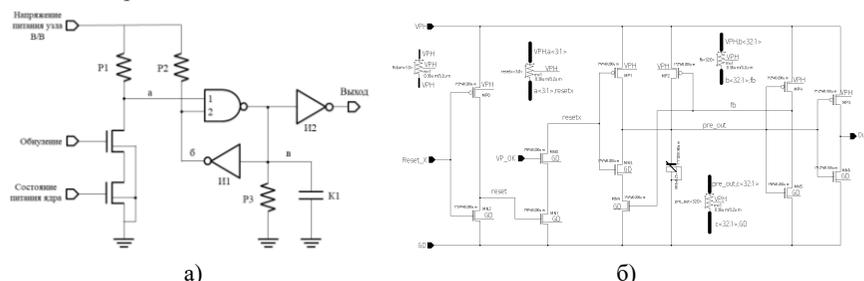


Рис. 13. Структура (а) и схема (б) самозащелкивающегося детектора

При включении напряжения питания выход схемы переходит в предсказуемое логическое состояние. После обнуления схема снова защелкивается при отключении напряжения питания. Напряжение защелкивания для всех моделируемых ПНТ находится в диапазоне 353...615 мВ. Положительные и отрицательные шумы напряжения питания 400 мВ не изменяют логическое состояние выхода. Выходной сигнал схемы можно использовать для отправки информации о состоянии питания в другие схемы.

Остальные составные части системы имеют типичное строение. Схема первичной защиты ЭСР состоит из двух диодов по периметру 200 мкм. Вторичная цепь состоит из диодов 8 мкм и резистора сопротивлением 210 Ом. Контур передатчика имеет двухкаскадную структуру с последовательно включенным резистором. ПУН и триггер Шмидта имеют типичную структуру.

**Метод проектирования передатчика с общим сопротивлением и транзисторами с тонким оксидом.** Приведена структурная схема предлагаемого узла передатчика (рис. 14). Особенностью данной конструкции является использование каскодных транзисторов с тонким оксидом, низким пороговым напряжением и общего сопротивления в выходном буфере передатчика. Трёхкаскадная структура позволяет распределить напряжение питания узла В/В между точками исток-сток этих транзисторов. Во избежание перенапряжений между затвором транзистора и остальными выводами используется понятие высокого

напряжения заземления. Логически это низкий уровень, но он имеет положительное напряжение.

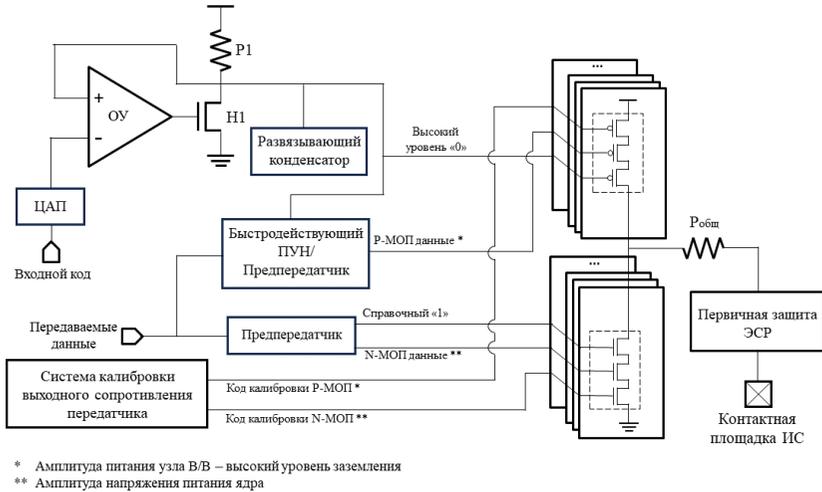


Рис. 14. Структура передатчика с общим сопротивлением и транзисторами с тонким оксидом

Для его формирования используется следующая схема стабилизации напряжения (рис. 15).

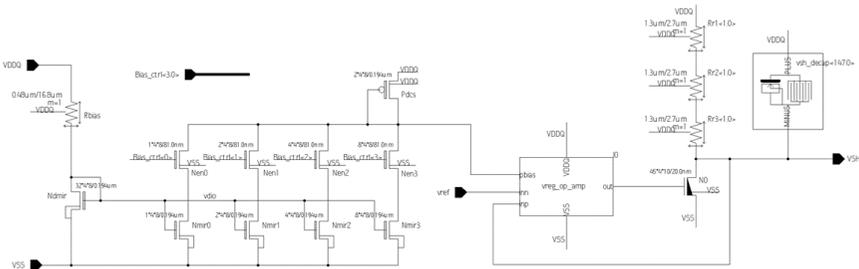


Рис. 15. Схема генерации высокого напряжения заземления

В этой схеме выход ЦАП соединен с опорным входом. ЦАП имеет структуру, основанную на ряде резисторов. Разрядность входного кода равна 6. Диапазон выходного напряжения ЦАП равен 15...40% напряжения питания узла В/В. Младший бит равен примерно 0,39% напряжения питания. Схема ОУ имеет следующую структуру (рис. 16 а). Формирование напряжения смещения транзисторов в ОУ имеет возможность регулирования (входы Bias\_ctl<3:0>). Предложенная схема нейтрализует изменения выходного напряжения вследствие изменения ПНТ с помощью обратной связи.

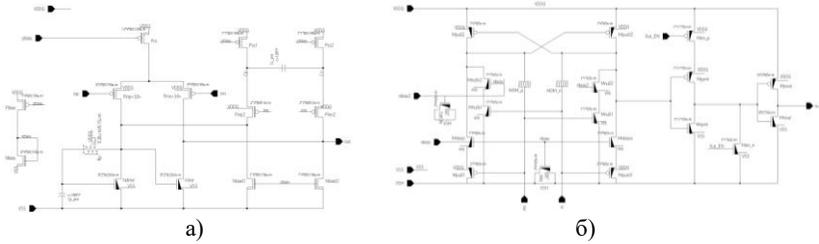


Рис. 16. Схема ОУ (а) и быстродействующего ПУН (б)

Быстродействующий преобразователь уровня напряжения действует как передатчик для Р-МОП части выходного буфера (рис. 16 б). Логическое состояние передатчика может изменяться с той же частотой, что и максимальная рабочая частота передатчика. Поэтому, чтобы воспользоваться преимуществами структуры с тонкими оксидными транзисторами в выходном буфере передатчика, Р-МОП передатчик был также спроектирован с тонкими оксидными транзисторами.

Выходной буфер передатчика имеет структуру с общим резистором (рис. 17 а). За счет такой конструкции уменьшаются емкость контактной площадки и площадь схемы, что напрямую влияет на быстродействие узла В/В. Одним из недостатков использования общего резистора является невозможность изменения сопротивлений отдельных частей Р-МОП и N-МОП. Диоды первичной защиты ЭСР также оказывают большое влияние на емкость контактной площадки. В случае использования общего сопротивления в выходном буфере передатчика стоки Р-МОП и N-МОП транзисторов соединяются вместе. Из-за особенности строения МОП транзистора его подложка вместе с стоком образует диод.

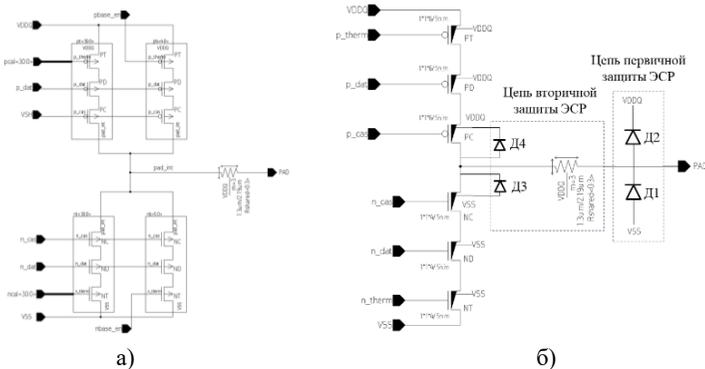


Рис. 17. Структура выходного буфера передатчика

Эти диоды вместе с общим сопротивлением составляют схему вторичной защиты, что увеличивает надежность цепи ЭСР (рис. 17 б). В этом случае можно уменьшить размеры диодов первичной защиты. Таким образом, уменьшаются емкость контактной площадки и занимаемая площадь передатчика.

**В третьей главе** представлено программное средство (ПС) «Memory Controller», созданное с целью автоматизации предложенных методов и схемотехнических решений. Помимо функции их фактического применения, с помощью программного обеспечения автоматизируются сопутствующие процессы, необходимые для реализации моделирований и наблюдения результатов. Этим существенно сокращается время, затрачиваемое на проектирование. Предложенные методы и решения направлены на решение конкретных задач в узлах В/В управления памятью. Входные данные и принципы работы каждого из них различны. По этой причине программное обеспечение «Memory Controller» разделено на три подпрограммы для упрощения использования. После выбора подпрограммы производится выбор технологического процесса и его выпуск. Затем можно выбрать программу моделирования и выпуск. После создается список ПНТ для моделирований, согласно заданным параметрам (рис. 18).

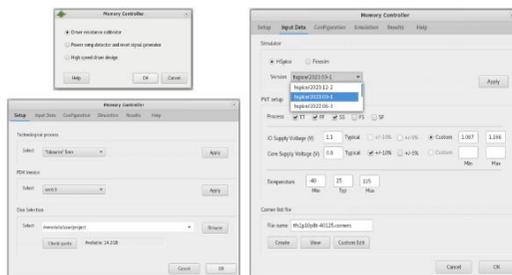


Рис. 18. Окна программного средства «Memory Controller»

Подокна вышеперечисленных функций одинаковы для всех трех подпрограмм. Следующие подокна различны для каждой подпрограммы. Для них подбираются соответствующие настройки. Затем выбираются расчетные параметры и моделируется созданная схема. Также можно выбрать сервер для моделирований и количество используемых ядер. Затем можно изучать полученные результаты в окне ПС. В качестве примера была рассмотрена подпрограмма «High speed driver design». Приведены окна подпрограммы, описанные выше, и результаты оценки эффективности программного обеспечения (рис. 19). Сравнение проводилось в случаях неиспользования метода, его использования и при проектировании с помощью программного обеспечения (таб.).

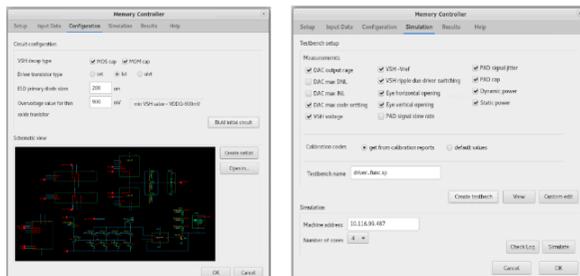


Рис. 19. Окна программы «High speed driver design»

## Результаты проектирования с использованием ПС «Memory Controller»

| Параметр   | Без исп. метода | С исп. метода | С исп. ПС     |
|--|-----------------|---------------|---------------|
| Горизонтальная апертура глазка выходного сигнала передатчика (пс)        | 90,6            | 99,2          | 98,4          |
| Вертикальная апертура выходного сигнала передатчика (0,99 В/1,21 В) (мВ) | 497,3 / 611,1   | 579,8 / 708   | 576,5 / 704,3 |
| Дребезг выходного сигнала передатчика (пс)                               | 35,1            | 24,7          | 25,8          |
| Емкость вывода контактной площадки (пФ)                                  | 1,15            | 0,93          | 0,93          |
| Статическое потребление тока (мкА)                                       | 538             | 642           | 649           |
| Динамическое потребление тока (мА)                                       | 3,17            | 3,92          | 3,94          |
| Площадь схемы (мкм <sup>2</sup> )  | 4241            | 4893          | 4903          |

**ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ**

1. Предложены подходы к проектированию узлов В/В управления памятью для примененного 5-нанометрового технологического процесса, улучшающие целевые показатели производительности схем за счет увеличения занимаемой площади на кристалле и повышения энергопотребления.
2. Разработан метод регулирования выходного сопротивления передатчика, благодаря которому разброс значений сопротивлений ветвей Р-МОП и N-МОП его выходного буфера уменьшился в среднем с 12,7 Ом до 5,6 Ом. Динамическое и статическое энергопотребление при использовании метода увеличивается на 25,5% и 18,8% соответственно. Площадь физического оформления на кристалле увеличивается на 26,6% [2].
3. Предложен способ обнаружения переключения напряжений питания в узлах В/В управления памятью с использованием детекторов состояния напряжения питания ядра и самофиксирующегося типа, благодаря которому помехоустойчивость схемы к изменениям напряжения питания повышается на 19,9% за счет увеличения энергопотребления на 5,9% и площади цепи на кристалле на 13,4% [4-6].
4. Создан метод проектирования передатчика с общим сопротивлением и транзисторами с тонким оксидом, при котором перенапряжения транзисторов указанного типа исключаются введением дополнительных цепей, что позволяет улучшить горизонтальное и вертикальное раскрытия глазковой диаграммы данных соответственно на 9,5% и 16,3% при целевой скорости передачи данных 8800 Мбит/с. Емкость контактной площадки

уменьшается на 19,1%. Вышеупомянутое достигается за счет увеличения площади на кристалле на 15,4% и повышения энергопотребления на 21,5%.

5. В целях реализации предложенных в диссертации методов и способов был создан инструмент “Memory Controller” с пользовательской средой, который внедрен в ЗАО «СИНОПСИС АРМЕНИЯ» и практически применяется в процессе проектирования узлов В/В управления памятью. В случае проектирования с программным обеспечением полученные результаты совпадают с результатами моделирования, выполненного проектировщиком, с точностью до 5%, что существенно сокращает время, затрачиваемое на фактическое проектирование и связанные с ним процессы.

**Основные результаты диссертации** опубликованы в следующих работах:

1. **Gevorgyan V.S., Melikyan V.Sh.** Low-Jitter Phase-Locked Loop With Ring Voltage Controlled Oscillator Using a Prompt Phase-Error Compensation Technique // IEEE 39th International Conference on ELECTRONICS AND NANOTECHNOLOGY (ELNANO). – Kyiv, Ukraine, 2019. – P. 102 – 106.
2. **Gevorgyan V.S.** Driver Output Impedance Calibration System with Comparator Unit Offset Cancellation // Proceedings of the YSU A: Physical and Mathematical Sciences. – 2021. – Vol. 55, N 1. – P. 81-89.
3. **Գևորգյան Վ.Ս.** Փոքր ճակատի թրթռոցով փուլահանախալանային ինքնաներթալարման համակարգ՝ օղակաձեղ գեներատորով// Հայաստանի գիտությունների ազգային ակադեմիայի և Հայաստանի ազգային պոլիտեխնիկական համալսարանի տեղեկագիր. Տեխն. գիտ. սերիա. – 2021. – Հ. 74, No 1. – Էջ 89–99:
4. **Gevorgyan V.S., Grigoryan N., Melikyan Sh., Musayelyan D.** Power Supply Ramp-up And Ramp-down Detector For Dynamic Memory Refresh Using 16nm Technological Process // IEEE East-West Design & Test Symposium (EWDTS). – Batumi, Georgia, 2021. – P. 1 – 5.
5. **Գևորգյան Վ.Ս., Մելիքյան Վ.Շ.** Դինամիկ հիշող համակարգերում հիշողության թարմացման շրթա սնման լարման միացման ել անջատման ժամանակ// Հայաստանի գիտությունների ազգային ակադեմիայի և Հայաստանի ազգային պոլիտեխնիկական համալսարանի տեղեկագիր. Տեխն. գիտ. սերիա. – 2021. – Հ. 74, No 2. – Էջ 182–188:
6. **Gevorgyan V.S.** Power Sniffer Performance Degradation And Ways To Suppress The Deviation Of The Working Parameters Due To Random Technological Variations // Proceedings of the NAS RA and NPUA. Series of Technical Sciences. – 2023. – Vol. 76, N3. – P. 333-342.

## ԱՄՓՈՓԱԳԻՐ

Արդի ինտերգրալ սխեմաներում (ԲՄ) տրանզիստորների քանակը շարունակական կերպով աճում է: Դրան նպաստում է տեխնոլոգիական գործընթացի ակտիվ զարգացումը: ԲՄ-երում օգտագործվող մետաղ-օքսիդ-կիսահաղորդիչ (ՄՕԿ) դաշտային տրանզիստորների հոսքուղու նվազագույն երկարությունը ներկայումս հասնում է 2նմ-ի: Զխտանված ԲՄ-երի քանակի մեծացումը՝ դրանց ընդհանուր թվի մեջ, կարևոր խնդիր է: Այդ նպատակով անհրաժեշտ է մեկ կիսահաղորդչային բյուրեղի վրա արտադրվող ԲՄ-երի մեծ քանակ: Դրան հնարավոր է հասնել յուրաքանչյուր ԲՄ-ի մակերեսի փոքրացմամբ: Արդյունքում արտադրական գործընթացը դառնում է առավել արդյունավետ: Դա հանգեցնում է մեկ ԲՄ-ի ինքնարժեքի նվազման, որը համարվում է դրա կարևորագույն բնութագրիչներից մեկը: Հետևաբար, ԲՄ-երի մակերեսի փոքրացումն արդիական պահանջ է:

Ի հակադրություն վերը նշված առավելությունների՝ ԲՄ-երի մակերեսի փոքրացմամբ ուղղակիորեն նվազում է դրանց ջերմահեռացման մակերեսը: Դա կարող է բերել ԲՄ-ի գերտաքացման: Նաև առավել արտահայտված է դառնում ինքնատաքացման երևույթը: Վերը նշված խնդիրները հնարավոր է չեզոքացնել էներգասպառման նվազեցմամբ: Սնման լարման նվազեցումն արդյունավետ կերպով փոքրացնում է դրա դինամիկ բաղադրիչը, քանի որ այն լարումից կախված է քառակուսային օրենքով: Հետևաբար, արդի ԲՄ-երում ցածրավոլտ նախագծման մոտեցումներն անհրաժեշտ պայման են: Դա կարող է արտահայտվել ինչպես սնման լարման անվանական արժեքի նվազեցմամբ, այնպես էլ ցածրավոլտ աշխատանքային ռեժիմների ներդրմամբ: Նշվածից հետևում է, որ ցածրավոլտ շղթաների նախագծումն արդի մարտահրավեր է:

Տվյալների փոխանցման ժամանակակից համակարգերում շարունակական կերպով մեծանում են փոխանցվող տվյալների ծավալները, ինչպես նաև դրանց փոխանցման արագությունները: ԲՄ-ի միջուկի և հիշող սարքերի հետ տվյալների փոխանակումն իրականացվում է ԲՄ-ի մուտք/ելք (Մ/Ե) հանգույցների միջոցով: Դրանք ապահովում են տվյալների անխափան ստացումը, փոխանցումը և մշակումը: Հետևաբար, դրանք ուղիղ կերպով ազդում են փոխանակվող տվյալների հուսալիության վրա:

Վերը նշված հանգամանքներն առկա են նաև հիշողության դեկավարման Մ/Ե հանգույցներում, մասնավորապես, էներգասպառման նվազեցման և բյուրեղի տաքացման խնդիրները: Հետևաբար դրանցում ցածրավոլտ սնման աղբյուրների և համապատասխան շղթաների օգտագործումն արդիական պահանջ է: Սակայն ցածրավոլտ նախագծման մոտեցումների կիրառումը հանգեցնում է մի շարք խնդիրների: Մասնավորապես սահմանափակվում են Մ/Ե հանգույցների շղթաներում օգտագործվող տրանզիստորների աշխատանքային տիրույթները: Դա բերում է նախագծման որոշակի

բարդությունների: Այդ խնդիրը մասամբ լուծվում է տարբեր շեմային լարումներով տրանզիստորների օգտագործմամբ: Սակայն փոքր շեմային լարմամբ տրանզիստորներն ունեն ստատիկ էներգասպառման բարձր ցուցանիշներ: Հետևաբար, ժամանակակից պահանջներին բավարարող ցածրավոլտ հիշողության ղեկավարման Մ/Ե հանգույցների մշակումն արդիական խնդիր է: Ատենախոսությունը նվիրված է արդի ԻՄ-երում ցածրավոլտ հիշողության ղեկավարման Մ/Ե հանգույցների մշակմանը և հետազոտմանը:

Առաջարկվել են հիշողության ղեկավարման Մ/Ե հանգույցների նախագծման մոտեցումներ՝ կիրառված 5*նմ* տեխնոլոգիական գործընթացի դեպքում, որոնք բարելավում են շղթաների թիրախային արտադրողականության ցուցանիշները՝ բյուրեղի վրա զբաղեցրած մակերեսի և էներգասպառման մեծացման հաշվին:

Մշակվել է հաղորդչի ելքային դիմադրության կարգաբերման մեթոդ, որի կիրառմամբ դրա ելքային բուժերի P-ՄՕԿ և N-ՄՕԿ ճյուղերի դիմադրությունների արժեքների ցրվածությունը նվազել է միջինում 12,7*Օհմ*-ից 5,6*Օհմ*: Դինամիկ և ստատիկ էներգասպառումները մեթոդի կիրառմամբ աճում են համապատասխանաբար 25,5% և 18,8%-ով: Կարգաբերման համակարգի ֆիզիկական նախագծի մակերեսը մեծանում է 26,6%-ով:

Առաջարկվել է հիշողության ղեկավարման Մ/Ե հանգույցներում սնման լարումների փոխանջատման հայտնաբերման եղանակ, որում միջուկի սնման լարման վիճակի և ինքնասետվող տիպի հայտնաբերիչների օգտագործմամբ շղթայի աղմկակայունությունը սնման լարման փոփոխության նկատմամբ աճել է 19,9%-ով՝ էներգասպառման 5,9% և մակերեսի 13,4% աճի հաշվին:

Ստեղծվել է ընդհանուր դիմադրությամբ և բարակ օքսիդով տրանզիստորներով հաղորդիչ հանգույցի նախագծման մեթոդ, որում հավելյալ շղթաների ներդրմամբ բացառվում է նշված տիպի տրանզիստորների գերլարումները, ինչը թույլ է տալիս թիրախային 8800*Մբիթ/վրկ* տվյալների փոխանցման արագության դեպքում բարելավել տվյալի աչքի դիագրամի հորիզոնական և ուղղաձիգ բացվածքները համապատասխանաբար 9,5% և 16,3%-ով, ելուստի ունակությունը՝ 19,1%-ով, մակերեսի և էներգասպառման՝ համապատասխանաբար 15,4% և 21,5% աճի հաշվին:

Ատենախոսության մեջ առաջարկված մեթոդների և եղանակի ծրագրային իրագործման նպատակով ստեղծվել է Memory Controller միջոցը և դրա օգտագործողի միջավայրը, որը ներդրված է «ՄԻՆՈՓՄԻՍ ԱՐՄԵՆԻԱ» ՓԲԸ-ում և գործնականորեն կիրառվում է հիշողության ղեկավարման Մ/Ե հանգույցների նախագծման գործընթացում: Ծրագրային միջոցով նախագծման դեպքում ստացված արդյունքները մինչև 5% ճշտությամբ համընկնում են նախագծողի կողմից կատարված նմանակումների արդյունքների հետ՝ բուն նախագծման և հարող գործընթացների վրա ծախսվող ժամանակի էական կրճատմամբ:

# VAZGEN SEMYON GEVORGYAN

## DEVELOPMENT AND RESEARCH OF LOW-VOLTAGE MEMORY CONTROL INPUT/OUTPUT DEVICES

### SUMMARY

The number of transistors in modern integrated circuits (IC) is continuously increasing. This is facilitated by the active development of the technological process. The minimum channel length of metal-oxide-semiconductor (MOS) field-effect transistors used in ICs currently reaches 2nm. Increasing the number of uncultivated ICs among their total number is an important issue. For this purpose, a large number of ICs produced on a single semiconductor crystal is needed. This can be achieved by reducing the surface area of each IC. As a result, the production process becomes more efficient. This leads to a decrease in the cost of a single IC, which is considered one of its most important characteristics. Therefore, reducing the surface area of modern ICs is an actual requirement.

In contrast to the above-mentioned advantages, with the reduction of the area of ICs, their surface area for heat removal directly decreases. This can cause the IC to overheat. Also, the phenomenon of self-heating becomes more pronounced. The above-mentioned problems can be neutralized by reducing the power consumption. Reducing the supply voltage effectively decreases its dynamic component, as it depends on the voltage according to the square law. Therefore, low-voltage design approaches are a necessary condition in modern ICs. This can be expressed both by reducing the nominal value of the supply voltage and by introducing low-voltage operating modes. It follows from the above that the design of low-power circuits is a modern challenge.

In modern data transmission systems, the amount of transmitted data, as well as data transmission speeds, are continuously increasing. Data transfer with the IC core and memory devices is carried out through an input/output (I/O) devices. They ensure uninterrupted reception, transmission and processing of the data. Therefore, they directly affect the reliability of the exchanged data.

The circumstances mentioned above are also present in memory controller I/O devices. In particular, the problems of reducing power consumption and heating of the crystal. Therefore, the use of low-voltage power sources and appropriate circuits in them is an up-to-date requirement. However, the use of low-voltage design approaches leads to a number of issues. In particular, the operating ranges of the transistors used in I/O device circuits are getting limited. This leads to certain design complications. That problem is partially solved by using transistors with different threshold voltages. However, low threshold voltage transistors have high static power dissipation rates. Therefore, the development of low-voltage memory control I/O devices that meets the

modern requirements is an actual issue. The dissertation is dedicated to the development and research of low-voltage memory control I/O devices in modern ICs.

Approaches to the design of memory control I/O devices have been proposed, in the case of the applied 5nm technological process, which improve the target productivity parameters of the circuits, at the expense of increasing the area occupied on the crystal and energy consumption.

A method of calibrating the output resistance of the transmitter was developed, using which the deviation of the resistance values of the P-MOS and N-MOS branches of its output buffer decreased on average from 12.7 ohms to 5.6 ohms. Dynamic and static power consumption using the method increases by 25.5% and 18.8%, respectively. The area of the physical design of the calibration system increases by 26.6%.

A method of detecting switching of power supply voltages in memory control I/O devices was proposed, by using the core supply voltage state and self-latching type detectors, in which the noise immunity of the circuit to the change of power supply voltage increased by 19.9%, at the expense of 5.9% increase in power consumption and 13.4% increase in layout area.

A method of designing a transmitter with shared resistor and thin oxide transistors was created, in which the overvoltage of the specified type of transistors is excluded by the introduction of additional circuits, which allows to improve the horizontal and vertical openings of the data eye diagram by 9.5% and 16.3%, respectively, at the target data transfer rate of 8800 Mbit/s, pad capacitance is reduced by 19.1%, at the cost of increase in layout area and power consumption by 15.4% and 21.5%, respectively.

In order to implement the methods and techniques proposed in the dissertation, the Memory Controller tool and its user environment were created, which is implemented in "SYNOPSYS ARMENIA" CJSC and is practically used in the process of designing memory control I/O devices. In the case of design with the proposed tool, the obtained results match the results of simulations done by the designer with an accuracy of up to 5%, significantly reducing the time spent on the actual design and related processes.





