

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ, ԳԻՏՈՒԹՅԱՆ,
ՄՇԱԿՈՒՅԹԻ ԵՎ ՍՊՈՐՏԻ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

Պետրոսյան Արմեն Օլեգի

ՑԱՐԴ ԷՆԵՐԳԱՍՊԱՌՄԱՍԲ ՍՏԱՏԻԿ ՕՊԵՐԱՏԻՎ ՆԱԽԱՐԱՐՈՒԹՅԱՆ
ՖԻԶԻԿԱԿԱՆ ՆԱԽԱԳԾՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՈՒՄԸ

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի
հայցման ատենախոսության

ՄԵՂՍԱԳԻՐ

Երևան 2024

МИНИСТЕРСТВО ОБРАЗОВАНИЯ, НАУКИ, КУЛЬТУРЫ И СПОРТА
РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

Петросян Армен Олегович

**РАЗРАБОТКА СРЕДСТВ ФИЗИЧЕСКОГО ПРОЕКТИРОВАНИЯ
СТАТИЧЕСКИХ ОПЕРАТИВНЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ С
НИЗКИМ ЭНЕРГОПОТРЕБЛЕНИЕМ**

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата
технических наук по специальности 05.27.01-
“Электроника, микро- и нанoeлектроника”

Ереван 2024

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. Статические оперативные запоминающие устройства (СОЗУ), рабочая частота которых достигает нескольких гигагерц, занимают особое место в интегральных схемах (ИС). При таких частотах энергопотребление СОЗУ резко возрастает. В производстве ИС доля СОЗУ составляет около 60%. Они занимают 70% общей физической площади и 50...70% энергопотребления проектируемых устройств.

Развитие проектирования ИС обусловлено масштабированием технологии, которое привело к потерям тока утечки в статическом режиме, в результате чего повышается энергопотребление. Параллельно с масштабированием усиливается влияние физических структур, межсоединений и их параметров на характеристики устройств.

Согласно международному технологическому показателю для полупроводников подтверждено превосходство задержек сигналов межсоединений по сравнению с задержками в транзисторах. Это требует разработки нового подхода к проектированию межсоединений, которые на этапе физического проектирования должны учитывать задержки межсоединений.

Международными передовыми фирмами (Synopsys, Cadence, Siemens EDA и др) принято, что одним из путей повышения эффективности проектирования ИС является создание и применение передовых методов и алгоритмов средств физического проектирования, которые будут способствовать как обеспечению качественных требований к проектируемым ИС, так и повышению эффективности процесса проектирования ИС. С этой точки зрения ведутся работы в области разработки новых и усовершенствованных средств проектирования, способствующих снижению энергопотребления разрабатываемых СОЗУ.

Использование физических средств проектирования, направленных на снижение энергопотребления, приводит к их усложнению при дальнейшем масштабировании технологии. Таким образом, существуют важные проблемы, которые необходимо решить при физическом проектировании СОЗУ.

Диссертация посвящена разработке средств физического проектирования СОЗУ с низким энергопотреблением, которые позволят существенно улучшить общее энергопотребление системы и будут способствовать сокращению времени проектирования.

Объект исследования. Методы снижения энергопотребления СОЗУ и необходимость новых физических и схемотехнических решений по проектированию основных узлов, запоминающих элементов (ЗЭ) и запоминающих накопителей (ЗН) с низким энергопотреблением.

Цель работы. Разработка средств физического проектирования СОЗУ с низким энергопотреблением, а также обоснование их достоверности на основе результатов теоретических исследований и моделирования.

Методы исследования. При проведении исследований были использованы основные принципы построения СОЗУ, современные подходы к их физическому проектированию, а также методы и принципы моделирования, применяемые для улучшения энергопотребления.

Научная новизна:

- Разработан метод физического проектирования 6Т ЗЭ и на его основе ЗН СОЗУ с низким энергопотреблением, основанный на различном расположении транзисторов выборки и инверторов, симметричности прямых и инверсных битовых сигналов и обеспечении возможно малой площади, а также на выполнении требований 5-ти нм технологических норм.
- Предложены пять топологических решений 6Т ЗЭ и ЗН с использованием разработанного метода. Результаты схемотехнического и физического моделирования при разных процессах, напряжениях питания и температурах (ПНТ) составят основу проектирования СОЗУ с низким энергопотреблением.
- Предложен метод снижения мощности, площади и времени задержки (МПЗ - PAD) ЗН СОЗУ, основанный на использовании ЗЭ с гибридной структурой. Гибридные ЗЭ, используемые в ЗН СОЗУ, отличаются друг от друга как геометрическими размерами, так и пороговыми напряжениями транзисторов.
- Разработан алгоритм, позволяющий производить выбор топологических решений по положению ЗЭ в ЗН для обеспечения низкого энергопотребления. Применение алгоритма позволило снизить МПЗ на 29%.
- Предложен метод снижения влияния слоев металлизации на быстродействие ИС, основанный на компромиссе выбора значений компонентов емкости и сопротивления и позволяющий путем моделирования выбрать все те случаи, при которых целесообразно изменение уровней металлизации.
- Разработан алгоритм, позволяющий изменять уровни металлизации. Результаты моделирования узлов инвертор-буфер, инвертор-И-НЕ и инвертор-ИЛИ-НЕ показывают сокращение времени задержки до 10%. Полученные результаты могут быть использованы для компромиссного решения выбора энергопотребления и быстродействия СОЗУ.
- Предложено новое схемотехническое решение усилителя считывания (УС). Результаты проведенного моделирования показали, что УС обеспечивает снижение мощности на 14,9% за счет увеличения неустойчивости к тепловым воздействиям примерно на 20%.

Практическая ценность работы. Разработано программное средство (ПС) "Memory Cells Placer" - МСР для снижения энергопотребления СОЗУ, ЗЭ и ЗН, которое позволяет применять предложенные методы снижения энергопотребления в ЗН за счет введенных ЗЭ и технологических библиотек. ПС имеет удобную графическую среду, с помощью которой можно не только производить автоматическую минимизацию энергопотребления ЗЭ, ЗН, но и исследовать заранее выбранные параметры. Испытание программного обеспечения на ряде реальных проектов показало, что время проектирования сокращается примерно в 2...7 раз за счет упрощения процесса изготовления и снижения выхода годных схем на 0,1%.

На защиту выносятся:

- метод физического проектирования ЗЭ и ЗН СОЗУ с низким энергопотреблением;
- метод минимизации МПЗ ЗН с ЗЭ с гибридной структурой СОЗУ;
- метод снижения влияния слоев металлизации на быстродействие ИС;
- схемотехническое решение УС с низким энергопотреблением.

Достоверность научных положений. Научные результаты подтверждены математическим обоснованием, представленным в диссертации, а также экспериментальными результатами схемотехнического моделирования.

Внедрение. Предложенные в диссертации методы и средства проектирования СОЗУ, ЗН и ЗЭ с низким энергопотреблением внедрены в ЗАО "СИНОПСИС АРМЕНИЯ". Применение разработанного ПС "Memory Cells Placer" на этапе проектирования и моделирования показало его высокую эффективность. Программное средство МСР является важной частью процесса проектирования СОЗУ и обеспечивает значительное сокращение времени проектирования.

Апробация работы. Основные научные и практические результаты диссертации докладывались на:

- Международной научной конференции "Proc. of the International Conference on Electrical, Computer and Energy Technologies (ICECET 2022)" (Прага - Чехия, 2022);
- Международной научной конференции "8th International Congress (ICICT 2023) ", 22-23 February 2023 (Лондон, Великобритания, 2023);
- 2023 IEEE East-West Design & Test Symposium (EWDTS), (Батуми, Грузия);
- Proceedings of the XXIV International scientific - Practical Conference Modern information and electronic technologies. 29 - 31 May, 2023 (Одеса, Украина, 2023);
- ежегодных научных конференциях НПУА (Ереван, Армения, 2020-2022);
- научных семинарах кафедры "Микроэлектронные схемы и системы" НПУА (Ереван, Армения, 2020-2024);
- научных семинарах ЗАО "Синопис Армения" (Ереван, Армения, 2020 - 2024).

Публикации. Основные положения диссертации представлены в двенадцати научных работах, список которых приведен в конце автореферата.

Структура и объём диссертации. Работа состоит из введения, трёх глав, основных выводов, списка литературы из 140 наименований и четырёх приложений. В первом приложении представлен акт о внедрении диссертации, во втором – описание графического фрагмента программного средства "Memory Cells Placer", в третьем - списки использованных рисунков и таблиц, а в четвертом – список сокращений. Основной объём диссертации составляет 132 страницы включая 104 рисунка и 23 таблицы, а вместе с приложениями - 149 страниц.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность темы диссертации, сформулированы цель и основные задачи исследования, представлены разработанные методы, научная новизна, практическое значение и основные научные положения, выносимые на защиту.

В первой главе обоснована важность разработки и исследования средств по снижению энергопотребления ИС. Развитие производства ИС, в основном, направлено на увеличение степени интеграции элементов на кристалле, снижение энергопотребления и повышение быстродействия. Параллельно с увеличением

степени интеграции увеличивается количество слоев металлизации в ИС, что требует уменьшения размеров элементов ИС и повышения уровня металлизации.

Согласно международному технологическому показателю для полупроводников, при снижении топологических норм ИС с 90 нм до 22 нм толщина, ширина и расстояние между металлическими слоями уменьшаются в 2...3 раза, а доля задержек из-за межсоединений в общей задержке системы составляет 80...90% суммарной задержки сигнала.

Рассмотрена новая структура межсоединений, состоящая из сопротивления и емкости, разделенных на две части своими половинными значениями. Для этой структуры приведены зависимости мощностей и задержек от длины межсоединений.

В работе исследованы структура СОЗУ и схемотехнические решения составляющих узлов: ЗЭ, ЗН, декодеров, УС, узла управления, схем перезарядки столбцов.

Показано, что при физическом проектировании ЗЭ и ЗН используются различные методы и подходы, позволяющие занимать небольшую площадь и обеспечивать низкое энергопотребление и большую информационную емкость СОЗУ. Это требует разработки новых структур ЗЭ и ЗН с современными технологическими нормами.

Параллельно с увеличением информационной емкости СОЗУ увеличивается количество УС, что приводит к повышению их энергопотребления.

Исследованы доминирующие технологии FinFET, их основные транзисторные структуры и на их основе проведены исследования и моделирование базовых элементов ИС.

Проведенный анализ подтверждает, что при физическом проектировании СОЗУ с низким энергопотреблением существуют проблемы, которые необходимо решить, наиболее важными из которых являются:

- разработка нового метода физического проектирования ЗЭ и ЗН СОЗУ с низким энергопотреблением;

- разработка нового метода снижения мощности, площади и времени задержки ЗН СОЗУ;

- разработка метода снижения влияния металлических слоев на быстродействие ИС;

- разработка схемотехнического решения усилителя считывания СОЗУ с низким энергопотреблением;

- разработка программного средства физического проектирования СОЗУ с низким энергопотреблением.

Во второй главе представлены разработанные методы и даны решения проблем, описанных в первой главе.

Разработка метода физического проектирования ЗЭ и ЗН СОЗУ с низким энергопотреблением. Метод основан на условиях выбора размеров транзисторов, обеспечивающих стабильную запись и считывание с ЗЭ, на различном расположении транзисторов выборки и инверторов, принципах сохранения симметричности прямых и инверсных битовых сигналов при наличии более одной строки слов и обеспечения минимально возможной площади, а также на удовлетворении требований технологических норм 5 нм.

В результате применения метода были предложены пять топологических решений 6Т ЗЭ и на его основе 16- и 256-битных ЗН с использованием двух слоев

металлизации с использованием ПС "Custom Compiler". На рис. 1 показан третий вариант топологического решения ЗЭ.

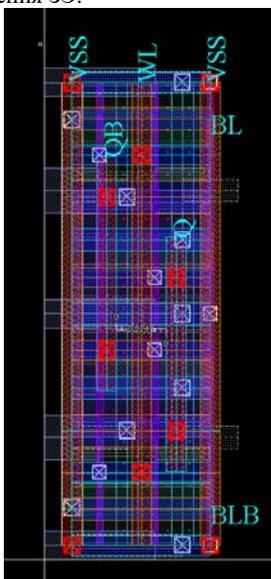


Рис.1. Третье топологическое решение 6ТЗЭ

Для предложенных топологических решений 6Т ЗЭ и на их основе 16- и 256-битных ЗН проведено физическое и схемотехническое моделирование при разных ПНТ с использованием ПС "Custom Compiler" и "HSPICE" при технологических нормах 5 нм. Результаты моделирования показали, что наименьшую площадь имеют третьи варианты ЗЭ (0,05355 мкм²), 16-битной (0,8568 мкм²) и 256-битной (13,7088 мкм²) ЗН, а наименьшее время задержки - первый вариант ЗЭ и третьи варианты 16- и 256-битных ЗН.

Некоторые результаты моделирования приведены на рис.2 и 3. Полученные результаты могут учитываться в процессе проектирования СОЗУ с большой информационной емкостью для выбора архитектур ЗН.

Разработка метода снижения МПЗ - PAD ЗН СОЗУ. При проектировании СОЗУ МПЗ является важным показателем. Для минимизации МПЗ предложены ЗЭ с гибридной структурой, состоящие из транзисторов с разными геометрическими размерами и пороговыми напряжениями.

Разработан метод снижения МПЗ ЗН СОЗУ, основанный на применении 6 типов ЗЭ с гибридной структурой:

1. Все ЗЭ имеют высокое пороговое напряжение и стандартные размеры.
2. Все ЗЭ имеют высокое пороговое напряжение, из которых N-n ЗЭ имеют стандартные размеры, а n – большие (вариант 1).

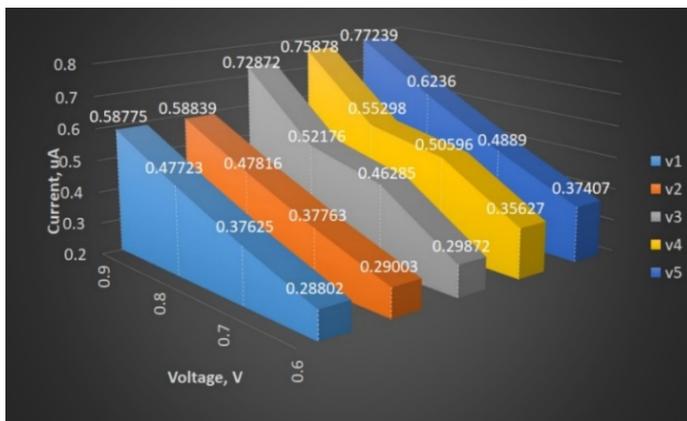


Рис.2. Зависимости потребляемых токов БТ 3Э

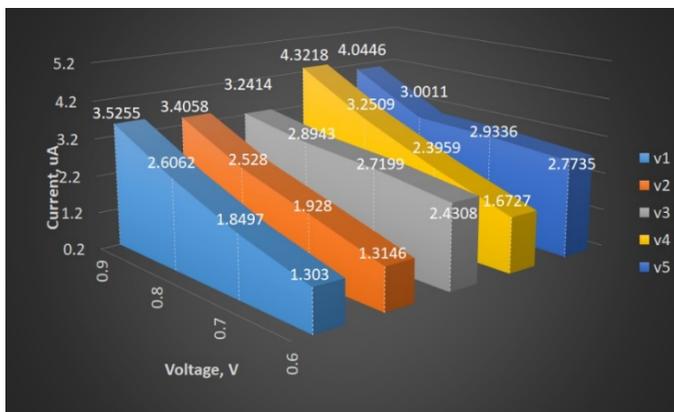


Рис.3. Зависимости потребляемых токов ЗН 256 (16x16) бит

3. Все ЗЭ имеют высокое пороговое напряжение, из которых N-n1-n2 имеют стандартные размеры, n1 – большие размеры (вариант 1), n2 – еще большие размеры (вариант 2).

4. Все ЗЭ имеют стандартные размеры, из которых N-n имеют высокое пороговое напряжение, а n – низкое пороговое напряжение.

5. N-n ЗЭ имеют высокое пороговое напряжение и стандартные размеры, а n – низкое пороговое напряжение и большие размеры (вариант 1).

6. N-n1-n2 ЗЭ имеют высокое пороговое напряжение и стандартные размеры, а n1 – низкое пороговое напряжение и еще большие размеры (вариант 1), n2 – низкое пороговое напряжение и еще большие размеры (вариант 2).

На рис.4 приведен алгоритм построения ЗН для четырех конфигураций.

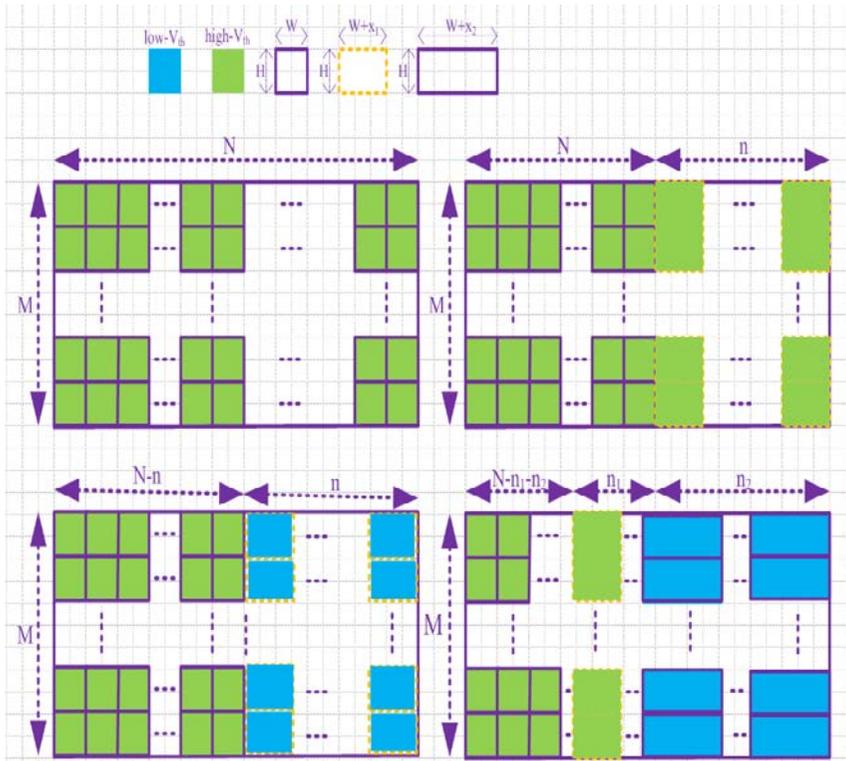


Рис.4. Алгоритм построения 3Н для конфигураций (1Н,0,0), (1Н,2Н,0), (1Н,2L,0), (1Н,2Н,3L)

Каждую конфигурацию 3Н СОЗУ можно охарактеризовать тремя параметрами (p , q , r), где p характеризует $N-p_1-p_2$ 3Э, q - p_1 3Э, а r - p_2 3Э 3Н. В конфигурации (1Н,0,0) 3Н все N 3Э имеют стандартные размеры и состоят из транзисторов с высоким пороговым напряжением. В конфигурации (2Н, 2L, 3L) 3Н $N-p_1-p_2$ 3Э имеют большие размеры и состоят из транзисторов с высоким пороговым напряжением, а p_1 3Э - большие размеры и состоят из транзисторов с низким пороговым напряжением, p_2 3Э - еще большие размеры и состоят из транзисторов с низким пороговым напряжением.

Цель задачи – нахождение того оптимального количества 3Э, которое необходимо добавить к строке 3Н, которая даст возможность минимизировать МПЗ 3Н СОЗУ. Например, при строке, состоящей из N 3Э, необходимо увеличить последние n 3Э. Число n необходимо определить таким образом, чтобы время считывания N -го элемента было меньше или равно времени считывания $N-n$ -го элемента, согласно формулам

$$\text{Propagation Delay}^{N-n} = K((N-n)W)^2 + d_1, \quad (1)$$

$$\text{Propagation Delay}^N = K(NW + nx)^2 + d_2, \quad (2)$$

$$\begin{aligned} \text{Propagation Delay Diff} &= \text{Propagation Delay}^N - \text{Propagation Delay}^{N-n} = \\ &= (d_2 - d_1) + K(n^2x^2 + 2nNWx + \\ &\quad + (2nN - n^2)W^2). \end{aligned} \quad (3)$$

При физическом проектировании необходимо число n ЗЭ увеличить таким образом, чтобы высота ЗЭ не изменилась по сравнению со стандартным ЗЭ. При этом размеры последних n ЗЭ будут увеличиваться на x . Функция минимизации МПЗ будет иметь вид

$$\text{OPT}_{\text{PAD}} = \text{Power} * \text{Delay} * \text{Area}, \quad (4)$$

$$\begin{aligned} \text{OPT}_{\text{PAD}} &= F(W, H, N, n, x) = p(NWH + nxH)(K((N-n)W)^2 + d_1) = \\ &= pKW^2xHn^3 + p(-2NKW^2xH + KW^2NWH)n^2 + \\ &\quad + p(xHKW^2N^2 + xHd_1 - NWHKW^22N)n + \\ &\quad + p(NWHKW^2N^2 + NWHd_1), \end{aligned} \quad (5)$$

$$p = \frac{1}{2} C_{\text{load}} \frac{VDD^2}{T_{\text{cycle}}} a + P_{\text{leakage}}. \quad (6)$$

В формулах (1) – (6) d_1 и d_2 представляют внутренние задержки ЗЭ для стандартных и еще больших размеров. K - постоянная величина, зависящая от технологических норм; W , H соответствует ширине и высоте бТ ЗЭ соответственно. На рис. 5 представлена зависимость функции минимизации от размеров при $W=30$ мкм, $H=16$ мкм, $K=0,001$, $N=256$ и $VDD=0,35$ В с учетом результатов моделирования. При этом используются ЗЭ трех разных размеров, включая стандартный размер. Функция минимизации обеспечивает сокращение на 26,5%, а в случае двух размеров получается сокращение на 18,3%.

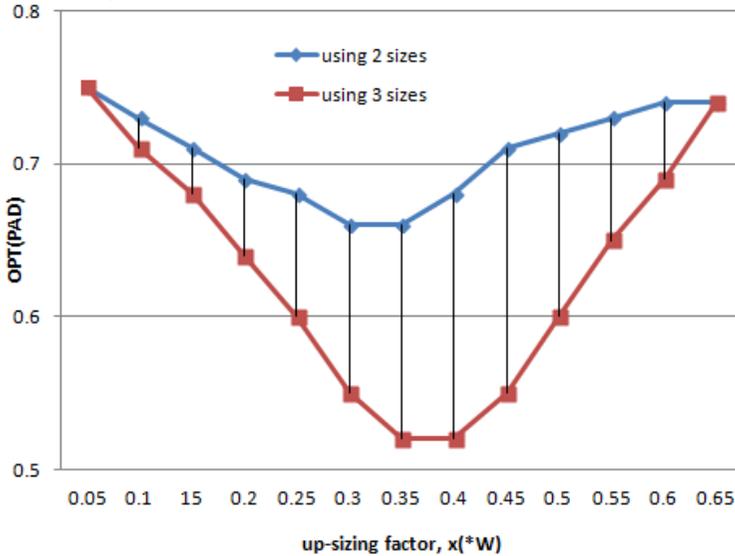


Рис.5. Зависимость функции минимизации от размеров ЗЭ

В табл. 1 приведены результаты проведенного моделирования.

Таблица 1

Результаты моделирования ЗН при разных конфигурациях

Конфигурация	Количество ЗЭ	Функции минимизации, (%)
(1Н, 0, 0)	(256, 0, 0)	-
(1Н, 2Н, 0)	(121, 135, 0)	12
(1Н, 2Н, 3Н)	(70, 74, 112)	21
(1Н, 1L, 0)	(124, 132, 0)	8
(1Н, 2L, 0)	(119, 137, 0)	23
(1Н, 2Н, 3L)	(68, 70, 118)	29

Необходимо отметить, что использование транзисторов с разными пороговыми напряжениями приводит к снижению выхода годных схем.

Разработка метода уменьшения влияния металлизированных слоев на быстродействие ИС. Предложенный метод основан на результатах моделирования емкостных и резистивных компонентов металлических уровней, которые позволяют проектировщику определить правильные каноны.

Предложенный метод представлен в виде следующего алгоритма:

1. Моделировать металлические слои системы.
2. Оценить значения сопротивлений и емкостей этой системы и представить в виде массивов (R_1, R_2, \dots, R_n и C_1, C_2, \dots, C_n).
3. Расположить значения сопротивлений и емкостей в порядке их убывания.
4. Найти среднее математическое ожидание сопротивлений и емкостей.
5. Если среднее математическое ожидание емкостей больше соответствующего значения сопротивления, то требуется выполнение следующего пункта.
6. Поменять слои металлизации и повторно сравнить среднее математическое ожидание.
7. Если условие пункта 5 выполняется наоборот, то следует уменьшить высокие металлические слои и повторно провести сравнение.
8. Пункты 5-7 требуют выполнения до тех пор, пока не получатся максимально близкие по значениям сопротивления и емкости.

Достоверность метода подтверждена результатами моделирования узлов инвертор-буфер, инвертор-И-НЕ и инвертор-ИЛИ-НЕ с использованием 10-ти слоев металлизации, технологических норм 14 нм, напряжения питания 0,9 В, температуры 25°C, типового технологического процесса, входного сигнала с длительностью фронтов 50 пс, а также с помощью программных пакетов "Custom Compiler" и "HSPICE". Расстояние между узлами выбиралось равным 1, 2 и 3 мкм. Некоторые из результатов моделирования представлены на рис. 6-8.

Разработанный алгоритм дает возможность изменять уровни металлизации. Результаты моделирования узлов инвертор-буфер, инвертор-И-НЕ и инвертор-ИЛИ-НЕ позволяют сократить время задержки до 10%. Полученные результаты могут быть использованы для выбора компромиссного варианта энергопотребления и быстродействия СОЗУ.

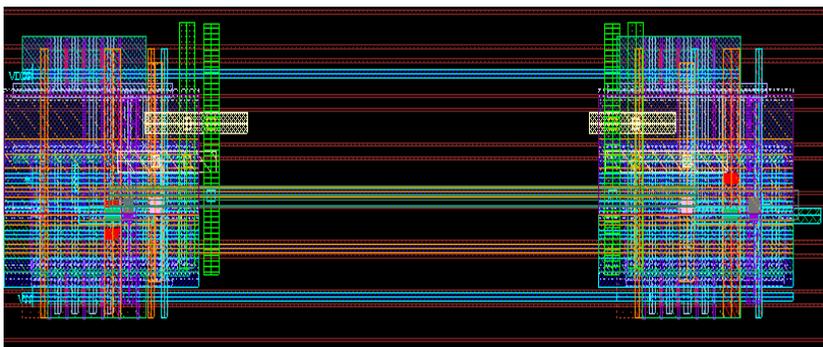


Рис.6. Топология узла инвертор-буфер

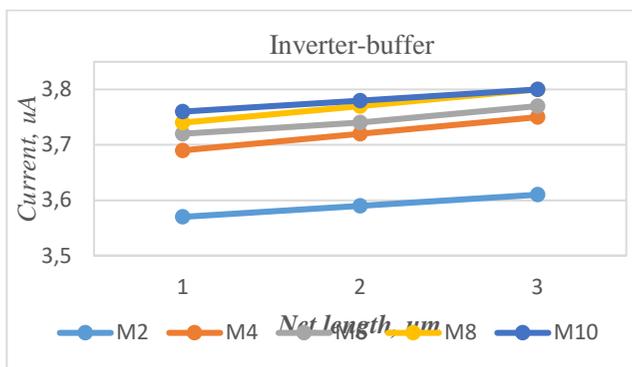


Рис.7. Зависимость потребляемого тока от длины шины узла инвертор - буфер

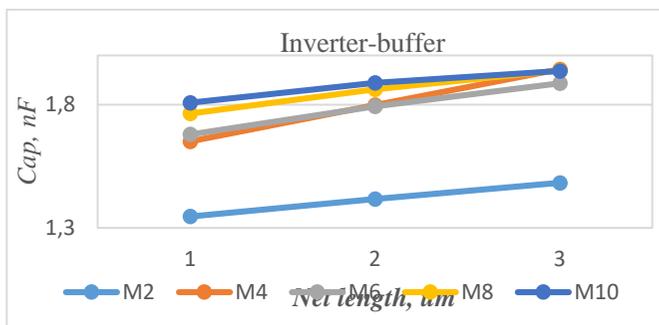


Рис.8. Зависимость емкости шины от длины шины узла инвертор – буфер

Разработка и моделирование усилителя считывания с низким энергопотреблением СОЗУ. В результате наших исследований было предложено новое схемотехническое решение УС (рис. 9).

Результаты моделирования предложенной схемы с технологическими нормами 14 нм в случае разных ПНТ показали, что значения минимальных напряжений чувствительности находятся в диапазоне 12,1...48,9 мВ, а потребляемая мощность снижается на 14,9% по сравнению с широко известными в литературе УС. Отметим, что схема неустойчива к тепловым воздействиям примерно на 20%.

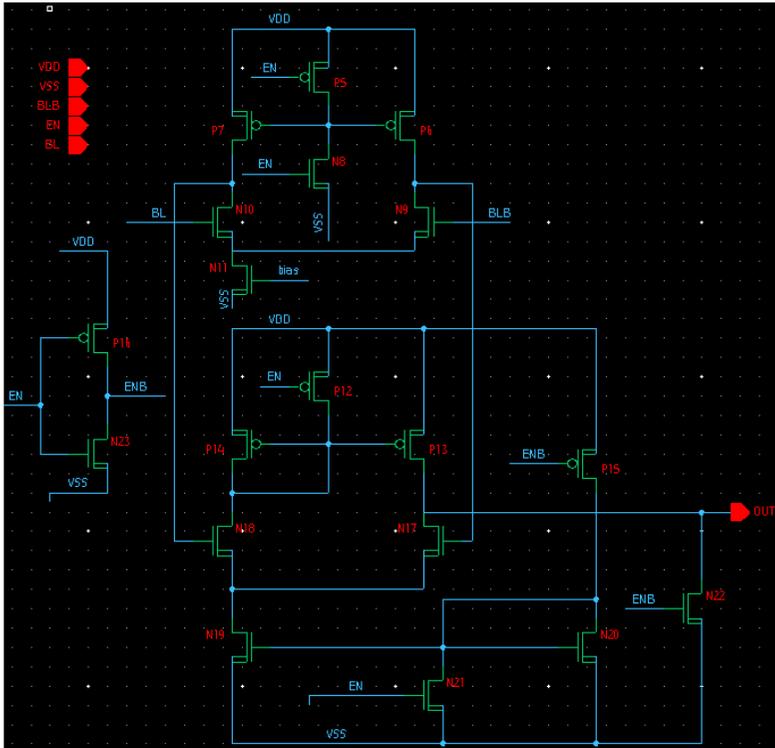


Рис.9. Схема предложенного усилителя чтения

В третьей главе представлено разработанное программное средство "Memory Cells Placer", которое дает возможность реализовать предложенные решения, выполнить моделирование, проанализировать полученные результаты.

Целью ПС "Memory Cells Placer" является снижение энергопотребления СОЗУ за счет размещения различных типов ЗЭ в ЗН. На первом этапе необходимо вводить библиотеку ЗЭ (рис. 10), где могут быть разные типы ЗЭ, например 6Т, 7Т, 8Т, 9Т, 10Т, с пороговым напряжением RVT (Regular Voltreshold), а также управляемые разными пороговыми напряжениями транзисторы: LVT (низкое пороговое напряжение), HVT (высокое пороговое напряжение), ULVT (сверхнизкое пороговое напряжение) и UHVT (сверхвысокое пороговое напряжение). Также возможно использование ЗЭ разной ширины (стандартная ширина width, width+x и width+x+y).



Рис.10. Проектирование 6Т стандартного ЗЭ

Программное средство МСР также обеспечивает возможность проведения сравнительного анализа занимаемых площадей и потребляемых мощностей ЗЭ.

Одной из целей ПС является обеспечение проектировщика возможностью выбрать такую конфигурацию, которая наилучшим образом будет соответствовать проектным требованиям с точки зрения мощности и площади.

Физическое проектирование ЗН СОЗУ с использованием программного средства "Memory Cells Placer". При проектировании ЗН выбирается 6Т ЗЭ со своими вариантами: LVT, RVT и HVT. После выбора ЗЭ с помощью кнопки Build Memory Matrix генерируется ЗН (рис. 11).

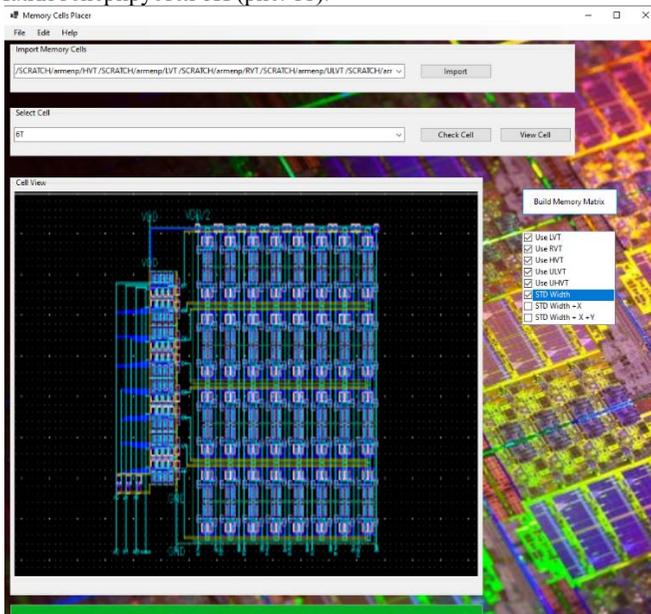


Рис.11. Проектирование ЗН на основе 6Т ЗЭ

Для проектирования следующего ЗН будут использованы еще два варианта 6Т ЗЭ, которые представляют собой 6Т ЗЭ (width+x) и 6Т ЗЭ (width+x+y) с более

широкими геометрическими размерами. На рис.12 показана топология ЗН 6Т (width+x), а на рис.13 проектированная топология на основе 6Т ЗЭ (width+x+y).

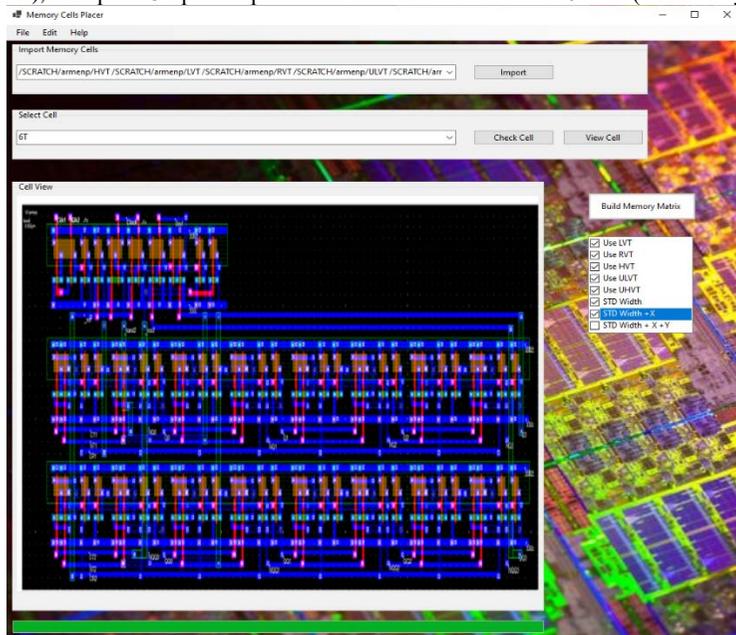


Рис.12. Проектирование ЗН на основе 6Т (width+x) ЗЭ



Рис.13. Проектирование ЗН на основе 6Т (width+x+y) ЗЭ

Оценка эффективности программного средства "Memory Cells Placer".

С помощью предложенного ПС "Memory Cells Placer" осуществляется автоматическое применение методов снижения энергопотребления ЗЭ и ЗН. Для оценки эффективности разработанного ПС проектирование было выполнено сначала без ПС, а затем с использованием ПС после чего проведено сравнение полученных результатов. В обоих случаях было проведено сравнение времени проектирования. Основной ПС является набор алгоритмов, представленных в работе. Для проектирования ЗН был выбран алгоритм, представленный во второй главе.

В случае применения программного средства время проектирования ЗН сокращается примерно от 2 до 7 раз (табл. 2).

Таблица 2

Результаты проектирования без ПС и с использованием ПС

Параметры	Без ПС	С ПС средством
Энергопотребление ЗН (мкВт)	8,1	8,3
Задержка записи/считывания ЗН (нс)	1.876	1.873
Сквозность (%)	45.8	46.3
Время проектирования (час)	24...96	13

Предложенное, программное средство, кроме снижения времени проектирования, дает возможность автоматически выводить числовые значения заранее выбранных параметров.

ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

- Разработан метод физического проектирования 6Т ЗЭ и на его основе ЗН СОЗУ с низким энергопотреблением, основанный на различном расположении транзисторов выборки и инверторов, симметричности прямых и инверсных битовых сигналов и обеспечении возможной малой площади, а также на удовлетворении требований 5 нм технологических норм [1,11].
- Предложены пять топологических решений 6Т ЗЭ и ЗН с использованием разработанного метода. Результаты схемотехнического и физического моделирования при разных процессах, напряжениях питания и температурах (ПНТ) составят основу проектирования СОЗУ с низким энергопотреблением [1,11].
- Предложен метод снижения мощности, площади и времени задержки (МПЗ - PAD) ЗН СОЗУ, основанный на использовании ЗЭ с гибридной структурой. Гибридные ЗЭ, используемые в ЗН СОЗУ, отличаются друг от друга как геометрическими размерами, так и пороговыми напряжениями составляющих транзисторов [3].
- Разработан алгоритм, позволяющий производить выбор топологических решений по положению ЗЭ в ЗН для обеспечения низкого энергопотребления. Применение алгоритма позволило снизить МПЗ на 29% [3].
- Предложен метод снижения влияния слоев металлизации на быстродействие ИС, основанный на компромиссе выбора значений компонентов

емкости и сопротивления и позволяющий путем моделирования выбрать все те случаи, при которых целесообразно изменение уровней металлизации [2,8,12].

- Разработан алгоритм, позволяющий изменять уровни металлизации. Результаты моделирования узлов инвертор-буфер, инвертор-И-НЕ и инвертор-ИЛИ-НЕ показывают сокращение времени задержки до 10%. Полученные результаты могут быть использованы для компромиссного решения выбора энергопотребления и быстродействия СОЗУ [2,8].

- Предложено новое схемотехническое решение усилителя считывания. Результаты проведенного моделирования показали, что УС обеспечивает снижение мощности на 14,9% за счет увеличения неустойчивости к тепловым воздействиям примерно на 20% [5,9,10].

- Для автоматизации физического проектирования СОЗУ с низким энергопотреблением и исследования их параметров разработано программное средство (ПС) "Memory Cells Placer", позволяющее размещать заранее спроектированные ЗЭ по разработанному нами алгоритму, в результате чего можно получить представление о значениях мощности, площади и быстродействия ЗЭ и ЗН, а также проводить предварительное прогнозирование. Последнее в дальнейшем облегчает решение проблем и внесение изменений на заключительных этапах проекта. Данное ПС позволяет прогнозировать потребляемую мощность ЗН всего за 13 часов, в том случае, что без ПС на проектирование ушло бы, как минимум, 24 часа, а как максимум 96 - часов [4,6,7].

- Предложенные в диссертации методы и средства проектирования СОЗУ, ЗН и ЗЭ с низким энергопотреблением внедрены в ЗАО "СИНОПСИС АРМЕНИЯ". Их использование позволило эффективно снизить потребляемую мощность СОЗУ, обеспечив при этом приемлемые для них временные параметры и занимаемую кристаллом площадь. Применение разработанного ПС "Memory Cells Placer" на этапе проектирования и моделирования показало его высокую эффективность.

Основные результаты диссертации опубликованы в следующих работах:

1. Melikyan V.Sh., Petrosyan A.O. Physical design of 6T Cell of SRAM Devices and Comparative Analysis of Layout // 2023 IEEE East-West Design & Test Symposium (EWDTS). - Batumi, Georgia, 2023. - P. 1-4, doi: 10.1109/EWDTS59469.2023.10297065.
2. Avdalyan Narek, Petrosyan Armen. Development of a method for reducing the impact of metal interconnection parameters on the speed of VLSI // Proceedings of Eighth International Congress on Information and Communication Technology (ICICT 2023). - London, Springer, 2023. -Vol. 2. - P. 1-9.
3. Avdalyan Narek, Petrosyan Armen, Ghukasyan Sevak, Khojayan Zhanna. Development of a Method for Reducing the Power, Area and Delay Time for a Static Random Access Memory Cell // Proc. of the International Conference on Electrical, Computer and Energy Technologies (ICECET 2022), 20-22 July 2022. - Prague-Czech Republic, 2022. - P. 1-5.
4. Harutyunyan A.G., Revazyan D.V., Davtyan V.R., Petrosyan A.O. Matrix implementation of genetic algorithm for integrated circuits elements placement //

Proceedings of the XXIV International scientific Practical Conference Modern information and Electronic Technologies, 29 - 31 May, 2023. - Odesa, Ukraine, 2023. – P. 58-59.

5. Mkhitarian A.Kh., Hovhannisyanyan V.D., Hakobyan L.D., Grigoryan A.Kh., Petrosyan A.O. Built-in self-test and self-correction method for mixed-signal integrated circuits // Proceedings of the RA NAS and NPUA. Series of Technical Sciences. – 2023. - Vol. 76, № 1. - P. 52-57, DOI: 10.53297/0002306X-2023.v76.1-52.

6. Mkhitarian A.Kh., Hakobyan L.D., Grigoryan A.Kh., Petrosyan A.O. Calculation of Decoupling the Capacitors` Capacitance Using the Poweric Decap Calculator Subsystem // Proceeding of NPUA: Information Technologies Electronics, Radio engineering. - 2022. – №2. - P. 81-87, DOI: 10.53297/1829336-2022.2-81.

7. Momjyan A.M., Petrosyan A.O., Gumroyan H.V. Development a tool for low-power memory cell design // Proceeding of NPUA: Information Technologies Electronics, Radio engineering. - 2022. – N1. - P. 85-93, DOI: 10.53297/1829336-2022.1-85.

8. Պետրոսյան Ա.Օ. Ինտեգրալ սխեմաներում հաղորդման գծերի ծրագման խնդիրների առանձնահատկությունների վերլուծություն // Հայաստանի ազգային պոլիտեխնիկական համալսարանի Լրաբեր. Գիտական հոդվածների ժողովածու. - Մաս1. - Երևան 2022. – էջ 196-203:

9. Momjyan A.M., Petrosyan A.O., Hovhannisyanyan V.D. Reduction of the power consumption in the SRAM sense amplifier // Proceeding of NPUA: Information Technologies Electronics, Radio engineering. - 2021. – №1. - P. 34-42, DOI: 10.53297/1829336-2021.1-34.

10. Պետրոսյան Ա.Օ. Ստատիկ օպերատիվ հիշող սարքերի արագագործ և ցածր էներգասպառմամբ ուժեղարի մշակումը և մոդելավորումը // Հայաստանի ազգային պոլիտեխնիկական համալսարանի Լրաբեր. Գիտական հոդվածների ժողովածու. - Մաս 2. - Երևան, 2021. – էջ 349-356:

11. Մելիքյան Կ.Ա., Պետրոսյան Ա.Օ. Եռաչափ փականով տրանզիստորների ինտեգրալ սխեմաների բազային տարրերի հետազոտումը և մոդելավորումը // Հայաստանի ազգային պոլիտեխնիկական համալսարանի Լրաբեր. Գիտական հոդվածների ժողովածու. – Մաս 2. - Երևան, 2020. – էջ 155-160:

12. Avdalyan N.B., Petrosyan A.O. Research and modeling of basic elements with a three-dimensional valve structure // Proceedings of NPUA: Information Technologies, Electronics, Radio engineering. - 2019. - № 2. - P. 88-98.

ԱՍՓՈՓԱԳԻՐ

Ժամանակակից ԻՄ-երում իրենց ուրույն տեղն ունեն ՍՕՀՄ-երը, որոնց աշխատանքային հաճախականությունը հասնում է մինչև մի քանի ԳՀց-ի: Այսպիսի հաճախականությունների դեպքում ՍՕՀՄ-երի էներգասպառումը կտրուկ աճում է: ԻՄ-երի արտադրությունում ՍՕՀՄ-երի մասնաբաժինը կազմում է մոտավորապես 60%: Ներկայումս ՍՕՀՄ-երը զբաղեցնում են նախագծվող սարքերի ամբողջ ֆիզիկական մակերեսի մոտավորապես 70 տոկոսը և էներգասպառման մոտավորապես 50-70%-ը, հետևաբար՝ էներգասպառման նվազեցումը արդիական խնդիր է:

Տեխնոլոգիայի մասշտաբավորմանը զուգընթաց ներկայումս արտադրվող ԻՄ-ներում տրանզիստորների նվազագույն չափերը հասել են 14 նմ և ավելի փոքր չափերի: Հետևաբար ուժեղանում է ԻՄ-երի ֆիզիկական կառուցվածքների, միջմիացումների և դրանց պարամետրերի ազդեցությունը ԻՄ-երի էլեկտրական ու ֆունկցիոնալ բնույթագրերի վրա: Այդ իսկ պատճառով ինտենսիվ աշխատանքներ են կատարվում ԻՄ-երի նախագծման նոր և լավարկված միջոցների մշակման ուղղությամբ, որոնք կնպաստեն մշակվող ՍՕՀՄ-երի էներգասպառման ու հիշողության կուտակչի (ՀԿ) հզորության, մակերեսի և հապաղման ժամանակի (ՀՄՀ) նվազարկմանը:

Տեխնիկական գրականությունում առկա էներգասպառման նվազեցմանը միտված նախագծման ֆիզիկական միջոցների կիրառությունը տեխնոլոգիայի հետագա մաշտաբավորման դեպքում հանգեցնում է այդ միջոցների բարդացմանը: Հետևաբար՝ արդիական խնդիր է դառնում ցածր էներգասպառմամբ ՍՕՀՄ-երի ֆիզիկական նախագծման միջոցների մշակումը, ինչը նախագծողների առջև լուծում պահանջող նոր խնդիրներ է առաջադրում:

Ատենախոսությունը նվիրված է ցածր էներգասպառմամբ ՍՕՀՄ-երի ֆիզիկական նախագծման մեթոդների և միջոցների մշակմանը, որոնք էապես կբարելավեն համակարգի ընդհանուր էներգասպառումը և կնպաստեն նախագծման ժամանակի փոքրացմանը:

Մշակվել է ցածր էներգասպառմամբ ՍՕՀՄ-ի 6Տ ՀՏ-ի և դրա հիման վրա՝ ՀԿ-երի ֆիզիկական նախագծման մեթոդ՝ հիմնված ընտրության տրանզստորների և ինվերտորների տարբեր դասավորվածության վրա, ուղիղ և ինվերս բիթային ազդանշանների համաչափության ու հնարավոր փոքր մակերես ապահովելու, ինչպես նաև 5 նմ տեխնոլոգիական նորմերի պահանջները բավարարելու համար: Մշակված մեթոդի կիրառմամբ առաջարկվել են 6Տ ՀՏ-ի և ՀԿ-երի հինգ տոպոլոգիական լուծումներ: Տարբեր ՊՋԼ-ների դեպքում սխեմատեխնիկական և ֆիզիկական մոդելավորումների ստացված արդյունքները հիմք կհանդիսանան ցածր էներգասպառմամբ ՍՕՀՄ-երի նախագծման համար:

Առաջարկվել է ՍՕՀՄ-երի ՀԿ-ի հզորության, մակերեսի և հապաղման ժամանակի նվազարկման մեթոդ՝ հիմնված հիբրիդային կառուցվածքով ՀՏ-երի

կիրառության վրա: ՍՕՀՄ-ի ՀԿ-ում օգտագործված հիբրդային ՀՏ-երը իրարից տարբերվում են ինչպես երկրաչափական չափերով, այնպես էլ տրանզիստորների շեմային լարումներով: Մշակվել է ալգորիթմ, որը հնարավորություն է տվել ցածր էներգասպառում ապահովելու համար կատարել տոպոլոգիական լուծումների ընտրություն ՀԿ-ում ՀՏ-ի դիրքով: Ալգորիթմի կիրառումը թույլ է տվել ապահովել ՀՄՀ-ի նվազարկում 29%-ով:

Առաջարկվել է ԻՄ-երի արագագործության վրա մետաղական շերտերի ազդեցության նվազարկման մեթոդ՝ հիմնված դրանց ունակության և դիմադրության բաղադրիչների փոխզիջման վրա, որը թույլ է տալիս մոդելավորման ճանապարհով գտնել բոլոր այն դեպքերը, երբ նպատակահարմար է փոխել մետաղական մակարդակները: Մշակվել է ալգորիթմ, որը հնարավորություն է տվել իրականացնել մետաղական մակարդակների փոփոխություն: Ինվերտոր - բուֆեր, ինվերտոր - ԵՎ-ՈՉ և ինվերտոր - ԿԱՄ-ՈՉ հանգույցների մոդելավորման արդյունքները հաստատել են հապաղման ժամանակի նվազարկում մինչև 10%: Ստացված արդյունքները կարող են օգտագործվել ՍՕՀՄ-երի էներգասպառման և արագագործության փոխզիջումային տարբերակի ընտրության համար:

Առաջարկվել է ԸՈԻ-ի նոր սխեմատեխնիկական լուծում: Կատարված մոդելավորման արդյունքները ցույց են տվել, որ առաջարկված ուժեղարարը ապահովում է հզորության 14.9%-ով նվազում՝ ի հաշիվ ջերմային էֆեկտների նկատմամբ անկայունության մոտավորապես 20%-ով աճի:

Ատենախոսությունում առաջարկված ցածր էներգասպառումով ՍՕՀՄ-երի, ՀԿ-երի և ՀՏ-երի նախագծման մեթոդները ու միջոցները ինչպես նաև Memory Cells Placer ծրագրային միջոցը ներդրված են «ՄԻՆՈՓՄԻՄ ԱՐՄԵՆԻԱ» ՓԲԸ-ում: Դրանց կիրառումը հնարավորություն է տվել արդյունավետ կերպով իրականացնել ՍՕՀՄ-երի էներգասպառման զգալի նվազեցում՝ միաժամանակ ապահովելով դրանց ընդունելի ժամանակային պարամետրերն ու բյուրեղի վրա զբաղեցրած մակերեսը: Մշակված Memory Cells Placer ծրագրային միջոցի կիրառումը նախագծման և նմանակման փուլում ցույց է տվել դրա բարձր արդյունավետությունը՝ հնարավորություն տալով նախագծումը իրականացնել ՀԿ-ի էներգասպառումը ընդամենը 13 ժամում, իսկ առանց ծրագրային միջոցի կապահանջվեր նվազագույնը 24 ժամ, իսկ առավելագույնը՝ 96 ժամ:

ARMEN OLEG PETROSYAN

**DEVELOPMENT OF PHYSICAL DESIGN TOOLS FOR LOW-POWER
STATIC RANDOM ACCESS MEMORIES DEVICES**

SUMMARY

SRAMs, whose operating frequency reaches several GHz, have their unique place in modern ICs. At such frequencies, the power consumption of SRAMs increases dramatically. The share of RAMs in the production of ICs is approximately 60%. Currently, RAMs occupy approximately 70% of the total physical area of the devices being designed and approximately 50-70% of the power consumption, so reducing the power consumption is a topical issue.

As technology has scaled, the minimum transistor sizes in currently manufactured ICs have reached 14 nm and smaller. Therefore, the influence of the physical structures of ICs, interconnections and their parameters on the electrical and functional characteristics of ICs is enhanced. For this reason, intensive work is being done to develop new and improved IC design methods to minimize the memory storage (MS) power, area, and delay time (PAD) and power consumption of SRAMs being developed.

The use of physical means of design aimed at reducing energy consumption available in technical literature leads to the complexity of these means in case of further scaling of the technology. Therefore, the development of means of physical design of SRAMs with low power consumption becomes a topical issue, which poses new problems for designers to solve.

The dissertation is devoted to the development of methods and means of physical design of SRAMs with low energy consumption, which will significantly improve the overall energy consumption of the system and contribute to the reduction of design time.

A method of physical design of low-power SRAM 6T MC (memory cell) and MS based on it was developed, based on different arrangements of selection transistors and inverters, to ensure symmetry of direct and inverse bit signals and possible small area, as well as 5 nm technological standards. to meet the requirements. Using the developed method, five topological solutions of 6T MCs and MSs were proposed. The obtained results of schematic and physical simulations for different process-voltage-temperatures (PVTs) will be the basis for the design of SRAMs with low energy consumption.

A method for reducing the power, area and delay time of MS of SRAMs was proposed based on the use of MCs with a hybrid structure. Hybrid MCs used in MS of SRAM differ from each other both in geometrical dimensions and in threshold voltages of transistors. An algorithm was developed that made it possible to select topological solutions in the MS with an MC position to ensure low energy consumption. The application of the algorithm allowed to reduce PAD by 29%.

A method for reducing the effect of metal layers on performance of ICs based on the trade-off between their capacitance and resistance components has been proposed, which allows to find by simulation all the cases where it is appropriate to change the metal levels. An algorithm was developed that made it possible to change metal levels. Simulation results for inverter-buffer, inverter-AND-NOT and inverter-OR-NOT loops confirmed a

delay time reduction of up to 10%. The obtained results can be used to choose a compromise between power consumption and the performance of SRAMs.

A new schematic and technical solution for the reading amplifier was proposed. The simulation results showed that the proposed amplifier provides a 14.9% power reduction at the expense of an approximately 20% increase in thermal instability.

The methods and means of designing low-energy SRAMs, MSs and MCs, as well as the Memory Cells Placer software, proposed in the dissertation, are implemented in "SYNOPSIS ARMENIA" CJSC. Their use made it possible to effectively reduce the energy consumption of SRAMs, while ensuring their acceptable time parameters and the occupied surface on the crystal. The application of the developed Memory Cells Placer software during the design and simulation phase showed its high efficiency, enabling the design to realize the MS power consumption in only 13 hours, while without the software, it would have taken a minimum of 24 hours and a maximum of 96 hours.

A handwritten signature in blue ink, consisting of stylized, cursive letters, likely representing the author's name.