

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ, ԳԻՏՈՒԹՅԱՆ,
ՄՇԱԿՈՒՅԹԻ ԵՎ ՍՊՈՐՏԻ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

Ավագյան Նարեկ Ավետիսի

ԻՆՏԵԳՐԱԼ ՄԽԵՄԱՆԵՐՈՒՄ ԾԵՐԱՑՄԱՆ ՀԵՏԵՎԱՆՔՆԵՐԻ
ՄԵՂՄԱՑՄԱՆ ԱՐԶԵՍԱԿԱՆ ԲԱՆԱԿԱՆՈՒԹՅԱՄԲ ՄԻՋՈՑՆԵՐԻ
ՄՇԱԿՈՒՄԸ ԵՎ ՀԵՏԱԶՈՏՈՒՄԸ

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի
հայցման ատենախոսության

ՄԵՂՄԱՑՄԱՆ

Երևան 2024

МИНИСТЕРСТВО ОБРАЗОВАНИЯ, НАУКИ, КУЛЬТУРЫ И СПОРТА
РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

Авакян Нарек Аветикович

**РАЗРАБОТКА И ИССЛЕДОВАНИЕ СРЕДСТВ ДЛЯ СМЯГЧЕНИЯ
ПОСЛЕДСТВИЙ СТАРЕНИЯ В ИНТЕГРАЛЬНЫХ СХЕМАХ С
ПОМОЩЬЮ ИСКУССТВЕННОГО ИНТЕЛЛЕКТА**

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата
технических наук по специальности 05.27.01-
“Электроника, микро- и нанoeлектроника”

Ереван 2024

Ատենախոսության թեման հաստատվել է Երևանի պետական համալսարանում (ԵՊՀ):

Գիտական ղեկավար՝ տ.գ.դ. Վազգեն Շավարշի Մելիքյան

Պաշտոնական ընդդիմախոսներ՝ տ.գ.դ. Օլեգ Հարությունի Պետրոսյան
տ.գ.թ. Արման Արամի Վարդանյան

Առաջատար կազմակերպություն՝ Հայ-Ռուսական (Սլավոնական)
Համալսարան

Ատենախոսության պաշտպանությունը կայանալու է 2024թ. սեպտեմբերի 5-ին, ժամը 14⁰⁰-ին, ՀԱՊՀ-ում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 Մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:

Սեղմագիրն առաքված է 2024թ. հուլիսի 31-ին

046 մասնագիտական խորհրդի
գիտական քարտուղար, տ.գ.թ.



Բենիամին Ֆելիքսի Բադալյան

Тема диссертации утверждена в Ереванском государственном университете (ЕГУ)

Научный руководитель: д.т.н. Вазген Шаваршович Меликян

Официальные оппоненты: д.т.н. Олег Арутюнович Петросян
к.т.н. Арман Арамович Варданян

Ведущая организация: Российско-армянский университет

Защита диссертации состоится 5-го сентября 2024 г. в 14⁰⁰ ч. на заседании Специализированного совета 046 — "Радиотехники и электроники", действующего при Национальном политехническом университете Армении (НПУА), по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 31-го июля 2024 г.

Ученый секретарь
Специализированного совета 046, к.т.н.



Бениамин Феликсович Бадалян

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. Жесткие ограничения, налагаемые на проектные параметры и условия эксплуатации интегральных схем (ИС) с каждым днем увеличиваются, а разнообразие областей их применения повышает требования к их надежности. Обеспечение надежности ИС требует вмешательства на каждом этапе процесса проектирования, начиная от характеристики и корректировки схемы и заканчивая окончательной проверкой.

Одной из основных причин, влияющих на надежность ИС, является их старение, которое в общем характеризуется деградацией с течением времени полупроводникового материала, используемого в производственном процессе. Этот феномен вызывает изменения параметров схемы, что, в свою очередь, приводит к выходу ИС из строя раньше запланированного срока.

В условиях технологий, достигающих нанометрового масштаба, оценка изменений параметров ИС из-за старения является актуальной задачей. Различные научные группы пытаются найти эффективные решения для исследования и смягчения последствий старения в ИС. Требования к исследованию старения более усложняются в случае сверхбольших цифровых ИС, где количество элементов превышает 100 миллиардов, а скорость составляет несколько десятков гигагерц. В этом случае возникает необходимость учета влияния других факторов на старение, однако при использовании существующих методов это требует значительных временных и вычислительных ресурсов. Данный процесс становится более эффективным благодаря применению методов искусственного интеллекта (ИИ), которые развиваются с каждым днем.

Диссертация посвящена разработке методов для цифровых ИС, которые позволяют с помощью ИИ рассчитать нарушения параметров, вызванные старением, учесть на этапе проектирования влияние этих нарушений на временные ограничения критических путей ИС, оценить зависимость этих нарушений от изменений установленных условий эксплуатации и, по возможности, уменьшить их. В этом процессе также необходимо учитывать влияние других факторов в ИС на последствия старения.

Объект исследования. Новый метод мониторинга последствий старения в цифровых ИС нанометрических размеров с использованием ИИ.

Цель работы. Исследовать и разработать для цифровых ИС с использованием ИИ такие методы, которые позволят осуществлять мониторинг явлений деградации, вызванных старением. Иными словами, спрогнозировать и уменьшить рост задержек критических путей цифровых ИС в максимально короткие сроки. Увеличить процент выхода работающих ИС, одновременно улучшая их технические параметры.

Методы исследования. В ходе исследования были использованы различные математические модели, описывающие влияние старения, инструментарий для проектирования цифровых ИС, а также некоторые языки сценариев для описания модели ИИ и реализации программного обеспечения.

Научная новизна:

- Разработан метод оценки совместного влияния старения ИС и падения напряжения в питающих шинах, который благодаря применению алгоритмов

машинного обучения (МО) обеспечивает предсказание задержек для каждой логической ячейки в схеме, что позволяет примерно в 6...7 раз сократить затраты машинного времени при потере точности прогнозируемых данных примерно на 2,49%.

- Создан метод оценки совместного влияния старения ИС, падения напряжения в питающих шинах, а также самонагрева с применением алгоритмов МО, который за счет предсказания задержек, вызванных указанными явлениями, для каждой логической ячейки в схеме обеспечивает примерно в 5 раз сокращение затрат машинного времени при потере точности прогнозируемых данных примерно на 3,7%.
- Предложен метод к уменьшению влияния явлений падения напряжения в питающих шинах и энергопотребления в цифровых ИС путем размещения развязывающих конденсаторов (РК), который за счет увеличения их количества в схемах обеспечивает уменьшение среднего значения падения напряжения в наихудшем случае на 20,73%, а энергопотребления в среднем на 2,34%, при этом уменьшая временные запасы установки и удержания последовательных элементов соответственно на 24,62% и 19,23%.

Практическая ценность работы. Создано программное средство (ПС) “ML Based Timing Analyzer” (MLBTA), использование которого для прогнозирования временных параметров цифровых ИС обеспечивает в среднем примерно 5,65-кратную экономию времени на их получение при ошибке прогноза в 2,03% для наихудшего времени установки входного сигнала, 1,78% для наихудшего времени удержания входного сигнала, 1,66% для общего времени установки входного сигнала и 1,27% для общего времени удержания входного сигнала.

На защиту выносятся следующие научные положения:

- метод прогнозирования задержек логических ячеек в ИС с учетом явлений старения и падения напряжения в питающих шинах на основе алгоритмов МО;
- метод расчета задержек логических ячеек с учетом взаимного влияния явлений старения, падения напряжения в питающих шинах и самонагрева;
- метод снижения воздействия самонагрева и падения напряжения в питающих шинах на последствия старения в ИС;
- ПС для прогнозирования задержек логических ячеек в цифровых ИС с учетом старения и других воздействий.

Достоверность научных положений подтверждается представленными в диссертации экспериментальными результатами схемотехнического моделирования и математическими обоснованиями.

Внедрение. Разработанное ПС MLBTA внедрено в компании ЗАО “СИНОПСИС АРМЕНИЯ” и используется на этапе физического проектирования цифровых ИС для прогнозирования задержек логических ячеек.

Апробация работы. Основные научные и практические результаты диссертации докладывались на:

- Международном симпозиуме "IEEE East-West Design & Test" (Батуми, Грузия, 2023);
- научных семинарах кафедры "Микроэлектронные схемы и системы" НПУА (Ереван, Армения, 2021 - 2024 гг.);

- научных семинарах ЗАО "Синописис Армения" (Ереван, Армения, 2021 - 2024 гг.).

Публикации. Основные положения диссертации представлены в восьми научных работах, список которых приведен в конце автореферата.

Структура и объем диссертации. Диссертация состоит из введения, трех глав, основных выводов, списка литературы из 143 наименований и пяти приложений. В первом приложении представлен акт внедрения диссертации, во втором - процесс проведения теплового моделирования, в третьем - фрагмент описания подготовки предложенной модели предсказания задержек, в четвертом - часть описания разработанного программного инструмента "ML Based Timing Analyzer", в пятом - списки использованных рисунков, таблиц и сокращений. Объем диссертации составляет 112 стр., а вместе с приложениями - 138 стр.. Диссертация написана на армянском языке.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность темы диссертации, сформулированы цель и основные задачи исследования, представлены методы исследования, научная новизна, практическое значение и основные научные положения, выносимые на защиту.

В первой главе рассматриваются причины возникновения старения ИС, их последствия и характерные параметры.

Наряду с развитием ИС перед их разработчиками и производителями возникают многочисленные вызовы. Среди этих вызовов — проектирование схем с низким энергопотреблением, обеспечение высокой производительности, возможность бесперебойной передачи данных, то есть целостность сигнала, и т.д.. Одним из важнейших вызовов в этом ряду считается устранение последствий старения ИС. В процессе эксплуатации ИС их параметры и характеристики естественным образом изменяются, т.е. ИС стареют. Основными причинами старения являются: нестабильность температуры смещения (НТС), инжекция горячих носителей (ИГН), деградация изолятора, зависящая от времени, и электромиграция (ЭМ). Эти явления приводят, например, к увеличению абсолютного значения порогового напряжения транзистора (рис. 1).

Существует множество аналитических моделей, описывающих изменение порогового напряжения в зависимости от количества ловушек интерфейса, которые являются основной причиной старения:

$$\Delta V_{\text{пор}} = qN_{\text{ли}}/C_{\text{из}}, \quad (1)$$

где q - элементарный заряд; $N_{\text{ли}}$ - количество ловушек интерфейса; $C_{\text{из}}$ - емкость, сформированная вокруг изоляционного слоя затвора транзистора. Указанные ловушки интерфейса возникают в результате разрыва связей Si-H между подложкой транзистора (Si) и изоляционным слоем (SiO_2). В общем, Si-H связи используются для нейтрализации зарядов атомов кремния со свободными электронами в валентной зоне, появившихся на поверхности изолирующего слоя затвора и канала транзистора. Однако при наличии электрического поля 1...3 МВ/см и температуры 80...150°C, что соответствует режиму высокого напряжения, эти связи могут разрываться. Таким образом образуются ловушки интерфейса.

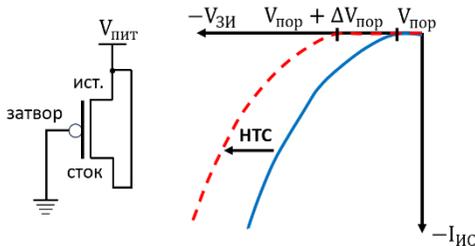


Рис. 1. Влияние НТС на $\Delta V_{\text{пор}}$

Величина изменения порогового напряжения транзистора под воздействием старения, как правило, увеличивается с ростом температуры (рис. 2 а) и питающего напряжения (рис. 2 б).

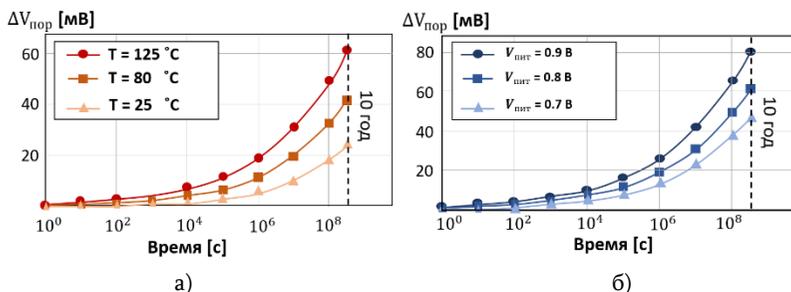


Рис. 2. Зависимость порогового напряжения транзистора от: а - температуры, б - напряжения питания

Старение также влияет на подвижность носителей заряда в канале транзистора, для чего существуют характерные модели (рис. 3).

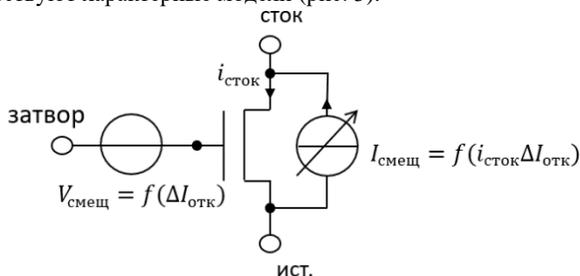


Рис. 3. Модель, описывающая ИГН

Старение стало важнейшим вызовом по следующим причинам:

- изменилось соотношение между величиной изменения параметров вследствие старения и их абсолютными значениями;

- в связи с повышением надежности ИС требования к срокам их эксплуатации ужесточились;
- параметры ИС подвержены более значительной деградации, и их соотношение к номинальным значениям составляет гораздо большее число;
- постоянное уменьшение поперечного сечения межсоединений привело к тому, что при тех же значениях токов явление ЭМ проявляется значительно раньше;
- развитие технологического процесса приводит к использованию новых материалов в структуре металл-оксид-полупроводник (МОП) транзисторов;
- применение материалов с высоким коэффициентом приводит к новому воздействию НТС на МОП транзисторы n-типа.
- масштабирование ИС приводит к увеличению плотности межсоединений и, как следствие, увеличению паразитных емкостей между ними;
- временные ограничения, налагаемые на цифровые ИС, становятся все более строгими.

Для смягчения последствий старения разработаны определенные методы. В частности, предложен метод расчета коэффициентов отклонения временных параметров (КОВП) стандартных ячеек для устранения последствий старения в цифровых ИС. Эти коэффициенты применяются в тех случаях, когда физика явления недостаточно понятна, и невозможно точно смоделировать его, например, с помощью моделей SPICE (рис. 4).

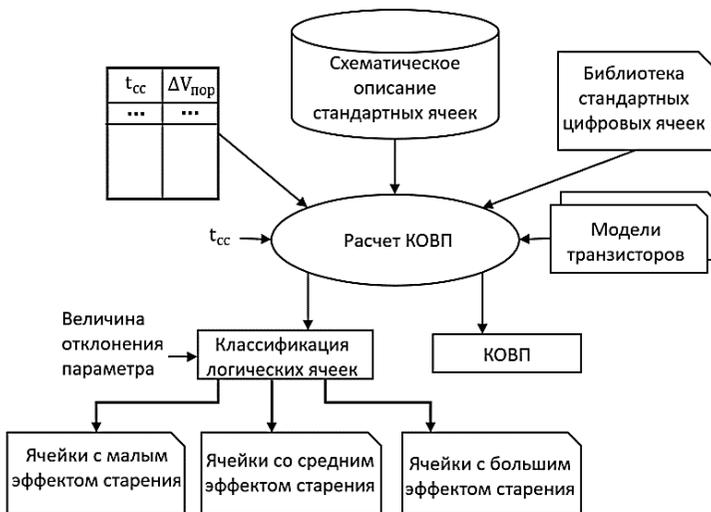


Рис. 4. Процесс получения КОВП

При применении указанного метода задержки критических путей схемы, в зависимости от количества логических ячеек в пути, уменьшаются максимум на 19%. Однако этот метод имеет следующие недостатки:

- последствия старения рассматриваются только под воздействием НТС;

- воздействие НТС на изменение порогового напряжения транзистора в зависимости от срока его службы выражается простой степенной функцией;
- расчеты КОВП выполняются только для комбинационных элементов;
- выбираются фиксированные значения питающего напряжения, температуры, выходной нагрузки и длительности переключения входного сигнала;

Из-за вышеупомянутых недостатков предлагается новый метод расчета КОВП с использованием МО. В этом методе:

- расчет КОВП осуществляется для различных рабочих напряжений, температур, выходных нагрузок и длительностей переключения входного сигнала;
- при изменении порогового напряжения транзистора также учитывается влияние ИГН;
- расчеты КОВП проводятся для комбинационных и последовательных элементов.

В данном методе расчет КОВП осуществляется на основе существующих измерений статического анализа времени (САВ) (рис. 5).

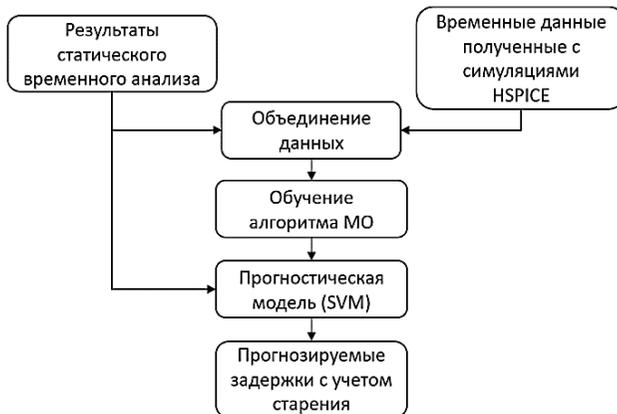


Рис. 5. Описание метода прогнозирования, основанного на данных статического временного анализа

Модель МО была реализована с использованием линейной регрессии. При применении данного метода ошибка предсказания задержек логических ячеек составляет 4%, а ошибка предсказания задержек определяющих путей в цифровых интегральных схемах - 7%.

В ранее перечисленных методах при рассмотрении последствий старения ИС не учитывалась скважность входных сигналов логических ячеек, который определяет длительность логических уровней сигнала в течение одного периода. Рассмотрение скважности позволяет оценить характер восстановления изменения порогового напряжения транзистора под воздействием старения. Поэтому предлагается новый метод с использованием МО, согласно которому при рассмотрении последствий старения в ИС также учитываются указанные коэффициенты заполнения. В указанном методе последствия старения оцениваются с помощью единой модели старения MOSRA, разработанной компанией Synopsys (рис. 6).

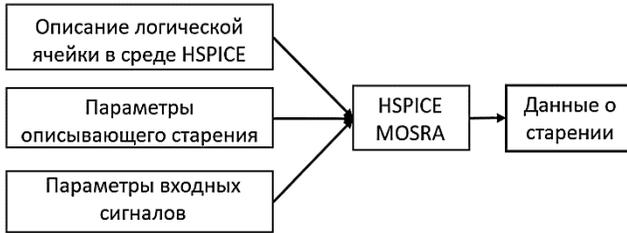


Рис. 6. Процесс применения модели старения MOSRA

В этом методе ошибка составляет 1,4% по сравнению с моделированием в HSPICE.

Все указанные методы рассматривают долгосрочные воздействия процессов, приводящих к старению ИС, в зависимости от срока их службы. Однако современные измерения показывают, что существуют такие явления, которые влияют на процессы, вызывающие старение ИС, независимо от временного фактора. Среди этих явлений - падение напряжения в питающих шинах (ПНПШ) и самонагрев.

Подводя итог, можем утверждать, что воздействие ПНПШ и самонагрева на последствия старения требует также обеспечения равномерного распределения колебаний напряжения и температуры в ИС. Таким образом, обеспечивается стабильная работа схемы на протяжении всего срока службы.

Во второй главе представлены разработанные методы и даны решения проблем, описанных в первой главе.

Метод оценки совместного влияния старения и ПНПШ в ИС с использованием МО. Для получения более реалистичных значений задержек логических ячеек в процессе проектирования цифровых ИС необходимо учитывать связь между старением и эффектами ПНПШ. В соответствии с данной зависимостью задержки логических ячеек определяются следующим образом:

$$D(t) = D_0 + \Delta D_{\text{ПНПШ}} + \Delta D_c(t, \text{ПНПШ}), \quad (2)$$

где D_0 - задержка логической ячейки без влияния старения и ПНПШ; $\Delta D_{\text{ПНПШ}}$ - увеличение задержки логической ячейки под воздействием ПНПШ; $\Delta D_c(t, \text{ПНПШ})$ - увеличение задержки логической ячейки с учетом связи между старением и эффектами ПНПШ.

Для учета взаимодействия старения и эффектов ПНПШ в процессе проектирования цифровых ИС стандартный маршрут требует отдельной характеристики каждой ячейки в ИС посредством моделирования в среде HSPICE с использованием $\Delta V_{\text{пор}}$, полученного при соответствующих условиях. Следовательно, в зависимости от значений напряжения, сформированного в ИС под воздействием ПНПШ, могут характеризоваться, например, библиотеки, содержащие сотни тысяч ячеек. Это требует значительных ресурсов, поскольку для характеристики каждой ячейки необходимо выполнить моделирование в среде HSPICE для различных временных путей и комбинаций передних фронтов входного сигнала и выходных нагрузок. Таким образом, вычислительные ресурсы и время выполнения увеличиваются при рассмотрении различных значений напряжения.

Чтобы избежать вышеупомянутых сложностей, предлагается подход, основанный на алгоритмах МО, для обеспечения более реалистичного анализа деградации, вызванной старением при любых рабочих условиях. Модель МО выполняется в следующей последовательности шагов (рис. 7).



Рис. 7. Алгоритм подготовки модели МО

Выбран метод градиентного усиления, так как на предсказываемые значения задержек в данной модели влияют многочисленные факторы, и известно, что этот метод предназначен именно для решения таких задач (рис. 8).

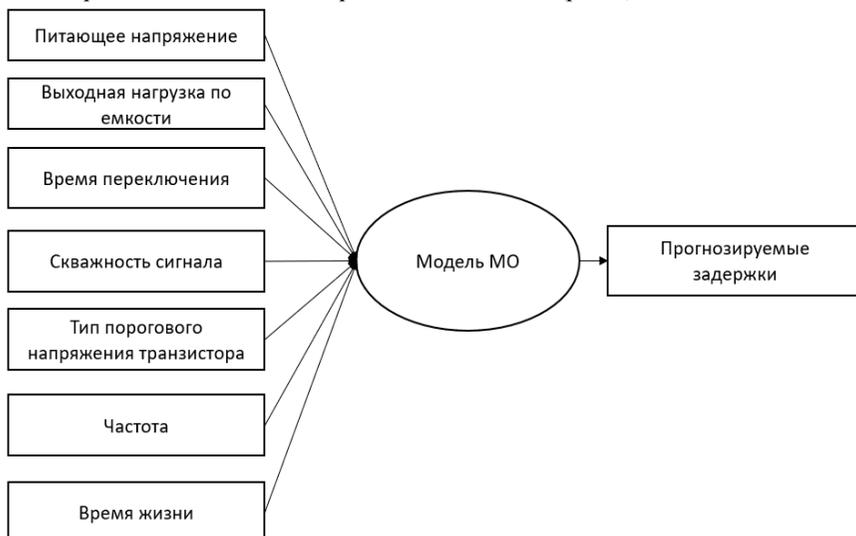


Рис. 8. Входные и выходные данные модели МО для предсказания

Времязатратный процесс характеристики логических ячеек посредством традиционного моделирования в среде HSPICE заменяется прогнозированием с помощью алгоритмов МО. Сбор данных для обучения модели МО осуществляется следующим образом (рис. 9).

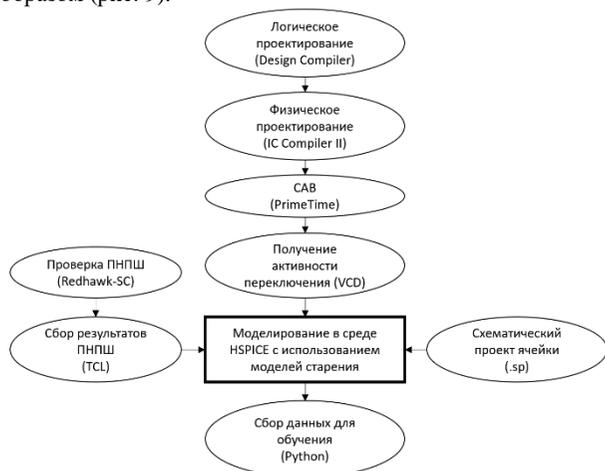


Рис. 9. Процесс сбора данных для обучения алгоритма МО

Для построения модели МО была модифицирована модель транзистора САУД14, в которую интегрированы эффекты старения и ПНПШ. С помощью модели были собраны данные примерно для 15000 ячеек. На основе данных была обучена модель МО, тип которой был выбран как градиентное усиление. В результате была получена модель, которая позволяет прогнозировать задержки ячеек при потере точности прогнозируемых данных примерно на 2,49% (рис. 10).

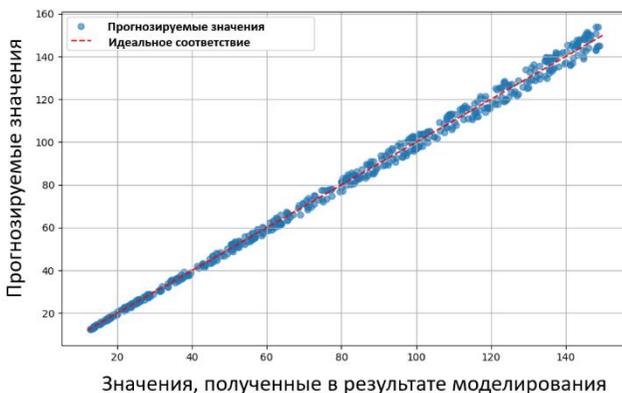


Рис. 10. Разница между значениями задержек, полученными в результате моделирования, и прогнозом

Метод оценки совместного влияния старения и самонагрева с использованием МО. Влияние явления старения в ИС также изменяется вследствие самонагрева. Поэтому раздельное рассмотрение явлений самонагрева и старения тоже приводит к неточностям в расчете задержек логических ячеек. В результате задержка логической ячейки $D(t)$ будет представлена следующим образом.

$$D(t) = D_0 + \Delta D_{\text{ПНПШ}} + \Delta D_T + \Delta D_c(t, \text{ПНПШ}, T), \quad (3)$$

В связи с этим предлагается новая модель, основанная на алгоритмах МО, с помощью которой можно будет прогнозировать задержки логических ячеек в цифровых ИС в зависимости от рабочих условий, а также колебаний питающего напряжения и температуры. Для сбора данных при обучении указанной модели МО необходимо провести тепловое моделирование после завершения физического проектирования цифровых ИС. Для теплового моделирования использовался инструмент Redhawk-SC компании ANSYS. Последний выполняет тепловое моделирование следующим образом (рис. 11).

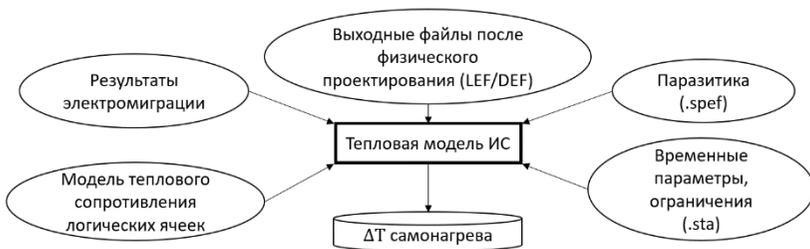


Рис. 11. Диаграмма получения тепловой модели ИС

Процесс сбора данных для модели МО выглядит следующим образом (рис. 12).

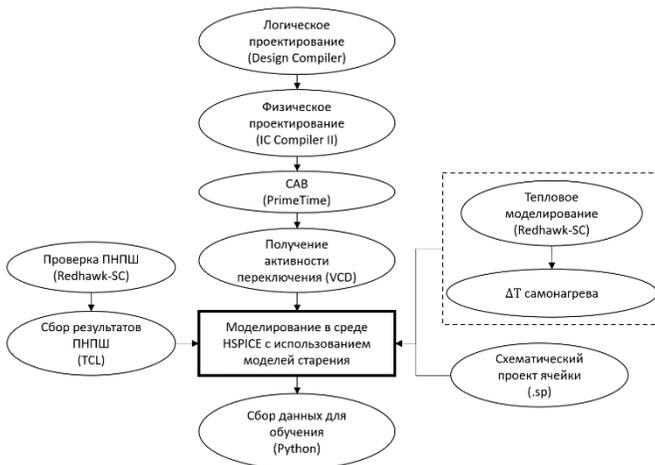


Рис. 12. Добавление теплового моделирования в процесс сбора данных

После подготовки и нормализации данных выполняется построение модели МО методом градиентного усиления. Для описания модели МО была использована библиотека Pandas. С помощью полученной модели МО выполнено прогнозирование задержек логических ячеек с учетом влияния старения, ПНПШ и самонагрева. В результате прогнозирования была получена потеря точности примерно на 3,7% (рис. 13).

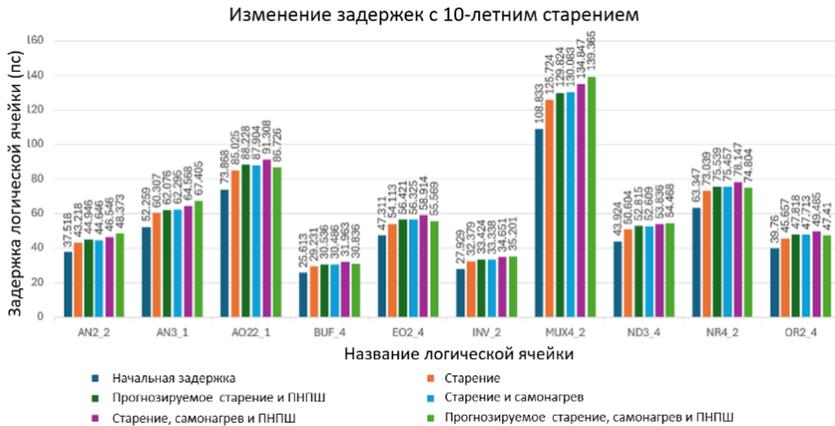


Рис. 13. Сравнение прогнозируемых и полученных в результате моделирования задержек

Метод размещения РК для уменьшения ПНПШ. Вследствие падения напряжения и самонагрева участки цифровых ИС, которые находятся далеко от источника питания или там, где присутствуют высокие плотности тока, получают напряжения ниже запланированных, а также повышается температура этих участков. Неравномерное распределение напряжения и температуры становится причиной несоразмерного изменения параметров цифровых ИС под воздействием последствий старения. Это может привести к ухудшению надежности ИС. Некоторые участки ИС могут выйти из строя раньше, чем другие, что приведет к частичному или полному выходу схемы из строя. В результате последствия падения напряжения и самонагрева затрудняют проектирование надежных ИС. Поэтому возникает необходимость разработки методов, которые позволят уменьшить колебания напряжения и температуры, вызванные воздействием ПНПШ и самонагрева в цифровых ИС.

Указанный метод основан на алгоритме размещения РК. На первоначальном этапе в ИС увеличиваются ресурсы размещения РК за счет сокращения запасов времени установки и удержания последовательных элементов. Это позволяет размещать дополнительные РК. Для метода размещения РК входными данными являются: результаты САВ ИС, файл с расширением NLIB, полученный в результате физического проектирования, и библиотека стандартных цифровых ячеек. В предлагаемом методе на основе результатов САВ ИС проводится исследование ВЗ схемы. На основе результатов исследования выполняется снижение драйверов логических ячеек на тех путях, где есть допустимый ВЗ.

Также выполняется удаление пар инверторов и повторителей, создающих дополнительные ВЗ (рис. 14).



Рис. 14. Описание алгоритма размещения РК

Метод размещения РК для уменьшения влияния ПНПШ и самонагрева в цифровых ИС обеспечивает улучшение среднего значения падения напряжения на 20,73%, а энергопотребления в среднем на 2,34% за счет уменьшения ВЗ установки и удержания последовательных элементов соответственно на 24,62% и 19,23%. (рис. 15).

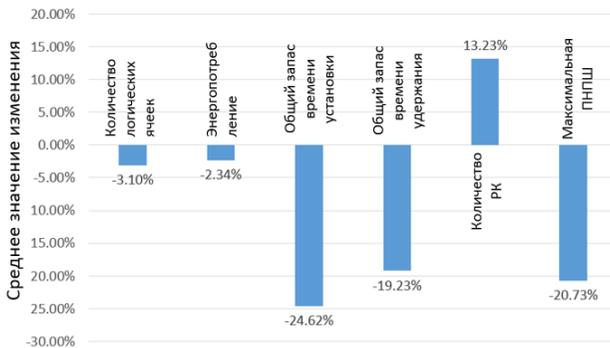


Рис. 15. Сравнение результатов, полученных до и после применения метода размещения РК

В третьей главе представлено ПС “ML Based Timing Analyzer” (MLBTA), разработанное для автоматизации процесса оценки влияния старения, ПНПШ и самонагрева на задержку каждой логической ячейки во время работы САВ в цифровых ИС, а также для исключения возможных ошибок в расчетах. Первое окно предназначено для выполнения логического и физического проектирования цифровых ИС (рис. 16 а). Второе окно снова состоит из двух подокон (рис. 16 б): первое предназначено для извлечения паразитных параметров после физического проектирования цифровых ИС, а второе – для проведения САВ. В соответствующих

подокнах третьего окна сначала выполняется извлечение активности переключений для цифровых ИС, затем - анализ мощности и тепловой анализ (рис. 16 в). После проведения теплового и ПНПШ анализа в четвертом подокне программного инструмента выполняется перерасчет временных путей (рис. 16 г).



Рис. 16. Четыре основных окна программного обеспечения MLBTA

Для проверки эффективности разработанного ПС были выполнены расчеты задержек под влиянием старения на основе моделирования и прогнозирования для логических ячеек, выбранных из различных схем. Выбраны схемы, работающие на различных частотах. Оценка эффективности ПС проводится указанным способом, поскольку в этом случае рассматриваются различные рабочие условия для прогнозирования задержек логических ячеек. Результаты показывают, что точность

прогнозирования, выполненного с помощью ПС MLBTA, в среднем составляет 3,665% (рис. 17).

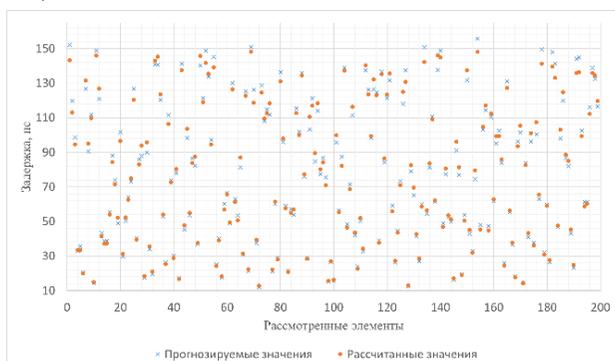


Рис. 17. Сравнение реальных и прогнозируемых задержек

Был выполнен перерасчет временных параметров пяти различных схем с использованием программного средства. Анализируя полученные результаты, оказывается, что после перерасчета задержек временных путей с использованием ПС, наихудшие и общие времена размещения и сохранения последовательных элементов, полученные в результате моделирования и прогнозирования, соответственно составляют 21,86%, 24,36%, 20,81%, 20,88% (моделирование) и 22,08%, 23,10%, 20,08%, 20,76% (прогнозирование), что больше по сравнению с первоначально рассчитанными задержками. Также была рассчитана точность прогнозирования программного средства (рис. 18).

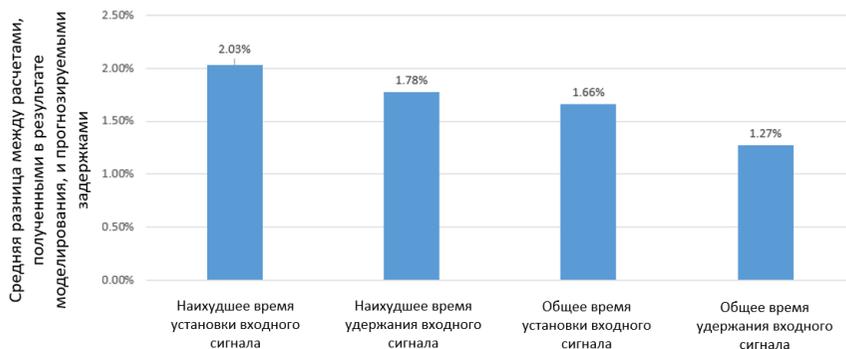


Рис. 18. Точность прогнозов программного средства

Прогнозирование временных параметров цифровых ИС обеспечивает примерно 5,65-кратную экономию времени, затрачиваемого на их получение, при этом ошибки прогнозирования для наихудшего времени размещения входа, наихудшего времени сохранения входа, общего времени размещения входа и общего времени сохранения входа составляют соответственно 2,03%, 1,78%, 1,66%, 1,27%.

ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Разработан метод оценки совместного влияния старения ИС и падения напряжения в питающих шинах, который благодаря применению алгоритмов МО обеспечивает предсказание задержек для каждой логической ячейки в схеме, что позволяет примерно в 6...7 раз сократить затраты машинного времени при потере точности прогнозируемых данных примерно на 2,49%. [1,2,6].
2. Создан метод оценки совместного влияния старения ИС, падения напряжения в питающих шинах, а также самонагрева с применением алгоритмов МО, который за счет предсказания задержек, вызванных указанными явлениями, для каждой логической ячейки в схеме обеспечивает примерно в 5 раз сокращение затрат машинного времени при потере точности прогнозируемых данных примерно на 3,7% [3-5, 8].
3. Предложен метод к уменьшению влияния явлений падения напряжения в питающих шинах и энергопотребления в цифровых ИС путем размещения РК, который за счет увеличения их количества в схемах обеспечивает уменьшение среднего значения падения напряжения в наихудшем случае на 20,73%, а энергопотребления в среднем на 2,34%, при этом уменьшая временные запасы установки и удержания последовательных элементов соответственно на 24,62% и 19,23% [1,6,7].
4. Создано “ML Based Timing Analyzer” (MLBTA) ПС, использование которого для прогнозирования временных параметров цифровых ИС обеспечивает в среднем примерно 5,65-кратную экономию времени на их получение при ошибке прогноза в 2,03% для наихудшего времени установки входного сигнала, 1,78% для наихудшего времени удержания входного сигнала, 1,66% для общего времени установки входного сигнала и 1,27% для общего времени удержания входного сигнала [2-5].

Основные результаты диссертации опубликованы в следующих работах:

1. Ինտեգրալ սխեմաներում մուտք-էլք սխեմաների տեղաբաշխման փոփոխությամբ սնուցման ցանցի օպտիմալացում / Ն. Մելիքյան, Ա. Դանիելյան, Ն. Ավագյան, և ուրիշներ // Եվրոպական համալսարանի, գիտական հոդվածների ժողովածու. - 2020. - 11 (01). - էջ 599-607
2. Միլիթարյան Ա.Խ., Արգարյան Գ.Ա., Պետրոսյան Պ.Ս., Ավագյան Ն.Ա. 14 նմ տեխնոլոգիական գործընթացի համար ծերացման հատկությունների հետազոտումը արագագործ համեմատիչի օրինակով // Վանաձորի պետական համալսարանի գիտական տեղեկագիր. - Երևան, 2021. - էջ. 21-29.
3. Melikyan V., Abgaryan G., Petrosyan P., Avakyan N. Low Power Analogue-Digital Converter Model // Journal of Contemporary Physics (Armenian Academy of Sciences). - July, 2021. - Vol. 56, no. 3. - P. 275-279, doi: <https://doi.org/10.3103/s1068337221030178>.

4. **Melikyan V., Petrosyan P., Avagyan N., Abgaryan G.** Self-heating analysis method of integrated circuits // International Conference on Microwave & THz Technologies, Wireless Communications and OptoElectronics (IRPhE 2022). - Yerevan, Armenia, 2022. - Vol. 41. - P. 63-65, doi: 10.1049/icp.2022.2799.
5. **Մելիքյան Ն., Ավագյան Ն.** Ցածր էներգասպառմամբ զուգահեռ անալոգաթվային ձևափոխիչի մոդել շրջիչների հիման վրա // ՀԱՊՀ-ի Բանբեր. - Տեղեկատվական տեխնոլոգիաներ, էլեկտրոնիկա, ռադիոտեխնիկա. – 2022. – Հատ. 1. – էջ 57-63
6. **Մելիքյան Ն., Ավագյան Ն., Ղազարյան Ա.** Կապազերծող ունակությունների տեղաբաշխման մեթոդի մշակումը սնման դողերում դինամիկ լարման անկման նվազեցման եվ ինտեգրալ սխեմաների հուսալիության բարձրացման համար // ՀՀ ԳԱԱ և ՀԱՊՀ Տեղեկագիր. Տեխնիկական գիտությունների սերիա. – 2022. – Հատ. 75, N 3. – էջ 407-414, doi: 10.53297/0002306X-2022.v75.3-407.
7. **Avagyan N.** Aging And IR Drop Aware Power Mesh Prediction Based On Machine Learning // 2023 IEEE East-West Design & Test Symposium (EWDTS). - Batumi, Georgia, 2023. - P. 1-5, doi: 10.1109/EWDTS59469.2023.10297112.
8. **Melikyan V., Petrosyan P., Avagyan N., Abgaryan G.** Smart Adjustment of Transistor Parameters to Reduce Temperature Rise Due to Self-Heating Effect // 2023 IEEE East-West Design & Test Symposium (EWDTS). - Batumi, Georgia, 2023. - P. 1-5, doi: 10.1109/EWDTS59469.2023.10297080.

ԱՄՓՈՓԱԳԻՐ

Ինտեգրալ սխեմաների կիրառման ոլորտների ընդլայնումը, աշխատանքային ժամկետների երկարացումը, տեխնոլոգիական գործընթացի շարունակական մասշտաբավորումը, նոր տիպի «բարձր-Ք» և «ցածր-Ք» նյութերի կիրառումը և այլ տարբեր հանգամանքներ, կարևոր են դարձնում դրանց առջև դրվող հուսալիության պահանջների բավարարումը: Հուսալիության վրա ազդող հիմնական պատճառներից մեկը ծերացումն է: Վերջինս ինտեգրալ սխեմաների կիսահաղորդիչ նյութի, ժամանակի ընթացքում, քայքայման հետևանք է: Ծերացման հիմնական պատճառներն են՝ հենակային ջերմաստիճանային անկայունությունը, տաք լիցքակիրների ներարկումը, ժամանակից կախված՝ մեկուսչի քայքայումը ու էլեկտրամիգրացիան: Ծերացումը հիմնականում ազդում է սխեմայի ժամանակային պարամետրերի վրա, ինչն էլ պատճառ է դառնում դրանց նախատեսվածից շուտ խափանման:

Արդյունքում տարբեր գիտական խմբեր փորձում են գտնել ինտեգրալ սխեմաներում ծերացման հետևանքների հետազոտման և մեղմացման արդյունավետ լուծումներ: Ծերացման հետևանքների հետազոտման ընթացքում նոր մարտահրավերներ են առաջանում գերմեծ թվային ինտեգրալ սխեմաների դիտարկման դեպքում, որտեղ տարրերի քանակը գերազանցում է 100 մլրդ-ը, իսկ արագագործությունը մի քանի տասնյակ ԳՀց-ը: Նշված դեպքում անհրաժեշտություն է առաջանում դիտարկել սխեմաների ծերացմանը հանգեցնող գործընթացների վրա այլ երևույթների ազդեցությունը: Նշված երևույթներից են օրինակ ինտեգրալ սխեմաների սնման դողերում լարման անկումը և ինքնատաքացումը:

Ներկայումս կան տարբեր մեթոդներ, որոնք հիմնված են ֆիզիկական սկզբունքների վրա և ինտեգրալ սխեմաների ծերացման հետևանքների կանխատեսման համար օգտագործում են մաթեմատիկական բանաձևեր և հավասարումներ: Կան նաև փորձարարական մեթոդներ, որոնք հիմնված են փորձերի արդյունքում ստացված տվյալների և տարբեր լարվածության ռեժիմներում սխեմաների ծերացման վիճակագրական վերլուծության վրա: Որոշ դեպքերում իրականացվում է նաև արագացված ծերացման փորձարկումներ՝ բարձր ջերմաստիճանների և լարման պայմաններում: Ծերացման հետևանքների ազդեցության գնահատման համար կիրառվում են նաև ինտեգրալ սխեմաներում տրամաբանական բջիջների ժամանակային պարամետրերի շեղման գործակիցներ:

Թվարկված ավանդական մեթոդները լայնորեն կիրառվում են ինտեգրալ սխեմաների նախագծման և արտադրության ընթացքում: Սակայն, վերնոշյալ սնման դողերում լարման անկման և ինքնատաքացման երևույթների ազդեցությունների դիտարկումը առկա մեթոդներում ստեղծում է բազմակողմանի լուծումներ պահանջող խնդիրներ, որոնց լուծումը պահանջում

է զգալի ժամանակային և մեքենայական ռեսուրսներ: Այնուամենայնիվ, օրեցօր զարգացող արհեստական բանականության կիրառմամբ հնարավոր է լինում խուսափել այդ ռեսուրսների կորստից:

Ատենախոսությունը նվիրված է թվային ինտեգրալ սխեմաների համար, արհեստական բանականության մեթոդների կիրառմամբ, այնպիսի միջոցների մշակմանը, որոնք թույլ կտան նախագծման փուլում հաշվարկել ձեռացման հետևանքով առաջացած ժամանակային պարամետրերի խախտումները, գնահատել դրանց կախվածությունը աշխատանքային պայմանների փոփոխությունից, ինչպես նաև դիտարկել ազդեցությունը սխեմաներին տրվող ժամանակային սահմանափակումների վրա:

Մշակվել է ինտեգրալ սխեմաների ձեռացման և սնման դողերում լարման անկման հետևանքների համատեղ ազդեցության գնահատման մեթոդ, որը մեքենայական ուսուցման ալգորիթմների կիրառման շնորհիվ սխեմայում առկա յուրաքանչյուր տրամաբանական բջջի վրա՝ նշված երևույթների ազդեցությունների արդյունքում ստացված հապաղման կանխագուշակման հաշվին, ապահովում է մեքենայական ժամանակի ծախսման մոտավորապես 6...7 անգամ փոքրացում, կանխագուշակված տվյալների ճշտության մոտավորապես 2,49% կորստի հաշվին:

Ստեղծվել է մեքենայական ուսուցման ալգորիթմների կիրառմամբ ինտեգրալ սխեմաների ձեռացման, սնման դողերում լարման անկման, ինչպես նաև ինքնատաքացման հետևանքների համատեղ ազդեցության գնահատման մեթոդ, որը սխեմայում առկա յուրաքանչյուր տրամաբանական բջջի վրա՝ նշված երևույթների ազդեցությունների արդյունքում ստացված հապաղման կանխագուշակման հաշվին, ապահովում է մեքենայական ժամանակի ծախսման մոտավորապես 5 անգամ փոքրացում, կանխագուշակված տվյալների ճշտության մոտավորապես 3,7% կորստի հաշվին:

Առաջարկվել է թվային ինտեգրալ սխեմաների սնման դողերում լարման անկման և էներգասպառման նվազեցման համար կապազերծող կոնդենսատորների տեղակայմամբ մեթոդ, որը սխեմաներում դրանց քանակի ավելացման շնորհիվ ապահովում է լարման անկման վատագույն արժեքի միջինում 20,73%, իսկ էներգասպառման միջինում 2,34% փոքրացում՝ հաջորդական տարրերի մուտքի տեղակայման և պահպանման ժամանակային պաշարների, համապատասխանաբար, 24,62% և 19,23% նվազեցման հաշվին:

Ստեղծվել է ML Based Timing Analyzer ծրագրային միջոցը, որի օգտագործմամբ թվային ինտեգրալ սխեմաների ժամանակային պարամետրերի կանխագուշակումը ապահովում է դրանց ստացման վրա ծախսվող ժամանակի միջինում մոտավորապես 5,65 անգամ խնայողություն, կանխագուշակված վատագույն մուտքի տեղակայման 2,03%, վատագույն մուտքի պահպանման 1,78%, ընդհանուր մուտքի տեղակայման 1,66%, ընդհանուր մուտքի պահպանման 1,27% ժամանակային տվյալների սխալանքների հաշվին:

DEVELOPMENT AND STUDY OF TOOLS FOR MITIGATING THE AGING IN INTEGRATED CIRCUITS USING ARTIFICIAL INTELLIGENCE

SUMMARY

The expansion of the application fields of integrated circuits (ICs), the extension of operational terms, the continuous scaling of the technological process, the application of new types of "high-K" and "low-K" materials, and other various factors make it important to meet the reliability requirements of the circuits. One of the main reasons affecting reliability is aging. The latter is a consequence of the degradation of the semiconductor material of ICs over time. Aging mainly affects the timing parameters of the circuit, which causes them to fail earlier than expected.

As a result, various scientific groups are trying to find effective solutions for studying and mitigating the effects of aging in ICs. During the study of aging effects, new challenges arise in the case of ultra-large-scale ICs, where the number of elements exceeds 100 billion, and the speed is several tens of GHz. In this case, it becomes necessary to consider the impact of other phenomena on the processes leading to the aging of ICs. Examples of these phenomena are IR drops in the power supply lines of ICs and self-heating.

Currently, there are various methods based on physical principles that use mathematical formulas and equations to predict the effects of aging in ICs. There are also experimental methods based on data obtained from experiments and statistical analysis of circuit aging under various stress conditions. In some cases, accelerated aging tests are conducted under high temperature and voltage conditions. Deviation coefficients of the timing parameters of logical cells in ICs are also used to assess the impact of aging effects.

The listed traditional methods are widely used during the design and production of ICs. However, considering the effects of the aforementioned IR drops in power supply lines and self-heating phenomena in existing methods creates problems that require multifaceted solutions, which demand significant time and computational resources. Nevertheless, with the daily development of artificial intelligence (AI), it becomes possible to avoid the loss of these resources.

This dissertation is dedicated to the development of methods for calculating the timing parameter violations caused by aging, assessing their dependency on changes in operating conditions, and considering their impact on the timing constraints of circuits during the design phase of digital ICs using AI methods.

A method has been developed to assess the combined impact of aging in ICs and IR drop in the power rails. By applying machine learning (ML) algorithms, the method predicts the delay caused by these phenomena for each logical cell in the circuit,

providing a reduction in computational time by approximately 6...7 times at the cost of an accuracy loss of about 2,49%.

A method has been created to assess the combined effects of aging, IR drop in the power rails, and self-heating in ICs using ML algorithms. This method predicts the delay for each logical cell in the circuit caused by these phenomena, providing a reduction in computational time by approximately 5 times at the cost of an accuracy loss of about 3,7%.

A method has been proposed for reducing IR drop and power consumption in digital ICs using the placement of decoupling capacitors. By increasing their number in the circuits, the method ensures a reduction in the worst-case IR drop by an average of 20,73% and a reduction in power consumption by an average of 2,34%, with a reduction in the timing margins for the setup and hold of sequential elements by 24,62% and 19,23%, respectively.

An ML Based Timing Analyzer software tool has been created, which ensures an average reduction in the time spent obtaining timing parameters of digital ICs by approximately 5,65 times, with timing data errors of 2,03% for the worst-case setup time, 1,78% for the worst-case hold time, 1,66% for the total setup time, and 1,27% for the total hold time.

