

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ, ԳԻՏՈՒԹՅԱՆ,
ՄՇԱԿՈՒՅԹԻ ԵՎ ՍՊՈՐՏԻ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

Հարությունյան Սերգո Սմբատի

ՀԱՋՈՐԴԱԲԱՐ ՓՈԽԱՆՅՎՈՂ ԱԶԴԱՆՇԱՆԻ ԸՆԴՈՒՆՄԱՆ
ԱՐԱԳԱԳՈՐԾ ՀԱՄԱԿԱՐԳԵՐԻ ՀՈՒՍԱԼԻՈՒԹՅԱՆ ԲԱՐՁՐԱՑՄԱՆ
ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՈՒՄԸ

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի
հայցման ատենախոսության

ՍԵՂՍԱԳԻՐ

Երևան 2025

МИНИСТЕРСТВО ОБРАЗОВАНИЯ, НАУКИ, КУЛЬТУРЫ И СПОРТА
РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

Արությունյան Սերգո Սմբատովիչ

**РАЗРАБОТКА СРЕДСТВ ПОВЫШЕНИЯ НАДЁЖНОСТИ
БЫСТРОДЕЙСТВУЮЩИХ СИСТЕМ ПРИЕМА ПОСЛЕДОВАТЕЛЬНО
ПЕРЕДАВАЕМОГО СИГНАЛА**

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата
технических наук по специальности 05.27.01-
“Электроника, микро- и нанoeлектроника”

Ереван 2025

Ատենախոսության թեման հաստատվել է Հայաստանի ազգային պոլիտեխնիկական համալսարանում (ՀԱՊՀ):

Գիտական ղեկավար՝ տ.գ.դ. Վազգեն Շավարշի Մելիքյան

Պաշտոնական ընդդիմախոսներ՝ տ.գ.դ. Օլեգ Հարությունի Պետրոսյան
տ.գ.թ. Խաչիկ Գեղամի Շարոյան

Առաջատար կազմակերպություն՝ ՀՀ ԳԱԱ Ռադիոֆիզիկայի և
Էլեկտրոնիկայի ինստիտուտ

Ատենախոսության պաշտպանությունը կայանալու է 2025թ. հունիսի 6-ին, ժամը 14⁰⁰-ին, ՀԱՊՀ-ում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 Մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:

Սեղմագիրն առաքված է 2025թ. մայիսի 6-ին

046 Մասնագիտական խորհրդի
գիտական քարտուղար, տ.գ.թ.



Բենիամին Ֆելիքսի Բադալյան

Тема диссертации утверждена в Национальном политехническом университете Армении (НПУА)

Научный руководитель: д.т.н. Вазген Шаваршович Меликян

Официальные оппоненты: д.т.н. Олег Арутюнович Петросян
к.т.н. Хачик Гегамович Шароян

Ведущая организация: Институт радиофизики и электроники
НАН РА

Защита диссертации состоится 6-го июня 2025 г. в 14⁰⁰ ч. на заседании Специализированного совета 046 — "Радиотехники и электроники", действующего при Национальном политехническом университете Армении, по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 6-го мая 2025 г.

Ученый секретарь
Специализированного совета 046 к.т.н.



Бениамин Феликсович Бадалян

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. С развитием интегральных схем (ИС) основные полупроводниковые элементы, такие как транзисторы и длины проводников масштабировались до 3 нм. Это привело к ряду нежелательных явлений, влияющих на параметры транзисторов, и как следствие, к ухудшению надежности схем. Со временем ИС нашли широкое применение в таких важных областях, как медицина, военная промышленность и машиностроение. В этих областях к схемам предъявляются ключевые требования, включая высокое быстродействие и длительную бесперебойную работу.

С целью обеспечения быстродействия проектируются специальные узлы ввода-вывода для последовательной передачи и приема сигналов. Однако с увеличением скорости становятся более выраженными проблемы ухудшения надежности схем. В процессе длительной работы проявляются параметрические ухудшения транзисторов, обусловленные явлениями старения. Таким образом, для сохранения целостности сигналов в узлах ввода-вывода возникает необходимость разработки методов снижения влияния явлений старения.

Ряд компаний, занимающихся проектированием ИС, провели исследования явлений старения и разработали методы для снижения их влияния. Благодаря этим методам удалось уменьшить воздействие данных явлений, однако не все из них соответствуют современным требованиям. Поэтому для удовлетворения этих требований необходимо разрабатывать новые подходы.

Диссертация посвящена решению актуальных задач повышения надежности быстродействующих систем приема последовательно передаваемых сигналов.

Объект исследования. Основные факторы ухудшения надежности быстродействующих систем приема последовательно передаваемых сигналов, параметрические ухудшения, обусловленные явлениями старения, и подходы к их снижению.

Цель работы. Разработка методов и средств снижения влияния явлений старения в быстродействующих системах приема последовательно передаваемых сигналов.

Методы исследования. В ходе исследования были использованы современные подходы и программные средства (ПС) для оценки, моделирования и снижения влияния явлений старения в схемах, входящих в состав быстродействующих систем приема последовательно передаваемых сигналов.

Научная новизна:

- Предложены подходы к снижению явлений старения в схемах приемных узлов ИС, которые соответствуют современным требованиям и обеспечивают необходимые рабочие условия за счет увеличения занимаемой площади и времени моделирования.
- Предложен метод снижения влияния явлений старения в компараторах на основе встроенного каскодного операционного усилителя (ОУ), за счет добавления транзисторов регулировки напряжения обеспечивается увеличение коэффициента усиления на 6,4% и 11,6% соответственно по сравнению с существующими и базовыми схемами, благодаря которому

также снижение напряжения смещения в 1,5 и 17,5 раза при увеличении занимаемой площади на 0,28% и 5,1%.

- Разработан метод снижения влияния явлений старения в схеме зарядного насоса (ЗН), позволяющий за счет изменения структуры нагрузки нейтрализовать снижение выходного напряжения более чем на 1 В и увеличение времени установления выхода в 9 раз при увеличении входных транзисторов в три раза. Применение метода позволило уменьшить занимаемую площадь на 26,9% за счет замены металл-оксид-металл (МОМ) ёмкостей на металл-оксид-полупроводник (МОП).
- Разработан метод снижения влияния явлений старения в схеме эквалайзера, позволяющий за счет добавления схемы отрицательной ёмкости уменьшить влияние эффекта инжекции горячих носителей на старение, обеспечивая снижение изменений общего коэффициента усиления системы и частоты до 3,8% и 4,2% соответственно при увеличении площади на 13%.

Практическая ценность работы. Разработанные в диссертации методы повышения надежности быстродействующих приемных систем последовательно передаваемых сигналов реализованы в программном средстве РТТ, которое внедрено в ЗАО "СИНОПСИС АРМЕНИЯ" и позволило сократить время проектирования и проверки схем в 3...4 раза. Реализация разработанных методов с помощью ПС РТТ позволила в среднем на 39% снизить ухудшение параметров схем, входящих в состав быстродействующих приемных узлов, из-за явлений старения при увеличении занимаемой площади на кристалле полупроводника до 13%.

На защиту выносятся:

- метод снижения старения основных транзисторов при переходе из режима отключения в рабочий режим за счет предварительной настройки точек высокого сопротивления в интегральных схемах.
- метод повышения надежности системы за счет изменения нагрузки в схемах с различными структурами нагрузки.
- метод снижения старения и повышения надежности в быстродействующем узле синхронизации.
- программное средство "Reliability test tool" для проверки надежности быстродействующих систем приема последовательно передаваемых сигналов.

Достоверность научных положений Достоверность научных положений подтверждена экспериментальными результатами моделирования и математическими обоснованиями, представленными в диссертации.

Внедрение. Программное средство "Reliability test tool" внедрен в ЗАО "СИНОПСИС АРМЕНИЯ". ПС используется для моделирования и снижения влияния явлений старения в схемах, входящих в состав быстродействующих систем приема последовательно передаваемых сигналов.

Апробация работы. Основные научные и практические результаты диссертации докладывались на:

- 40-й Международной конференции "Electronics and Nanotechnology (ELNANO)" (Киев, Украина, 2020 г.);

- 19-й Международной конференции "East-West Design & Test Symposium (EWDTS)" (Батуми, Грузия, 2023 г.);
- 20-й Международной конференции "East-West Design & Test Symposium (EWDTS)" (Ереван, Армения, 2024 г.);
- научных семинарах ЗАО "Синописис Армения" (Ереван, Армения, 2022 - 2025 гг.).

Публикации. Основные положения диссертации представлены в девять научных работах, список которых приведен в конце автореферата.

Структура и объем диссертации. Работа состоит из введения, трех глав, основных выводов, списка литературы из 118 наименований и 4-ех приложений. В первом приложении представлен акт внедрения диссертации, во втором — фрагменты Spice-описаний для предложенных методов снижения старения в компараторах, ЗН и схемах эквалайзеров (СЭ), в третьем — фрагменты описания программного средства "Reliability test tool", а в четвертом — перечень использованных таблиц, рисунков и сокращений. Объем диссертации составляет 104 страницы, а вместе с приложениями — 151 страницы.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность темы диссертации, сформулированы цель и основные задачи исследования, представлены методы исследования, научная новизна, практическое значение и основные научные положения, выносимые на защиту.

В первой главе представлены методы обеспечения функциональности быстродействующих приемных узлов, которые были реализованы в СЭ стабилизаторов напряжения (СН), ЗН и компараторов.

Компаратор. Компараторы широко применяются в быстродействующих приемных узлах. С их помощью можно выровнять высокие и низкие уровни выходного сигнала СЭ до уровней напряжения, соответствующих логическим 0 и 1. Для работы компараторов необходимы два входа: опорное напряжение и выходная информация СЭ. В результате сравнения переданной информации и опорного напряжения на выходе схемы формируется напряжение, соответствующее логическому уровню 1 или 0.

В одном из известных подходов в литературе для снижения влияния эффектов старения в базовую схему были добавлены транзисторы T_{07} и T_{08} (рис. 1).

Авторами также отмечено ухудшение параметров входных транзисторов из-за эффектов старения, когда на их затворах присутствуют отклонения напряжения. Поэтому к затворам входных транзисторов были добавлены комплементарные металл-оксид-полупроводник (КМОП)-ключи K_1 и K_2 , а также транзисторы T_{04} , T_{05} , T_{06} для подачи одинакового напряжения на затворы входных транзисторов в режиме отключения. Для оценки 10-летних эффектов старения были проведены эксперименты с использованием программ моделирования (табл. 1).

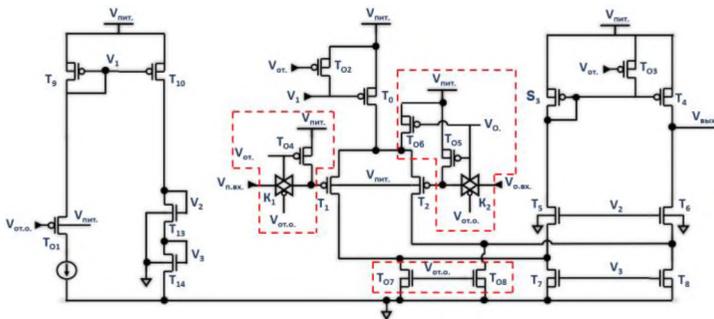


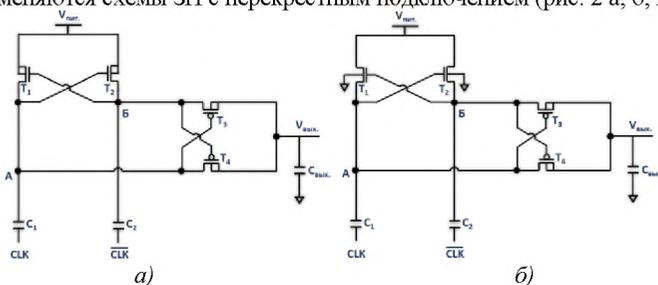
Рис. 1. Предложенный компаратор для снижения эффектов старения

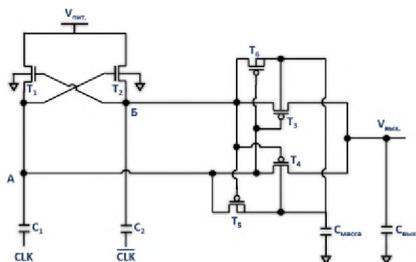
Таблица 1

Изменение параметров компаратора на основе ОУ с встроенной защитой от старения до и после применения защиты

Параметр	До защиты от старения	После защиты от старения
Постоянное усиление (дБ)	66,2	80,01
Макс. $\Delta V_{\text{порог}}$ (мВ)	254	0,01
Макс. $\Delta V_{\text{порог}}$ (мВ)	24,3	0,1
Макс. отклонение напряжения (мВ)	35	3

Схема зарядового насоса. Для ряда аналоговых и смешанных сигнальных узлов быстродействующих приемных систем, таких как схемы синхронизации и компараторы, необходимо обеспечить высокие коэффициенты усиления для обработки сигнала, передаваемого по линии связи. Для этого проектируются СН, превышающие уровень питания. Такие СН являются частью схемы ЗН. Схема ЗН позволяет получить напряжение, превышающее уровень питания в 1,5...2 раза. Это напряжение, в свою очередь, используется для питания СН. В результате можно получить стабильное напряжение, превышающее уровень питания. В литературе широко применяются схемы ЗН с перекрестным подключением (рис. 2 а, б, в).





б)

Рис. 2. Схемы ЗН с перекрестным подключением для разных архитектур (а, б, в)

Для оценки влияния старения трех схем были проведены эксперименты с использованием программ моделирования (табл. 2-4).

Таблица 2

Максимальные отклонения $V_{\text{порог}}$ и $I_{\text{сток}}$ транзисторов в схеме ЗН (рис. 2а) после 10 лет старения

Транзисторы	Рабочий режим	
	$\Delta V_{\text{порог}}$ (мВ)	$\Delta I_{\text{сток}}$ (%)
T₁ и T₂	10	0,1
T₃ и T₄	120	19,3

Таблица 3

Максимальные отклонения $V_{\text{порог}}$ и $I_{\text{сток}}$ транзисторов в схеме ЗН (рис. 2б) после 10 лет старения

Транзисторы	Рабочий режим	
	$\Delta V_{\text{порог}}$ (мВ)	$\Delta I_{\text{сток}}$ (%)
T₁ и T₂	136	20,3
T₃ и T₄	119	19,2

Таблица 4

Максимальные отклонения $V_{\text{порог}}$ и $I_{\text{сток}}$ транзисторов в схеме ЗН (рис. 2в) после 10 лет старения

Транзисторы	Рабочий режим	
	$\Delta V_{\text{порог}}$ (мВ)	$\Delta I_{\text{сток}}$ (%)
T₁ и T₂	139	20,9
T₃ и T₄	18	0,3

Схема эквалайзера. В быстродействующих приемных системах ключевую роль играют СЭ. СЭ компенсируют потери, обусловленные линией передачи, для сохранения целостности сигнала (ЦС). В таких системах разброс напряжения информации, прошедшей через линию связи, может достигать нескольких десятков

мВ. Чтобы СЭ могли сохранить ЦС информации, необходимо снизить влияние явлений, ухудшающих надежность.

В одном из известных подходов предлагается добавить фильтры низких частот второго порядка на входах и фильтры высоких частот на выходе активных элементов СЭ (рис. 3).

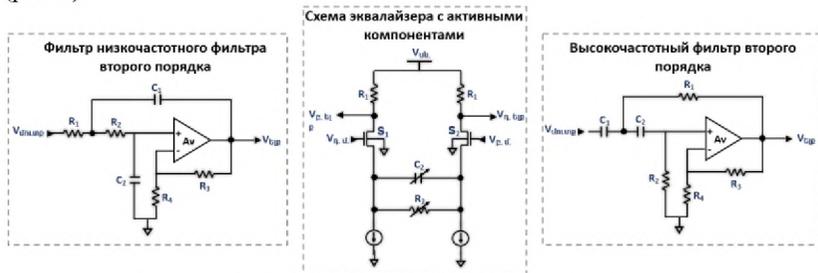


Рис. 3. СЭ с применением фильтров

Основная идея предложения — повышение надежности за счет фильтрации искажений, что увеличивает вертикальные и горизонтальные апертуры «глаза» на выходе системы (рис. 4).

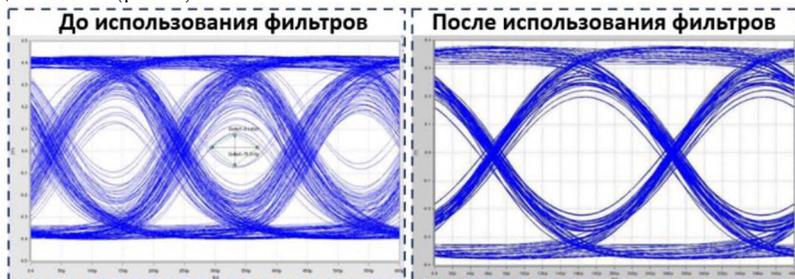


Рис. 4. Диаграмма глаза без и с использованием фильтров

Для оценки влияния 10-летнего старения на активные элементы СЭ были проведены эксперименты с использованием программ моделирования (табл. 5).

Таблица 5
Изменение параметров схемы синхронизации при разных условиях процесс-напряжение-температура (ПНТ) до и после 10 лет старения

ПНТ	До старения		После старения	
	усиление (дБ)	частота (Гц)	усиление (дБ)	частота (Гц)
SS	11,7	4,5	6,29	2,86
TT	12,5	5,1	6,5	3,16
FF	12,9	5,4	7,1	3,68

Таким образом, применение известных методов позволяет снизить влияние явлений, ухудшающих надежность, таких как искажения сигнала и токи утечки. Однако, как показано в приведенных выше таблицах, результаты 10-летнего старения ключевых схем в ИС требуют разработки методов для обеспечения долговременной безотказной работы.

Во второй главе представлены разработанные методы и даются решения проблем, описанных в первой главе.

Метод снижения старения основных транзисторов при переходе из режима отключения в рабочий путем регулировки начального состояния высокоомных точек в интегральных схемах. Как было отмечено выше, ухудшение основных параметров компараторов происходит при длительном переходе из режима отключения в рабочий режим.

В результате применения вышеупомянутого метода в компараторах на основе ОУ с каскадной структурой в базовой схеме были добавлены транзисторы D_1, D_2, D_3 и D_4 , с помощью которых узлы А, Б и Г регулируются потенциалом V_3 (рис. 5).

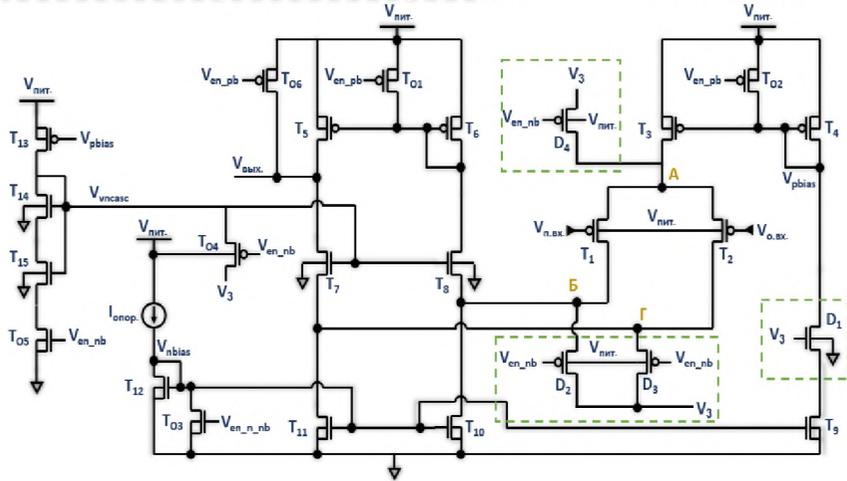


Рис. 5. Схема компаратора с применением предложенного метода

Точками с высоким сопротивлением в схеме считаются узлы А, Б и Г, поскольку в режиме отключения они отключаются от всех точек схемы. Для обеспечения режима отключения в базовую схему добавлены транзисторы $T_{O1}, T_{O2}, T_{O3}, T_{O4}$ и T_{O5} . В результате их добавления в режиме отключения закрываются транзисторы $T_{12}, T_{11}, T_{10}, T_9, T_8, T_7$ и T_4 , а транзисторы T_7, T_8, T_1 и T_2 подключаются к узлам А, Б и Г. Без применения предложенного метода в этих узлах могут возникать произвольные потенциалы, что приводит к эффектам старения основных транзисторов.

В результате применения предложенного метода площадь физической реализации схемы увеличилась на 5,1% по сравнению с базовой. Также проведено сравнение результатов 10-летнего старения существующей и базовой схем (табл. 6).

Таблица 6

Максимальные отклонения параметров компаратора после 10 лет старения

Параметр	Предложенная схема	Существующая схема	Базовая схема
Макс. отклонение порогового напряжения (мВ)	22	0,01	273
Напряжение смещения (мВ)	2	3	35
Коэффициент усиления (дБ)	85,2	80,01	76,3

Таким образом, применение предложенного метода позволило достичь коэффициента усиления 85,2 дБ после 10 лет моделирования старения, что на 6,4% и 11,6% выше, чем у существующей и базовой схем соответственно. Площадь физической реализации увеличилась на 5,1% по сравнению с базовой схемой, что на 0,28% больше, чем у существующей схемы. Напряжение смещения уменьшилось в 1,5 раза по сравнению с существующей схемой и в 17,5 раза по сравнению с базовой.

Метод повышения надежности системы путем изменения нагрузки в схемах с разной нагрузочной структурой. Как упоминалось ранее, в схемах ЗН наблюдается ухудшение параметров транзисторов из-за эффектов старения. Поэтому для предотвращения таких сбоев предлагается изменить архитектуру схемы в соответствии с нагрузочной структурой.

В предложенной схеме n-МОП-транзисторы с перекрестным соединением заменяются на p-МОП-транзисторы с диодным подключением (рис. 6).

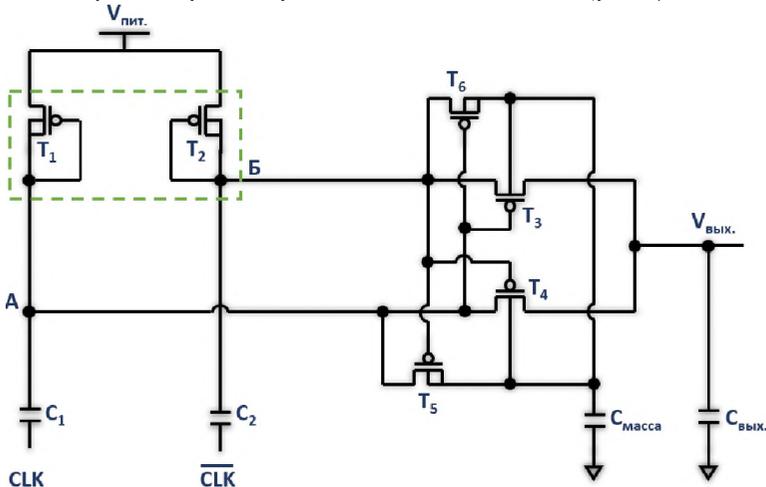


Рис. 6. Схема ЗН с применением предложенного метода

В результате этой модификации разность потенциалов между любыми двумя выводами p-МОП-транзисторов не превышает $2 \cdot V_{\text{питание}}$, что является максимально допустимым значением. После 10 лет старения изменение порогового напряжения транзисторов и токов утечки не превышает допустимых 10%.

В случае применения предложенного метода при различных отклонениях ПНТ с моделированием выходной нагрузки, потребляющей ток до 500 мкА, в работе схемы ЗН не наблюдалось сбоев (рис. 7).

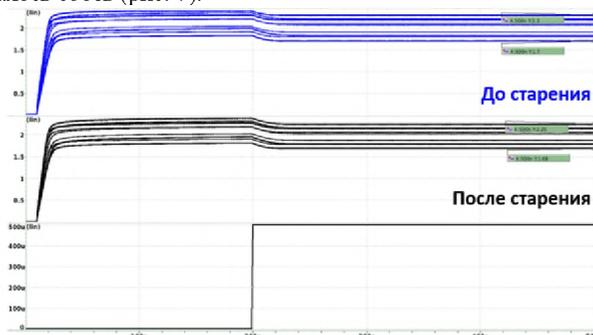


Рис. 7. Результаты временного моделирования схемы ЗН с применением предложенного метода

Для схем ЗН с различными нагрузочными архитектурами проведено сравнение параметров на начальном этапе работы и после 10 лет старения (табл. 7).

Таблица 7

Изменения параметров схем ЗН с различными нагрузочными архитектурами на начальном этапе и после 10 лет старения

Параметры при различных условиях ПНТ	До 10 лет старения		После 10 лет старения	
	n-МОП арх.	p-МОП арх.	n-МОП арх.	p-МОП арх.
Максимальное напряжение выхода до подключения нагрузки (В)	2,57	2,38	2,36	2,17
Минимальное напряжение выхода до подключения нагрузки (В)	2,09	1,83	2,02	1,79
Максимальное напряжение выхода после подключения нагрузки (В)	2,42	2,3	2,23	2,25
Минимальное напряжение выхода после подключения нагрузки (В)	2,05	1,7	1,03	1,68
Разность макс. и мин. напряжения выхода до подключения нагрузки (В)	0,34	0,38	0,36	0,38
Разность макс. и мин. напряжения выхода после подключения нагрузки (В)	0,37	0,6	1,2	0,57
Максимальное время установления выхода (нс)	16,7	13,1	149,2	14,1

Предлагается заменить МОМ-ёмкости в схеме на МОП-ёмкости для уменьшения занимаемой площади схемы. В результате замены емкостей площадь предложенной схемы уменьшилась на 26,9%.

Согласно первому методу, транзисторы T_7 и T_8 добавлены для регулировки узлов А и Б с высоким сопротивлением. Они защищают транзисторы T_3 и T_4 , выполняющие роль источников тока. Согласно второму методу, транзисторы T_{11} и T_{12} добавлены для изоляции входных транзисторов T_1 и T_2 . Согласно третьему методу, транзисторы T_8 и T_9 добавлены для отсечения узла А от Г и Б от Д с целью минимизации токов утечки. Аналогичная логика применения методов снижения старения предлагается для СОЕ (рис. 9б).

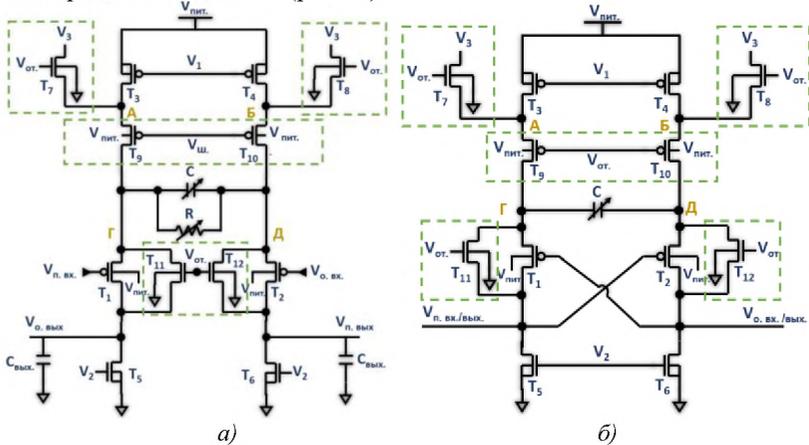


Рис. 9. СЭ и СОЕ с применением предложенного метода (а,б)

Защита транзисторов в СЭ от старения также привела к уменьшению изменений нулевой и полосной частоты (рис. 10).

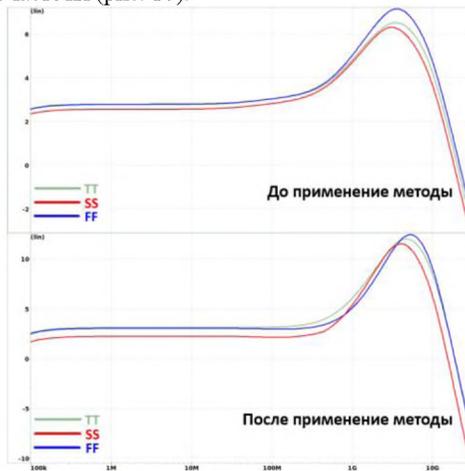


Рис. 10. Амплитудно-частотная характеристика общей системы без применения предложенных методов и после их применения

В результате физического проектирования был применен метод согласования для транзисторов, резисторов и ёмкостей. Это привело к увеличению площади общей системы на 13% по сравнению с исходной.

Применение предложенных методов позволило после 10 лет старения достичь минимального значения коэффициента максимального усиления для различных ПНТ (например, 11,5 дБ вместо прежних 6,29 дБ) (табл. 8).

Таблица 8

Изменение параметров общей системы после 10 лет старения для различных ПНТ

Процесс	До старения		После старения	
	макс. усиление (дБ)	частота (ГГц)	макс. усиление (дБ)	частота (ГГц)
SS	11,7	4,5	11,5	4,36
TT	12,5	5,1	12,1	4,99
FF	12,9	5,4	12,4	5,17

Таким образом, применение предложенных методов позволило снизить изменение коэффициента максимального усиления с 48% до 3,8%, а частоты — с 36,4% до 4,2% при увеличении площади на 13%.

В третьей главе разработано программное средство Reliability Test Tool (RTT), которое сокращает время, затрачиваемое на проектирование и моделирование схем, за счет уменьшения ошибок, вызванных человеческим фактором.

Для выполнения моделирования необходимо на первом этапе указать процесс, минимальные, номинальные и максимальные значения питающих напряжений и температуры для генерации граничных случаев (рис. 11).



Рис. 11. Окно ввода условий работы

Далее открывается окно, содержащее поля <<Deck file>>, <<Deck file for PD mode>>, <<Aging type>> и <<Years>>. Также присутствует поле активации, расположенное рядом с выражением <<Use aging mitigation method>>. В поле <<Deck file>> необходимо ввести описание среды моделирования схемы на языке Spice. Поля <<Deck file for PD mode>>, <<Aging type>> и <<Years>> требуется заполнять только при моделировании старения. В поле <<Deck file for PD mode>> вводится описание среды моделирования схемы в режиме отключения на языке

Spice. В поле «Aging type» можно выбрать один из двух типов моделирования старения: «Standard» или «Multi step», а в поле «Years» указывается количество лет старения. Активация поля «Use aging mitigation method» позволяет инструменту RTT модифицировать описание схемы на языке Spice, добавляя транзисторы, необходимые для применения соответствующего метода (рис. 12).

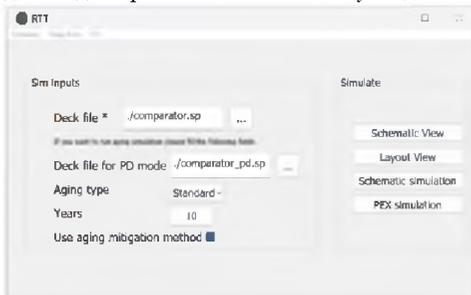


Рис. 12. Возможность просмотра полученных результатов

Нажатие кнопок «Schematic simulation» и «PEX simulation» запускает процесс моделирования и открывает соответствующие окна. При нажатии «Schematic simulation» выполняется схематическое моделирование, а при использовании «PEX simulation» из физического проекта извлекается паразитная информация, которая добавляется в процесс моделирования (рис. 13).

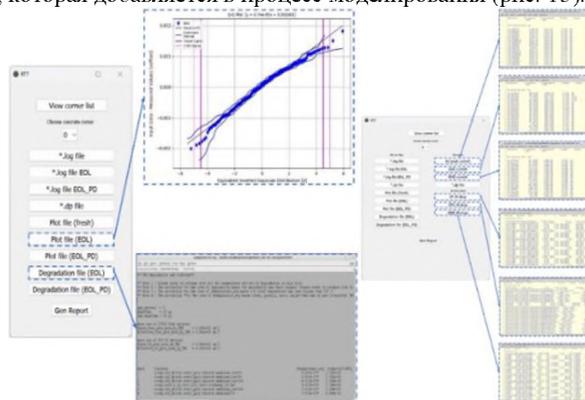


Рис. 13. Окна, открывающиеся после нажатия кнопок «Schematic simulation» и «PEX simulation»

В открытых окнах с помощью кнопок можно просматривать графики до и после старения, параметрическую деградацию транзисторов, результаты падения напряжения IR и электромиграции.

С использованием инструмента RTT были спроектированы и проверены схемы компаратора на основе встроенного каскода ОУ, схемы ЗН и СЭ. Результаты были

сравнены с данными, представленными в главе 2 (табл. 9–11). Также выполнена оценка времени, затрачиваемого на проверки.

Таблица 9

Оценка эффективности проектирования компаратора после 10 лет старения с использованием программного инструмента

Схема	Усиление (дБ)	Наибольшее $\Delta V_{\text{порог}}$ (мВ)	Наибольшее $\Delta I_{\text{сток}}$ (мВ)	Наибольшее отклонение напряжения
Существующая	80,01	0,01	0,1	3
Предлагаемая	85,2	22	2,9	2
Спроектированная с RTT	85,2	22	2,9	2

Таблица 10

Оценка точности проектирования СЭ после 10 лет старения с использованием программного инструмента

Схема	Макс. коэффициент усиления (дБ)	Соответствующая частота (Гц)
Существующая	7,1	3,68
Предлагаемая	12,4	5,17
Спроектированная с RTT	12,4	5,17

Таблица 11

Оценка эффективности проектирования схемы ЗН после 10 лет старения с использованием программного инструмента

Схема	Выходное напряжение мин. (В)	Выходное напряжение до нагрузки (В)	Выходное напряжение после нагрузки (В)	Выходное напряжение макс. (В)	Время установки выхода (нс)
Существующая	1,03	2,36	2,02	2,23	149,2
Предлагаемая	1,68	2,17	1,79	2,25	14,1
Спроектированная с RTT	1,68	2,17	1,79	2,25	14,1

Таким образом, представлено методы повышения надежности быстродействующих приемных систем с последовательной передачей сигналов и эффективность программного инструмента RTT. Сравнение полученных результатов подтверждает работу инструмента без потери точности. С помощью RTT удалось сократить время проектирования и проверки схем в 3...4 раза.

ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Предложены подходы к снижению явлений старения в схемах приемных узлов интегральных схем, которые соответствуют современным требованиям и обеспечивают необходимые рабочие условия за счет увеличения занимаемой площади и времени моделирования [1-9].
2. Разработан метод снижения влияния явлений старения в компараторах на основе встроенного каскадного операционного усилителя, за счет добавления транзисторов регулировки напряжения обеспечивается увеличение коэффициента усиления на 6,4% и 11,6% соответственно по сравнению с существующими и базовыми схемами, благодаря которому также снижение напряжения смещения в 1,5 и 17,5 раза при увеличении занимаемой площади на 0,28% и 5,1% [5,7].
3. Предложен метод снижения влияния явлений старения в схеме зарядного насоса, позволяющий за счет изменения структуры нагрузки нейтрализовать снижение выходного напряжения более чем на 1 В и увеличение времени установления выхода в 9 раз при увеличении входных транзисторов в три раза. Применение метода позволило уменьшить занимаемую площадь на 26,9% за счет замены металл-оксид-металл ёмкостей на металл-оксид-полупроводник [1,4].
4. Разработан метод снижения влияния явлений старения в схеме эквалайзера, позволяющий за счет добавления схемы отрицательной ёмкости уменьшить влияние эффекта инжекции горячих носителей на старение, обеспечивая снижение изменений общего коэффициента усиления системы и частоты до 3,8% и 4,2% соответственно при увеличении площади на 13% [3,8].
5. Разработанные в диссертации методы повышения надежности быстродействующих приемных систем последовательно передаваемых сигналов реализованы в программном средстве RTT, которое внедрено в ЗАО "СИНОПСИС АРМЕНИЯ" и позволило сократить время проектирования и проверки схем в 3...4 раза. Реализация разработанных методов с помощью ПС RTT позволила в среднем на 39% снизить ухудшение параметров схем, входящих в состав быстродействующих приемных узлов, из-за явлений старения при увеличении занимаемой площади на кристалле полупроводника до 13%.

Основные результаты диссертации опубликованы в следующих работах:

1. A Low Dropout Voltage Regulator with Higher Than Supply Output Voltage and Load Based Frequency Control System / **H. Sahakyan, A. Hayrapetyan, S. Harutyunyan, A. Stepanyan, H. Azatyan, G. Hovsepyan** // 2020 IEEE 40th International Conference on Electronics and Nanotechnology (ELNANO): Kyiv, Ukraine, 2020. -P. 366-369, doi: 10.1109/ELNANO50318.2020.9088754.

2. **Azatyanyan H., Sahakyan H., Galstyan A., Harutyunyan S.** IO Glitch Filter // 2020 IEEE 40th International Conference on Electronics and Nanotechnology (ELNANO). - Kyiv, Ukraine, 2020. - P. 259-262, doi: 10.1109/ELNANO50318.2020.9088824.
3. **Grigoryan M.T., Atanesyan A.A., Hakobyan G.H., Harutyunyan S.S.** Two Stage CTLE For High Speed Data Receiving // 2020 IEEE 40th International Conference on Electronics and Nanotechnology (ELNANO). - Kyiv, Ukraine, 2020. - P. 374-377, doi: 10.1109/ELNANO50318.2020.9088865.
4. A reliable pmos based charge pump architecture / **S.S Harutyunyan, Hakob T. Kostanyan, M.T. Grigoryan, Harutyun T. Kostanyan, G.A. Voskanyan, A.K. Hayrapetyan** // Proceeding of the RA NAS and NPUA Series of Technical Sciences. - 2020. - Vol. LXXIII, no. 2. - P. 181-187.
5. The Aging Influence Minimization Method For Operational Amplifiers With Thin Oxide Transistors / **V.Sh. Melikyan, S.A. Ghukasyan, S.S. Harutyunyan, H.T. Kostanyan, G.A. Voskanyan** // Proceedings of the RA NAS and NPUA. Series of Technical Sciences. - 2022. - Vol. 75, no. 4. - P. 527-535. - doi: 10.53297/0002306X-2022.v75.4-527.
6. **Kostanyan H.T., Harutyunyan S.S., Voskanyan G.A., Ghukasyan S.A.** Transistor aging minimization method for multi output level converter design // Vestnik. Fiziko-Matematičeskie i Estestvennye Nauki. - 2022. - Vol. 1. - P. 89-100, doi: 10.48200/1829-0450_pmn_2022_1_89.
7. A Method For Minimizing Aging Influence On Rail-To-Rail Operational Amplifier With Thin Oxide Transistors / **V.Sh. Melikyan, S.A. Ghukasyan, S.S. Harutyunyan, G.A. Voskanyan, N.A. Asatryan**// Известия вузов. Электроника. - 2023. - No. 3. - P. 45-52.
8. **Harutyunyan S.S.** / Aging Protected Two Stage CTLE For High Speed Data Receivers // 2023 IEEE East-West Design & Test Symposium (EWDTS). - Batumi, Georgia, 2023. - P. 1-4, doi: 10.1109/EWDTS59469.2023.10297111.
9. Aging Protected Precision CMOS Current Reference with Process, Supply Voltage and Temperature Compensation / **V. Sahakyan, R. Soghomonyan, S. Harutyunyan, H. Sahakyan, A. Galstyan, A. Katayan** // 2024 IEEE East-West Design & Test Symposium (EWDTS). - Yerevan, Armenia, 2024. -P. 01-04, doi: 10.1109/EWDTS63723.2024.10873802.

ԱՄՓՈՓԱԳԻՐ

Ժամանակի հետ մեկտեղ ինտեգրալ սխեմաների (ԻՄ) հիմնական բաղադրիչ տարրի՝ տրանզիստորների, հոսքուղիների երկարությունները նվազել են մինչև 3 մմ: Այս փոքրացման հետևանքով առաջացել են բազմաթիվ բացասական երևույթներ, որոնք ազդում են տրանզիստորների աշխատանքային բնութագրերի վրա և հանգեցնում սխեմաների հուսալիության նվազմանը: Ներկայումս ԻՄ-ները լայնորեն կիրառվում են կարևոր ոլորտներում, ինչպիսիք են բժշկությունը, ռազմական արդյունաբերությունը և մեքենաշինությունը: Այս ոլորտներում օգտագործվող սխեմաների հիմնական պահանջները ներառում են բարձր արագագործություն և երկարաժամկետ անհրաժեշտություն:

Բարձր արագագործություն ապահովելու համար նախագծվում են հատուկ մուտք-ելք հանգույցներ, որոնք պատասխանատու են ազդանշանների հաջորդական փոխանցման և ընդունման համար: Սակայն արագագործության աճին զուգընթաց ավելի արտահայտիչ են դառնում ԻՄ-ների հուսալիության խնդիրները: Երկարաժամկետ աշխատանքի ընթացքում տրանզիստորների պարամետրերը վատթարանում են պայմանավորված ձեռացման երևույթների ազդեցություններով: Այսպիսով, մուտք-ելք հանգույցներում ազդանշանների ամբողջականությունը պահպանելու համար, առաջանում է, ձեռացման երևույթների ազդեցությունը նվազեցնող մեթոդների մշակման անհրաժեշտություն:

ԻՄ-ների նախագծմամբ զբաղվող մի շարք ընկերություններ հետազոտել են ձեռացման երևույթները և առաջարկել դրանց ազդեցությունները նվազեցնելու մեթոդներ: Այս մեթոդները մասամբ կարողացել են նվազեցնել բացասական հետևանքները, սակայն դրանք միշտ չեն, որ համապատասխանում են ժամանակակից պահանջներին: Ուստի նոր մոտեցումների մշակումը դարձել է անհրաժեշտություն:

Ատենախոսությունը նվիրված է հաջորդաբար փոխանցվող ազդանշանի ընդունման արագագործ համակարգերի հուսալիության բարձրացման արդի խնդիրների լուծմանը:

Առաջարկվել են ԻՄ-ների ընդունիչ հանգույցների մաս կազմող սխեմաներում ձեռացման երևույթների նվազեցման մոտեցումներ, որոնք կբավարարեն ներկայիս պահանջներին և զբաղեցրած մակերեսի ու մոդելավորման ժամանակի տևողության մեծացման հաշվին կապահովեն դրանց համար անհրաժեշտ աշխատանքային պայմաններ:

Առաջարկվել է ներդրված կասկոդով օպերացիոն ուժեղարարի հիմքով համեմատիչներում ձեռացման երևույթների ազդեցության նվազեցման մեթոդը, որը լարման կարգման տրանզիստորների ավելացման շնորհիվ ապահովել է ուժեղացման գործակցի աճ՝ առկա և բազային սխեմաների համեմատ

համապատասխանաբար 6,4%-ով և 11,6%-ով և շեղման լարման նվազում 1,5 և 17,5 անգամ, զբաղեցրած մակերեսի 0,28% և 5,1%-ով մեծացման պարագայում:

Ստեղծվել է լիցքի պոմպի սխեմայում ծերացման երևույթների ազդեցության նվազեցման մեթոդը, որը սխեմայի բեռային կառուցվածքի փոփոխման շնորհիվ չեզոքացրել է ելքային լարման ավելի քան 1Վ նվազումը և ելքի հաստատման ժամանակի տևողության 9 անգամ աճը մուտքային տրանզիստորների 3 անգամ մեծացման հաշվին: Մեթոդի կիրառման արդյունքում զբաղեցրած մակերեսը փոքրացել է 26,9%-ով մետաղ-օքսիդ-մետաղ ունակությունները մետաղ-օքսիդ-կիսահաղորդիչ տեսակով փոխարինելու շնորհիվ:

Մշակվել է համահարթեցման սխեմայում ծերացման երևույթների ազդեցության նվազեցման մեթոդը, որը բացասական ունակության սխեմայի ավելացման շնորհիվ նվազեցրել է ծերացման SLN երևույթի ազդեցությունը, ապահովելով ընդհանուր համակարգի առավելագույն ուժեղացման գործակցի և հաճախության փոփոխությունների նվազեցում համապատասխանաբար մինչև 3,8% և 4,2%, մակերեսի 13% աճի հաշվին:

Ատենախոսությունում մշակված հաջորդաբար փոխանցվող ազդանշանի արագագործ ընդունիչ համակարգերի հուսալիության բարձրացման մեթոդներն իրագործվել են RTT ծրագրային միջոցում, որը ներդրվել է «ՄԻՆՈՓՄԻՍ ԱՐՄԵՆԻԱ» ՓԲԸ-ում և թույլ է տվել կրճատել սխեմաների նախագծման և ստուգումների ժամանակը 3-ից 4 անգամ: Մշակված մեթոդների իրագործումը՝ RTT ծրագրային գործիքի միջոցով, թույլ է տվել միջինում 39%-ով նվազեցնել ծերացման երևույթների պատճառով արագագործ ընդունիչ հանգույցների մաս կազմող սխեմաների պարամետրերի վատթարացումը կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի մինչև 13% մեծացման հաշվին:

SERGO SMBAT HARUTYUNYAN

DEVELOPMENT OF MEANS FOR RELIABILITY IMPROVEMENT IN HIGH-SPEED SERIAL DATA RECEIVERS

SUMMARY

Over time, the channel lengths of transistors—the fundamental components of integrated circuits (ICs)—have been scaled down to 3 nanometers. This miniaturization has introduced significant adverse effects, degrading transistor performance characteristics and compromising circuit reliability. Modern ICs are extensively utilized in critical domains such as medical technology, defense systems, and automotive engineering, where high-speed operation and long-term operational stability are paramount.

To achieve high-speed performance, specialized input-output (I/O) nodes are designed to manage sequential signal transmission and reception. However, as operational speeds increase, reliability challenges in ICs become more pronounced. Prolonged operation leads to parametric degradation in transistors due to aging mechanisms. Consequently, preserving signal integrity in I/O nodes necessitates the development of methodologies to mitigate aging effects.

Several IC design firms have investigated aging phenomena and proposed mitigation techniques. While these methods partially alleviate degradation, they often fail to meet contemporary demands. Thus, novel approaches are required to address these limitations.

This dissertation focuses on enhancing the reliability of high-speed serial data reception systems, addressing current challenges in the field.

Proposed approaches for reducing aging effects in IC receiver circuits meet current demands while improving operational conditions at the cost of increased area and modeling time.

A method was developed to reduce aging effects in comparators based on cascode operational amplifiers. By incorporating voltage-regulation transistors, the proposed design improved gain by 6.4% and 11.6% compared to conventional and baseline circuits, respectively. Additionally, offset voltage was reduced by a factor of 1.5 and 17.5, with a marginal area increase of 0.28% and 5.1%.

A technique to counteract aging in charge pump circuits was introduced. By modifying the load structure, the method eliminated an output voltage drop exceeding 1 volt and reduced settling time by a factor of 9, despite a threefold increase in input transistor size. Furthermore, area was reduced by 26.9% through the replacement of metal-oxide-metal capacitors with metal-oxide-semiconductor variants.

A negative capacitance circuit was integrated into equalizer designs to mitigate aging-induced threshold voltage shifts hot carrier injection. This approach confined

system gain variation to 3.8% and frequency variation to 4.2%, with a 13% area overhead.

The proposed reliability-enhancement methods for high-speed serial receivers were implemented using the RTT software tool at “Synopsys Armenia” CJSC. This implementation reduced circuit design and verification time by a factor of three to four. Empirical results demonstrated a 39% reduction in parametric degradation due to aging effects, achieved with a silicon area increase of up to 13%.

A handwritten signature in black ink, appearing to read "H. H. H.", located in the lower right quadrant of the page.