

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ, ԳԻՏՈՒԹՅԱՆ,
ՄՇԱԿՈՒՅԹԻ ԵՎ ՍՊՈՐՏԻ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

Սահակյան Հրայր Հրաչյայի

ԻՆՏԵԳՐԱԼ ՀԻՇՈՂ ՍԱՐՔԵՐՈՒՄ ՆԵՐԴՐՎԱԾ ՄՆՈՒՑՄԱՆ ՈՒ
ԿԱՌԱՎԱՐՄԱՆ ՀԱՄԱԿԱՐԳԵՐԻ ԱՇԽԱՏԱՆՔԱՅԻՆ ՊԱՐԱՄԵՏՐԵՐԻ
ԵՎ ՀՈՒՍԱԼԻՈՒԹՅԱՆ ԲԱՐԵԼԱՎՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՈՒՄԸ

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի
հայցման ատենախոսության

ՍԵՂՍԱԳԻՐ

Երևան 2025

МИНИСТЕРСТВО ОБРАЗОВАНИЯ, НАУКИ, КУЛЬТУРЫ И СПОРТА
РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

Саакян Грайр Грачьевич

**РАЗРАБОТКА СРЕДСТВ ПОВЫШЕНИЯ НАДЕЖНОСТИ И РАБОЧИХ
ПАРАМЕТРОВ СИСТЕМ ПИТАНИЯ И УПРАВЛЕНИЯ ВСТРОЕННЫХ
В ИНТЕГРАЛЬНЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА**

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата
технических наук по специальности 05.27.01-
“Электроника, микро- и нанoeлектроника”

Ереван 2025

Ատենախոսության թեման հաստատվել է Հայաստանի ազգային պոլիտեխնիկական համալսարանում (ՀԱՊՀ):

Գիտական ղեկավար *	տ.գ.դ. Հովհաննես Ավագի Գոմցյան
Պաշտոնական ընդդիմախոսներ *	տ.գ.դ. Սուրիկ Խաչիկի Խոտավերդյան տ.գ.թ. Կարեն Գագիկի Մկրտչյան

Առաջատար կազմակերպություն * Հայ-ռուսական համալսարան

Ատենախոսության պաշտպանությունը կայանալու է 2025թ. հունիսի 13-ին, ժամը 16⁰⁰-ին, ՀԱՊՀ-ում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 Մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:

Սեղմագիրն առաքված է 2025թ. մայիսի 7-ին

046 Մասնագիտական խորհրդի
գիտական քարտուղար, տ.գ.թ.



Բենիամին Ֆելիքսի Բադալյան

Тема диссертации утверждена в Национальном политехническом университете Армении (НПУА)

Научный руководитель: д.т.н. Оганес Авакович Гомцян

Официальные оппоненты: д.т.н. Сурик Хачикович Худавердян
к.т.н. Карен Гагикович Мкртчян

Ведущая организация: Российско-армянский университет

Защита диссертации состоится 13-го июня 2025 г. в 16⁰⁰ ч. на заседании Специализированного совета 046 — "Радиотехники и электроники", действующего при Национальном политехническом университете Армении, по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 7-го мая 2025 г.

Ученый секретарь
Специализированного совета 046 к.т.н.



Бениамин Феликсович Бадалян

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. С каждым днем области применения интегральных запоминающих устройств (ИЗУ) значительно расширяются — от автономных машин, управляемых искусственным интеллектом, до космических спутников и медицинских имплантируемых устройств. Для обеспечения высокой производительности и функционального разнообразия таких систем постоянно увеличивается количество электронных компонентов в них. Параллельно с ростом числа элементов, с целью уменьшения площади и энергопотребления, масштабируются их физические размеры и напряжения питания. В результате такого масштабирования возникают новые явления, влияние которых на схемы проявляется в виде значительных параметрических изменений, а также усиливается воздействие вторичных эффектов, ранее пренебрегаемых в процессах с большими технологическими нормами, что приводит к ухудшению надежности схем.

Наиболее чувствительными к этим явлениям являются системы питания и управления, встроенные в ИЗУ, поскольку они работают при напряжениях, в несколько раз превышающих напряжения питания, что ступенчато ускоряет влияние деградационных процессов. Среди наиболее критичных факторов, воздействующих на надежность, ключевое место занимают явления, связанные со старением. На этапе проектирования необходимо моделировать их влияние и принимать превентивные меры, поскольку под воздействием старения схема со временем может выйти из строя.

С целью решения указанных проблем ведущие компании, занимающиеся проектированием интегральных схем (ИС), разрабатывают методы обнаружения, снижения и предотвращения эффектов старения. Однако стремительное масштабирование технологий порождает новые проблемы, для решения которых требуются инновационные подходы.

Данная диссертация посвящена решению актуальных задач повышения надежности и рабочих параметров систем питания и управления, встроенных в ИЗУ.

Объект исследования. Основные факторы, снижающие надежность систем питания и управления, встроенных в ИЗУ, степень ухудшения параметров схем под их воздействием и методы предотвращения этих эффектов.

Цель работы. Выявление и минимизация явлений, ухудшающих надежность и рабочие параметры систем питания и управления, встроенных в ИЗУ.

Методы исследования. В ходе работы были применены современные подходы к оценке, моделированию и оптимизации влияния эффектов старения в системах питания и управления, встроенных в ИЗУ, а также методы разработки соответствующего программного обеспечения.

Научная новизна:

- Разработаны подходы к повышению точности и снижению влияния эффектов старения встроенных систем питания и управления ИЗУ, которые за счет умеренного увеличения энергопотребления, занимаемой площади и времени моделирования обеспечивают необходимые рабочие характеристики в допустимых пределах.
- Созданы схемы зарядовых насосов (ЗН) на основе исключительно р-канальных металл-оксид-полупроводниковых (МОП) полевых

транзисторов, управляемых тактовыми сигналами с четырьмя и шестью фазами. В данных схемах достигнуто снижение влияния эффектов старения, что обеспечивает отклонение выходной мощности менее 10% после 15 лет работы в условиях повышенных температур за счет увеличения занимаемой площади на 10% и 15% соответственно.

- Разработан метод динамического ограничения тока стабилизатора напряжения, в котором снижено влияние факторов, ускоряющих старение р-МОП-транзистора выходного каскада. Метод обеспечивает отклонение выходной мощности менее 10% после 15 лет работы в условиях повышенных температур за счет увеличения занимаемой площади на 20%.
- Предложена схема обнаружения напряжения питания для управления преобразователями уровня напряжения во встроенных системах ИЗУ устройств. Схема исключает возможность непредсказуемых отказов в условиях низкого напряжения питания, занимая площадь всего 425 мкм².

Практическая ценность работы. Разработанные в диссертации методы улучшения рабочих параметров и надежности систем питания и управления, встроенных в ИЗУ, были реализованы в программной среде "Unified Design & Reliability Analysis Environment" (UDRAE), внедренной в ООО "СИНОПСИС АРМЕНИЯ", что позволило сократить время проектирования и проверки схем в среднем в два раза. Реализация предложенных методов с помощью программного инструмента UDRAE позволила в случае зарядовых насосов и стабилизаторов напряжения исключить их работу в условиях, ускоряющих старение, и получить допустимое отклонение выходной мощности менее 10%, а с помощью схемы обнаружения напряжения питания, управляющей преобразователями уровня напряжения, исключить ошибочное преобразование входных сигналов в системе управления. Все это удалось реализовать за счет увеличения занимаемой площади на полупроводниковом кристалле до 15%.

На защиту выносятся следующие научные положения:

- метод снижения влияния эффектов старения в зарядовых насосах за счет использования исключительно рМОП-транзисторов;
- метод защиты стабилизаторов высокого напряжения от работы в условиях перегрузки по току и перенапряжения путем динамического ограничения выходного тока, позволяющий снизить влияние деградационных процессов;
- метод повышения надежности системы управления за счет исключения непредсказуемых отказов преобразователей уровня напряжения в условиях пониженного питания с использованием схемы детектирования напряжения питания;
- программное средство (ПС) "Unified Design & Reliability Analysis Environment" для повышения надежности ИС.

Достоверность научных положений подтверждается представленными в диссертации экспериментальными результатами схематического моделирования и математическими обоснованиями.

Внедрение. Разработанное программное средство “Unified Design & Reliability Analysis Environment” внедрено в ЗАО "СИНОПСИС АРМЕНИЯ". ПС применяется при проектировании ИС с учетом эффектов старения для повышения их надежности и рабочих параметров.

Апробация работы. Основные научные и практические результаты диссертации докладывались на:

- 20-й Международной конференции «East-West Design & Test Symposium (EWDTS)» (Ереван, Армения, 2024 г.);
- 19-й Международной конференции «East-West Design & Test Symposium (EWDTS)» (Батуми, Грузия, 2023 г.);
- 40-й Международной конференции «Electronics and Nanotechnology (ELNANO)» (Киев, Украина, 2020 г.);
- научных семинарах кафедры «Микроэлектронные схемы и системы» НПУА (Ереван, Армения, 2022–2025 гг.).

Публикации. Основные положения диссертации представлены в пяти научных работах, список которых приведен в конце автореферата.

Структура и объем диссертации. Работа состоит из введения, трех глав, основных выводов, списка литературы из 112 наименований и 4-ех приложений. В первом приложении представлен акт внедрения диссертации, во втором - фрагменты Spice описаний исследованных зарядовых насосов, стабилизаторов напряжения и схем обнаружения напряжения питания, в третьем - фрагменты описания ПС "Unified Design & Reliability Analysis Environment", а в четвертом - списки рисунков, таблиц и сокращений. Объем диссертации составляет 111 страниц, а вместе с приложениями - 146 страниц, включая 90 рисунков и 8 таблиц. Диссертация написана на армянском языке.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность темы диссертации, сформулированы цель и основные задачи исследования, представлены методы исследования, научная новизна, практическое значение и основные научные положения, выносимые на защиту.

В первой главе представлены воздействия, ухудшающие надежность и рабочие параметры современных систем питания и управления, встроенных в интегральные запоминающие устройства. Исследовано влияние явлений старения на эти процессы. Изучены необходимость снижения и компенсации данных явлений, а также существующие для этого методы.

Зарядовые насосы. В современных системах проектирования ИС особое внимание уделяется проблемам надежности ЗН, используемых в энергонезависимой памяти. Ключевой задачей становится разработка точных динамических моделей физических характеристик транзисторов, которые позволяют прогнозировать деградацию параметров в процессе эксплуатации. Наибольшие проблемы наблюдаются в высоковольтных стабилизаторах напряжения и генераторах

повышенного напряжения, где механизмы старения проявляются наиболее интенсивно.

Основные факторы деградации включают несколько взаимосвязанных явлений. В традиционных схемах удвоителей напряжения на pMOS-транзисторах межэлектродные напряжения могут вдвое превышать входное напряжение, создавая условия для инжекции горячих носителей и других деградационных процессов (рис. 1). При этом существующие расчетные модели выходной мощности не учитывают в полной мере паразитные эффекты, которые становятся особенно значительными при работе на высоких частотах. Важным фактором является температурная зависимость - с ростом температуры увеличиваются токи утечки, снижается максимальная рабочая частота и ускоряется процесс старения компонентов.

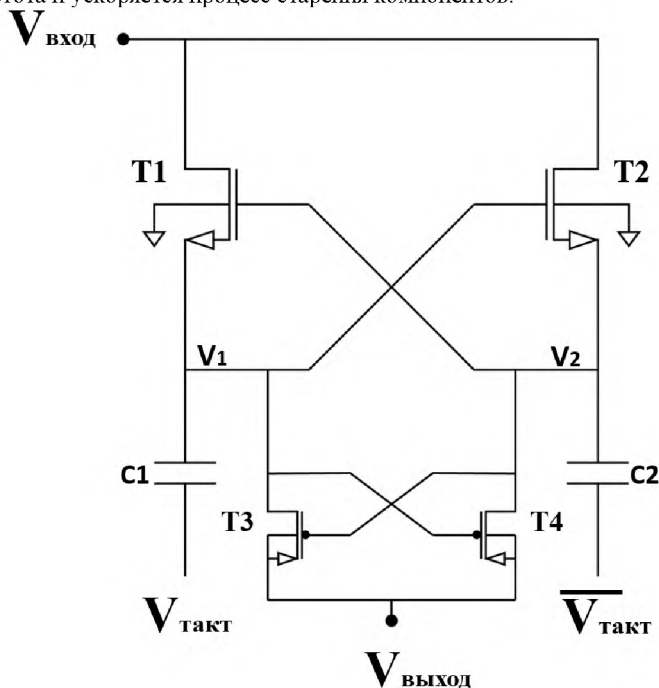


Рис. 1. Схема зарядного насоса

Экспериментальные исследования с использованием инструментов моделирования HSPICE MOSRA показали, что около 60% общей деградации коэффициента умножения напряжения происходит в течение первого года эксплуатации устройства. При повышенных температурах (125°C) наблюдается существенное снижение выходного напряжения - до 15% после трех лет непрерывной работы. Эти данные подтверждают необходимость разработки новых подходов к проектированию надежных систем (рис. 2).

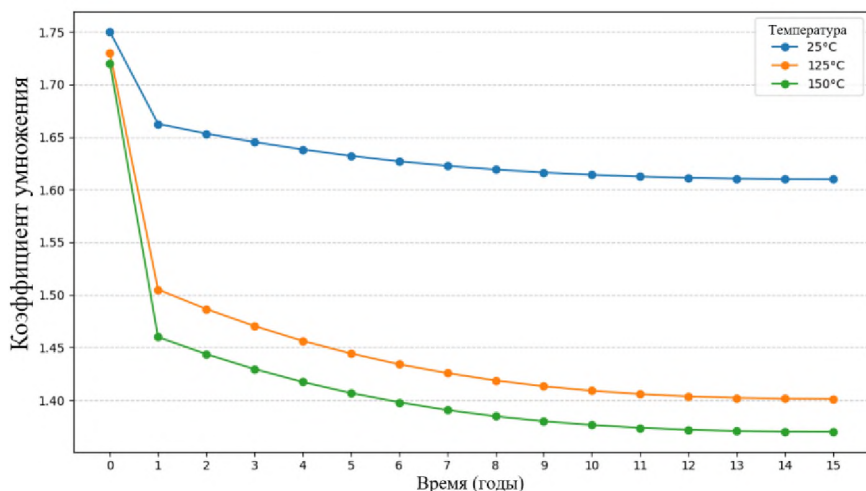


Рис. 2. Выходной сигнал ЗН после старения

Существующие методы повышения надежности, такие как использование глубоких n -областей для изоляции подложки транзисторов, хотя и позволяют ограничить межэлектродные напряжения, имеют существенные недостатки. Они приводят к увеличению площади кристалла на 20...25%, создают проблемы с теплоотводом и становятся несовместимыми с современными технологическими нормами ниже 14 нм. Альтернативные подходы, основанные на адаптивном управлении частотой тактовых сигналов, также не лишены недостатков: повышение рассеиваемой мощности и ускорение деградации компонентов из-за увеличенной частоты переключений.

Современные технологические вызовы требуют принципиально новых решений. Для перспективных FinFET-процессов с нормами 14 нм и менее необходимо разрабатывать топологии зарядовых насосов, не требующие изолированных n -областей. Особое внимание следует уделять учету технологического разброса параметров, нелинейной температурной зависимости деградации и сложного взаимовлияния различных механизмов старения, включая инжекцию горячих носителей и электромиграцию.

Перспективные направления исследований включают разработку новых схемотехнических решений на основе pМОП-транзисторов, оптимизацию алгоритмов управления частотой с учетом деградационных процессов и создание эффективных компенсационных схем для наиболее уязвимых узлов. Ключевой задачей является обеспечение 10-летнего срока службы при рабочих температурах до 125°C без существенного увеличения занимаемой площади на кристалле. Эти разработки будут иметь важное значение для создания нового поколения надежных энергонезависимых запоминающих устройств.

Стабилизатор с малым падением напряжения. В современных энергонезависимых запоминающих устройствах стабилизаторы с малым падением

напряжения (СМП) играют критически важную роль, особенно в случаях, когда для операций чтения требуются напряжения, превышающие уровень питания. Наряду с умножителями напряжения СМП обеспечивают стабильное выходное напряжение с подавленным шумом, что особенно важно для надежной работы памяти.

Традиционные конструкции СМП с рМОП выходными транзисторами хотя и решают проблему запаса по входному напряжению, но не устраняют вопросы долгосрочной надежности (рис. 3). Моделирование в HSPICE показало, что в течение 1000 часов работы наблюдается значительная деградация тока стока рМОП-транзистора в зависимости от напряжений сток-исток и затвор-исток (рис. 4). В нормальных рабочих условиях схема проектируется так, чтобы напряжения между выводами транзистора находились в зоне минимальной деградации. Однако различные внешние факторы могут вывести систему за пределы расчетных режимов работы.

В сложных системах, где один источник питания обслуживает множество ячеек памяти, локальный перегрев или ошибки управления могут привести к резкому уменьшению сопротивления нагрузки. В таких случаях система отрицательной обратной связи СМП сначала увеличивает напряжение затвор-исток выходного рМОП-транзистора, а после его насыщения начинает расти напряжение сток-исток. Это переводит транзистор в режимы, ускоряющие деградацию, что в конечном итоге может привести к необратимым изменениям характеристик и снижению производительности системы.

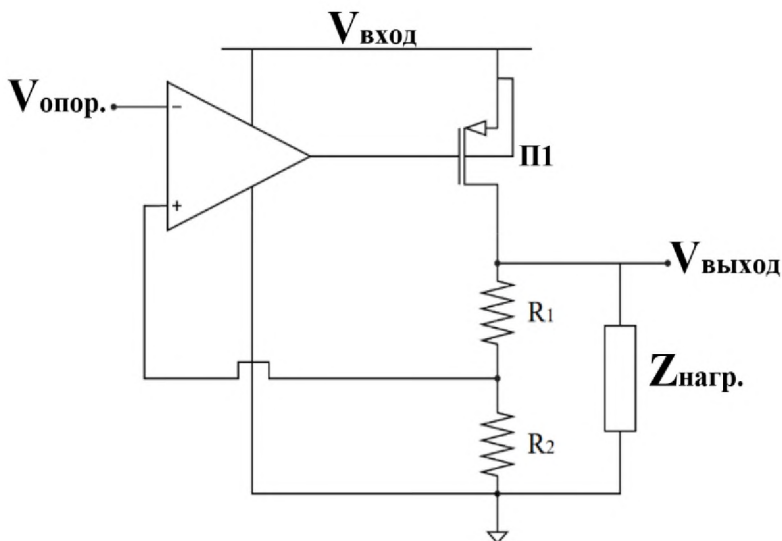


Рис. 3. Схема стабилизатора напряжения

Представленные решения эффективно защищают выходной рМОП-транзистор от вертикального перенапряжения, однако обеспечивают лишь частичную защиту от сильных горизонтальных электрических полей вдоль канала и от трех ключевых механизмов деградации: инжекции горячих носителей (HCI), пробоя диэлектрика (TDDDB) и нестабильности при смещении и температуре (BTI). Это остается существенным ограничением для долговременной надежности СМП в современных технологических процессах.

Схема детектирования питания. В системах энергонезависимой памяти преобразователи уровня напряжения (ПУН) играют ключевую роль для управления высоковольтными схемами. Эти компоненты преобразуют низковольтные входные сигналы в уровни, необходимые для аналоговых подсистем питания. Однако их работа существенно зависит от технологических процессов, напряжения и температуры (ПНТ), что приводит к значительным отклонениям рабочих параметров.

Основная проблема традиционных решений заключается в высокой вероятности ошибок на выходе при работе в предельных условиях. Моделирование в HSPICE позволило определить минимальный порог напряжения питания, исключающий выходные ошибки при различных комбинациях ПНТ-факторов (рис. 6).

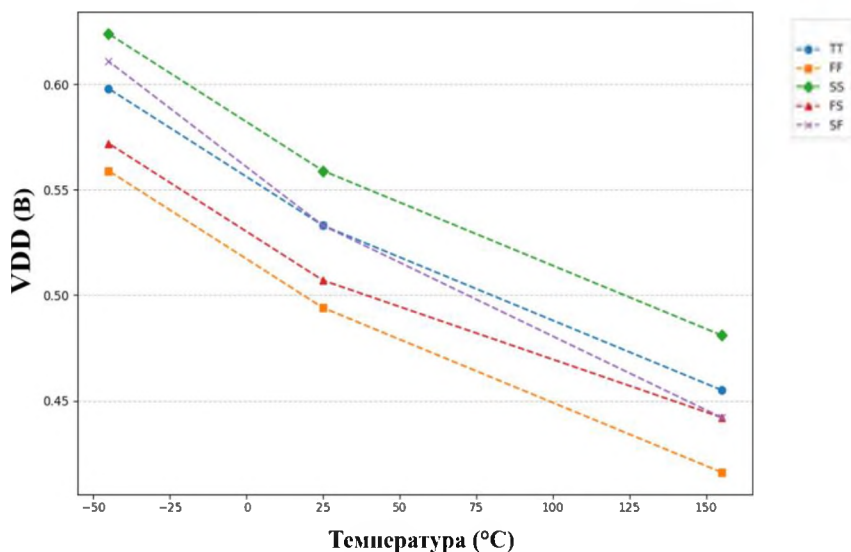


Рис. 6. Пороговое напряжение питания, исключающее выходной сбой

Для систем с несколькими уровнями питания критически важными становятся схемы детектирования напряжения (рис. 7), которые обеспечивают работу только при нахождении всех питающих напряжений в заданном диапазоне.

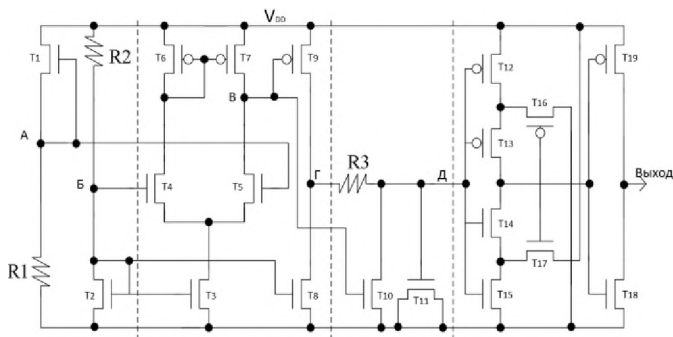


Рис. 7. Схема детектирования напряжения питания

Сравнительный анализ показал, что минимальное рабочее напряжение ПУН имеет аналогичную температурную зависимость. Однако существующие решения обладают существенным недостатком - они учитывают только температурную зависимость рабочего напряжения ПУН, игнорируя технологические вариации. В результате пороговое значение устанавливается для наихудшего случая, что приводит к избыточному запасу по напряжению в типичных условиях (рис. 8).



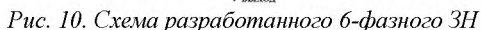
Рис. 8. Нижний рабочий порог напряжения питания ПУН

Таким образом, учитывая области, в которых используются ИС, вышеупомянутые проблемы представляют серьезную угрозу для их надежности. Следовательно, необходимо разработать новые методы, которые позволят снизить или компенсировать отклонения, вызванные изменением эффектов старения.

Во второй главе представлены разработанные методы и даются решения проблем, описанных в первой главе.

Метод снижения последствий явлений старения ЗН. Предложены две усовершенствованные архитектуры зарядовых насосов на основе рМОП-транзисторов, демонстрирующие значительное улучшение характеристик по сравнению с традиционными решениями.

Оптимизированная 6-фазная архитектура демонстрирует еще лучшие показатели (рис. 10). При тех же условиях деградация выходного напряжения составляет всего 7,2% (с 2,22 В до 2,06 В), при этом начальное выходное напряжение на 4,7% выше, чем у 4-фазного варианта. Потребляемая мощность остается на уровне 0,43 мВт при увеличении площади до 3730 мкм² (табл. 1).



Результаты моделирования показывают, что исключение nМОП-транзисторов из схемы ЗН устраняет условия, ускоряющие процессы старения. В схемах, использующих только рМОП-транзисторы, деградация выходного напряжения со временем носит практически линейный характер.

Таблица 1

Сравнение существующих и предлагаемых схем ЗН

Схема	Выходное напряжение (В)	Выходное напряжение после одного года старения (В)	Выходное напряжение после 15 лет старения (В)
nМОП ЗН	2,12	1,75 (-17,5%)	1,64 (-22,7%)
4-фазная рМОП ЗН	2,10	2,08 (-1%)	1,98 (-5,7%)
6-фазная рМОП ЗН	2,22	2,19 (-1,4%)	2,06 (-7,2%)

Таким образом, в предложенных методах за счет усложнения формирования тактовых сигналов и увеличения площади решаются проблемы надежности зарядового насоса без потери выходной мощности.

Метод снижения эффектов старения в высоковольтных стабилизаторах.

Разработана усовершенствованная схема СНП с динамическим ограничением тока выходного рМОП-транзистора, направленная на снижение деградационных эффектов при высоких входных напряжениях. Предложенная архитектура использует двухпороговую систему защиты: первый уровень активируется при нагрузке 2 кОм, второй критический - при 1 кОм. При превышении пороговых значений схема полностью отключает выходной ток через 50 нс, в отличие от традиционных решений с линейным снижением (рис. 11).

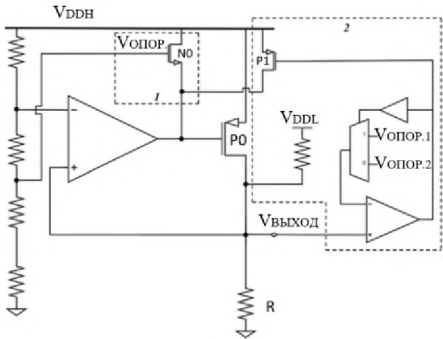


Рис. 11. Схема СН с предложенным динамическим ограничением тока

Результаты временного моделирования позволили вывести зависимость между напряжениями затвор-исток и сток-исток выходного рМОП-транзистора в предложенной схеме СНП (рис. 12).

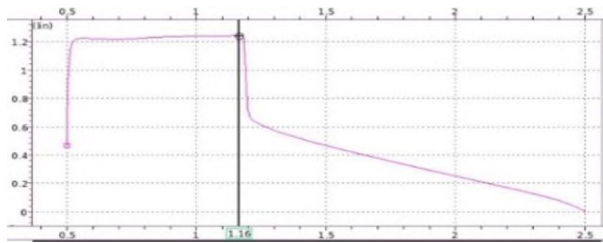


Рис. 12. Зависимость между напряжениями затвора и стока рМОП-транзистора

Совмещение полученных вольт-амперных характеристик (ВАХ) с данными по деградации транзистора показывает, что в схеме СНП выходной рМОП-транзистор сохраняет работоспособность в пределах безопасной области при любых режимах нагрузки, включая аварийные (рис. 13). Это гарантирует долговременную стабильность его параметров, необходимых для поддержания точности выходного напряжения и высокой помехоустойчивости.

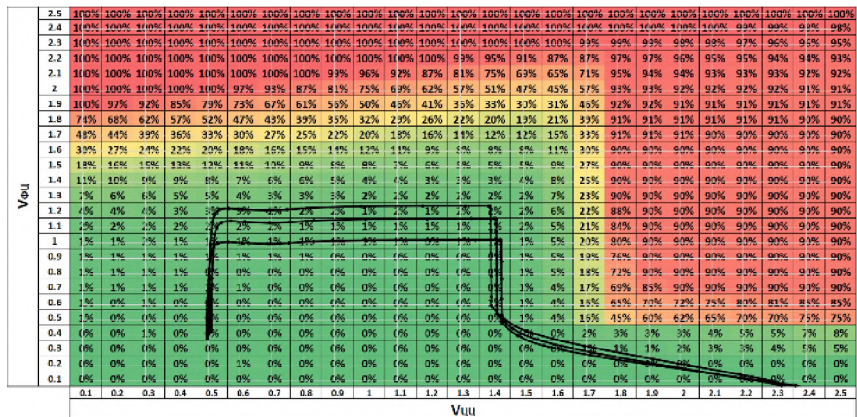


Рис. 13. Наложение ВАХ и таблицы деградации выходного рМОП-транзистора

Таблица 2

Сравнение существующих и предлагаемых схем СНП

Схема	TDDVB запитка	HCI запитка	ВТИ запитка	Увеличение площади
С постоянным ограничением	да	нет	нет	+5%
С откатным ограничением	да	частично	частично	+10%
С предлагаемым ограничением	да	да	да	+20%

Метод исключения ошибок в ПУН с помощью схемы детектирования

Ключевые результаты моделирования показывают, что новое решение обеспечивает стабильный детектирующий порог с точностью ± 12 мВ во всем диапазоне технологических вариаций (SS/TT/FF) и температур от -45°C до $+155^{\circ}\text{C}$. При этом площадь схемы сокращена до 25×17 мкм по сравнению с 110×75 мкм у аналогов, хотя статическое энергопотребление возрастает до 4.37 мкВт против 0.72–0.81 мкВт у существующих решений (табл. 3).

Сравнение существующих и предлагаемых решений

15

Особое внимание уделено анализу в условиях производственных вариаций - метод Монте-Карло подтвердил надежность работы схемы при 6σ отклонениях параметров (рис. 15).

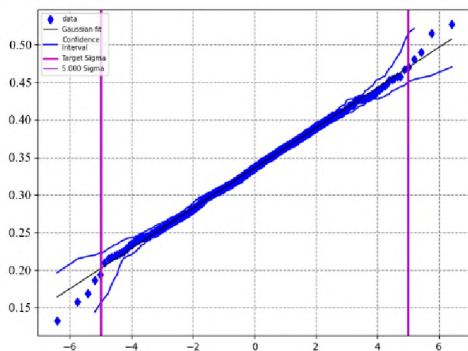


Рис. 15. Разница между порогами детектирования напряжения и отказа ПУН

Таким образом, предложенная схема, занимая площадь 425 мкм² и потребляя статическую мощность 4,37 мкВт, решает ключевую проблему предсказуемости состояния отказа ПУН в интегрированных системах управления.

В третьей главе представлено разработанное программно-инструментальное средство “UDRAE”, которое позволяет исключить человеческий фактор и сократить время проектирования благодаря удобному интерфейсу, простому вводу данных, быстрому просмотру файлов и ошибок симуляции.

В разделе Design пользователь может создать схему через графический редактор или импортировать Netlist в формате Spice. Блок-схема проекта автоматически генерируется в Block level view, где для каждого вывода (pin) настраиваются нагрузки и параметры (рис. 16). Это позволяет гибко конфигурировать активные и пассивные компоненты, подключенные к схеме.

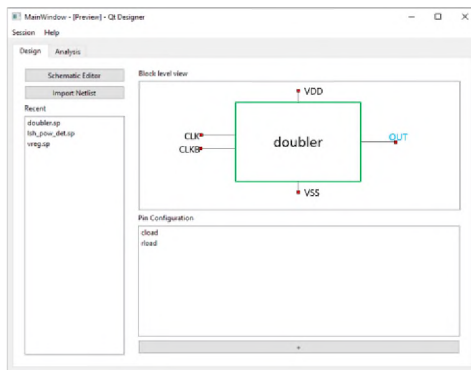


Рис. 16. Окно ввода условий работы

Переход во вкладку Analysis открывает возможности для настройки моделирования. Пользователь выбирает тип анализа (transient, DC, AC), загружает необходимые модели (Model File), дополнительные настройки (Options File) и файлы измерений (Measure File). Особое внимание уделено разделу Aging, где можно активировать расчет деградационных эффектов (TDDDB, HCI, BTI) и задать условия моделирования старения — либо пошагово (Sweep), либо для конкретных временных точек (POI). Запуск моделирования (Run) сопровождается проверкой входных данных, а ошибки отображаются в отдельном окне (рис. 17).



Рис. 17. Возможность просмотра полученных результатов

Результаты моделирования отображаются во вкладке Results. Здесь данные представлены в виде таблиц, где каждая строка соответствует определенному ПНТ-углу, а столбцы содержат результаты измерений. Для анализа доступны инструменты экспорта данных в CSV, построения графиков и генерации отчетов по деградации компонентов. Можно просматривать логи моделирования (.log) и сигналы в WaveView, что упрощает диагностику проблем (рис. 18).

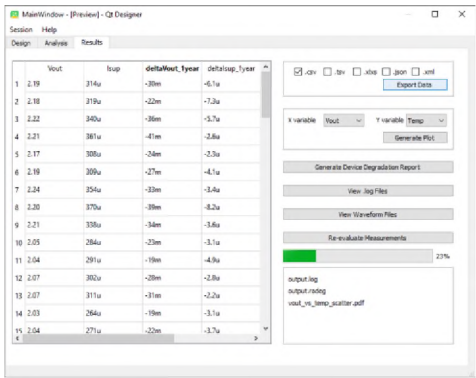


Рис. 18. Возможность просмотра полученных результатов

С помощью программного инструмента UDRAE были спроектированы и протестированы схемы ЗН, СНП с динамической защитой от перегрузки, схемы детектирования напряжения питания. Полученные данные были сравнены с результатами, представленными в предыдущей главе (табл. 4-6).

Таблица 4

Оценка эффективности проектирования ЗН с помощью программного средства

Схема	Выходное напряжение (В)	Выходное напряжение после старения (В)
Существующая	2,12	1,75 (-17,5%)
С помощью предлагаемого метода	2,22	2,19 (-1,4%)
Разработанная с помощью ПС	2,22	2,19 (-1,4%)

Таблица 5

Оценка эффективности проектирования СНП с помощью программного средства

Схема	Выходное напряжение (В)	Выходное напряжение после старения (В)
Существующая	2,00	1,71
С помощью предлагаемого метода	2,00	1,95
Разработанная с помощью ПС	2,00	1,95

Таблица 6

Оценка эффективности проектирования схемы обнаружения питания с помощью программного средства

Схема	Порог обнаружения питания (мВ)	Средний запас по порогу обнаружения (мВ)
Существующая	482	84
С помощью предлагаемого метода	431	36
Разработанная с помощью ПС	431	36

Таким образом, представленные сравнительные результаты подтверждают эффективность предлагаемых методов и программного средства UDRAE. Не теряя в точности, ПС позволяет сократить время, затрачиваемое на проектирование и моделирование схем, в среднем в два раза. Кроме того, упрощая передачу входных и выходных файлов между различными инструментами, ПС максимально исключает человеческий фактор. Следовательно, можно утверждать, что данное ПС может быть применено в процессе проектирования ИС и внедрения предлагаемых решений.

ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Предложены подходы к повышению точности и снижению влияния эффектов старения встроенных систем питания и управления интегральных запоминающих устройств, которые за счет умеренного увеличения энергопотребления, занимаемой площади и времени моделирования обеспечивают необходимые рабочие параметры в допустимых пределах.
2. Разработаны схемы зарядовых насосов на основе исключительно рМОП-транзисторов, управляемых тактовыми сигналами с четырьмя и шестью фазами. В данных схемах достигнуто снижение влияния эффектов старения, что обеспечивает отклонение выходной мощности менее 10% после 15 лет работы в условиях повышенных температур при увеличении занимаемой площади на 10% и 15% соответственно.
3. Предложен метод динамического ограничения тока стабилизатора напряжения, в котором снижено влияние факторов, ускоряющих старение рМОП-транзистора выходного каскада, что обеспечивает отклонение выходной мощности менее 10% после 15 лет работы в условиях повышенных температур при увеличении занимаемой площади на 20%.
4. Создана схема обнаружения напряжения питания для управления преобразователями уровня напряжения во встроенных системах управления интегральных запоминающих устройств, которая исключает возможность непредсказуемых отказов в условиях низкого напряжения питания, занимая площадь всего 425 мкм².
5. Разработанные в диссертации методы улучшения рабочих параметров и надежности систем питания и управления, встроенных в интегральные запоминающие устройства, реализованы в программной среде UDRAE, внедренной в ООО "СИНОПСИС АРМЕНИЯ", что позволило сократить время проектирования и проверки схем в среднем в два раза. Реализация предложенных методов с помощью программного инструмента UDRAE позволила исключить работу зарядовых насосов и стабилизаторов напряжения в условиях, ускоряющих старение, и получить допустимое отклонение выходной мощности менее 10%, а также исключить ошибочное преобразование входных сигналов в системе управления с помощью схемы обнаружения напряжения питания. Все это удалось реализовать за счет

увеличения занимаемой площади на полупроводниковом кристалле до 15%.

Основные результаты диссертации опубликованы в следующих работах:

1. Reliable All PMOS Voltage Doublers for Low-Voltage Applications / **H. Sahakyan, H. Gomtsyan, R. Soghomonyan, S. Harutyunyan, G. Voskanyan, V. Sahakyan, A. Melikyan** // 2024 IEEE East-West Design & Test Symposium (EWDTS). - Yerevan, Armenia, 2024. - P. 1-4, doi: 10.1109/EWDTS59469.2023.10297089.
2. **Sahakyan H.** Foldback Current Limiting in Low-Dropout Voltage Regulators with Aging Analysis Based Operating Envelope // 2023 IEEE East-West Design & Test Symposium (EWDTS). - Batumi, Georgia, 2023. - P. 1-4, doi: 10.1109/EWDTS59469.2023.10297089.
3. A Low Dropout Voltage Regulator with Higher Than Supply Output Voltage and Load-Based Frequency Control System / **H. Sahakyan, A. Hayrapetyan, S. Harutyunyan, A. Stepanyan, H. Azatyan, G. Hovsepyan** // 2020 IEEE 40th International Conference on Electronics and Nanotechnology (ELNANO). - Kyiv, Ukraine, 2020. - P. 366-369, doi: 10.1109/ELNANO50318.2020.9088754.
4. **Sahakyan H.** A Novel PVT-Tracking Power Supply Detection Circuit For Reliable Level Shifter Operation In Multi-Voltage Ics // Proc. of the RA NAS and NPUA Ser. of tech. sc. 2024 Volume 77 N3, Yerevan, Armenia, 2024. – P. 349-356
5. Aging Protected Precision CMOS Current Reference With Process, Supply Voltage and Temperature Compensation / **V. Sahakyan, R. Soghomonyan, S. Harutyunyan, H. Sahakyan, A. Galstyan, A. Katayan** // 2024 IEEE East-West Design & Test Symposium (EWDTS). - Yerevan, Armenia, 2024. - P. 1-4
6. Fully Integrated Resistance Calibration Method Using Reference Frequency and MOSFET Capacitance / **O. Petrosyan, R. Soghomonyan, H. Sahakyan, A. Galstyan, V. Sahakyan, G. Voskanyan, A. Melikyan** // 2024 IEEE East-West Design & Test Symposium (EWDTS). – Yerevan, Armenia, 2024. – P. 1-4

ԱՄՓՈՓԱԳԻՐ

Ժամանակին զուգնթաց մեծացել են ինտեգրալ հիշող սարքերի (ԻՀՄ) կիրառության բնագավառները՝ արհեստական բանականությամբ ղեկավարվող ինքնավար մեքենաներից մինչև տիեզերական արբանյակներ և մարդու օրգանիզմում տեղադրված բժշկական սարքավորումներ: Այս համակարգերի բարձր արագագործությունը և գործառույթների բազմազանությունն ապահովելու համար ընթացքում մեծանում են նաև այսպիսի սարքավորումներում էլեկտրոնային տարրերի քանակը: Տարրերի քանակի աճին զուգահեռ մակերեսի և էներգասպառման նվազեցման նպատակով մասշտաբավորվում են նաև դրանց ֆիզիկական չափսերն ու սնուցման լարումները: Ի տարբերություն հոսքուղու երկարության, սնուցման լարման մասշտաբավորումը տեղի է ունենում շատ ավելի դանդաղ տեմպերով և արդյունքում նորագույն տեխնոլոգիաներում գնալով մեծանում են տրանզիստորների ելուստների միջև գործող էլեկտրական դաշտերը: Այս մասշտաբավորման արդյունքում ի հայտ են գալիս նոր երևույթներ, որոնց ազդեցությունները սխեմաների վրա արտացոլվում են զգալի պարամետրական փոփոխություններով, ինչպես նաև մեծանում են ավելի մեծ հոսքուղով գործընթացներում անտեսված երկրորդային երևույթների ազդեցությունները՝ հանգեցնելով սխեմաների հուսալիության վատթարացմանը:

Այս երևույթների նկատմամբ առավել զգայուն են ԻՀՄ-երում ներդրված սնուցման և կառավարման համակարգերը քանի որ դրանք աշխատում են սնուցման լարումներից մի քանի անգամ բարձր լարումներով, որն էլ աստիճանային օրհենքով արագացնում է վատթարացման երևույթների ազդեցությունը: Հուսալիության վրա աղզող այս գործոններից ամենակարևորները պատկանում են ծերացման երևույթների դասին: Նախագծման փուլում հարկավոր է մոդելավորել դրանց ազդեցությունը և ձեռնարկել կանխարգելիչ միջոցներ, քանի որ ծերացման երևույթների ազդեցությամբ սխեման կարող է ժամանակի ընթացքում ընդհուպ մինչև խափանվել:

Նշված հիմնահարցերի լուծման նպատակով ինտեգրալ սխեմաների (ԻՄ) նախագծմամբ զբաղվող առաջատար ընկերությունները փորձել են մշակել ծերացման երևույթների հայտնաբերման, նվազեցման և կանխարգելման մեթոդներ: Սակայն շատ արագ տեմպերով ընթացող մասշտաբավորումը իր հետ բերում է նոր խնդիրներ, որոնց լուծման համար պահանջվում է նոր մոտեցումների մշակումը:

Ատենախոսությունը նվիրված է ԻՀՄ-երում ներդրված սնուցման ու կառավարման համակարգերի հուսալիության և աշխատանքային պարամետրերի բարելավման արդի հիմնահարցերի լուծմանը:

Առաջարկվել են ինտեգրալ հիշող սխեմաներում ներդրված սնուցման ու կառավարման համակարգերի ճշգրտության բարելավման և ծերացման երևույթների ազդեցությունների նվազեցման մոտեցումներ, որոնք թույլատրելի սահմաններում էներգասպառման, զբաղեցրած մակերեսի և մոդելավորումների տևողության մեծացման հաշվին ապահովում են անհրաժեշտ աշխատանքային պայմաններ:

Մշակվել են չորս և վեց փուլային տակտային ազդանշաններով ղեկավարվող միայն քՄՕԿ տեսակի տրանզիստորներից կազմված լիցքի պոմպերի սխեմաներ, որոնցում նվազարկվել է ծերացման երևույթների ազդեցությունը, ապահովելով 15 տարի բարձր ջերմաստիճանային պայմաններում աշխատանքի հետևանքով 10%-ից ավելի փոքր ելքային հզորության շեղում մակերեսի համապատասխանաբար 10% և 15% աճի հաշվին:

Առաջարկվել է լարման կայունարարի հոսանքի դինամիկ սահմանափակման մեթոդ, որում նվազարկվել են ելքային կասկադը մատակարարող քՄՕԿ տրանզիստորի ծերացումն արագացնող ազդեցությունները, ապահովելով 15 տարի բարձր ջերմաստիճանային պայմաններում աշխատանքի հետևանքով 10%-ից ավելի փոքր ելքային հզորության շեղում մակերեսի 20% աճի հաշվին:

Ստեղծվել է ինտեգրալ հիշող սարքերում ներդրված կառավարման համակարգերում լարման մակարդակի կերպափոխիչները ղեկավարող սնուցման լարման հայտնաբերման սխեմա, որը բացառում է դրանց անկանխատեսելի խափանման վիճակը ցածր լարումային պայմաններում՝ զբաղեցնելով ընդամենը 425քմկմ մակերես:

Ատենախոսությունում մշակված ինտեգրալ հիշող սարքերում ներդրված սնուցման ու կառավարման համակարգերի աշխատանքային պարամետրերի և հուսալիության բարելավման միջոցներն իրագործվել են UDRAE ծրագրային միջոցում, որը ներդրվել է «ՄԻՆՈՓՄԻՍ ԱՐՄԵՆԻԱ» ՓԲԸ-ում և թույլ է տվել կրճատել սխեմաների նախագծման և ստուգումների ժամանակը միջինում 2 անգամ: Առաջարկված մեթոդների իրագործումը UDRAE ծրագրային գործիքի միջոցով, թույլ է տվել լիցքի պոմպեր և լարման կայունարարների դեպքում բացառել դրանց ծերացմանն արագացնող պայմաններում աշխատանքը և ստանալ թույլատրելի 10%-ից ավելի փոքր ելքային հզորության շեղում, իսկ լարման մակարդակի կերպափոխիչներին ղեկավարող սնուցման լարման հայտնաբերման սխեմայի միջոցով բացառել կառավարման համակարգում մուտքային ազդանշանների սխալ կերպափոխումը: Այս ամենը հաջողվել է իրականացնել կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի մինչև 15% մեծացման հաշվին:

HRAYR HRACHYA SAHAKYAN

**DEVELOPMENT OF METHODS TO IMPROVE THE OPERATIONAL
PARAMETERS AND RELIABILITY OF POWER SUPPLY AND CONTROL
SYSTEMS EMBEDDED IN INTEGRATED MEMORY DEVICES**

SUMMARY

Over time, the application areas of integrated memory devices (IMDs) have expanded from artificial intelligence-controlled autonomous vehicles to space satellites and medical devices implanted in the human body. To ensure the high performance and functional diversity of these systems, the number of electronic components in such equipment continues to increase. Parallel to the increase in the number of elements, their physical dimensions and supply voltages are being scaled to reduce surface area and power consumption. The scaling of supply voltages however is much slower compared to channel length which results in increasing electrical fields between the device terminals in advanced node technologies. As a result of this scaling, new phenomena emerge whose effects on circuits are reflected in significant parametric changes, while the effects of secondary phenomena previously neglected in larger process nodes become more pronounced, leading to deterioration of circuit reliability.

The power supply and management systems embedded in IMDs are particularly sensitive to these phenomena because they operate at voltages several times higher than the supply voltage, which exponentially accelerates the effect of degradation phenomena. Among the most important factors affecting reliability are those belonging to the class of aging phenomena. At the design stage, it is necessary to model their impact and take preventive measures, because under the influence of aging phenomena, the circuit may eventually fail.

To solve these fundamental problems, leading companies engaged in the design of integrated circuits (ICs) have attempted to develop methods for detecting, reducing and preventing aging phenomena. However, the extremely rapid pace of scaling brings new problems that require the development of new approaches.

The dissertation is devoted to solving current fundamental problems of improving the reliability and operating parameters of power supply and management systems embedded in IMDs.

Approaches have been proposed to improve the accuracy of power supply and management systems embedded in integrated memory circuits and reduce the effects of aging phenomena, which ensure the necessary operating conditions at the expense of a permissible increase in power consumption, occupied area and modeling duration.

Four-phase and six-phase clock signal-controlled charge pump circuits consisting only of pMOS transistors have been developed, in which the effect of aging phenomena

has been reduced, ensuring less than 10% output power deviation after 15 years of operation in high temperature conditions at the expense of 10% and 15% area increase respectively. The proposed circuits provide an aging protected charge pump solution that is also more efficient due to a more precise clocking scheme which allows for a better control over the charging and boosting cycles.

A method of dynamic current limiting in voltage regulators has been proposed, which reduces the effects accelerating the aging of the output stage pMOS transistor, ensuring less than 10% output power deviation after 15 years of operation in high temperature conditions at the expense of 20% area increase. The proposed system builds upon existing foldback current limiting techniques adding enhanced protection against hot carrier injection and negative bias temperature instability effects. The operating envelope of the LDO is designed to always avoid the high stress conditions thus maintaining its output capabilities for an extended lifetime.

A supply voltage detection circuit has been created to control voltage level converters in control systems embedded in integrated memory devices, which eliminates their unpredictable failure state under low voltage conditions while occupying only 425 μm^2 area. The proposed circuit matches the behavior of the level shifters that are used in the control systems in order to ensure minimal necessary margin loss of the operational voltages.

The methods for improving the operating parameters and reliability of power supply and management systems embedded in integrated memory devices developed in the dissertation have been implemented in the “Unified Design & Reliability Analysis Environment” software tool, which has been introduced at Synopsys Armenia CJSC and has allowed to reduce the time of circuit design and testing by an average of 2 times. The tool provides a pipelined environment where multiple design and simulation tools are integrated and operating in parallel. It reduces the amount of manual file transfers between input and output processes of said tools and drastically reduces the likelihood of human error.

The implementation of the proposed methods through the UDRAE software tool has made it possible to eliminate the operation of charge pumps and voltage regulators under conditions that accelerate aging and obtain an allowable output power deviation of less than 10%, as well as to eliminate incorrect conversion of input signals in the control system through the supply voltage detection circuit controlling voltage level converters. All this has been successfully implemented at the expense of up to 15% increase in occupied area on the semiconductor chip.

