

ՊԱՇՏՈՆԱԿԱՆ ԸՆԴԴԻՄԱԽՈՍԻ ԿԱՐԾԻՔ

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի հայցման ներկայացրած

Արման Գևորգի Մանուկյանի «Թվային ինտեգրալ սխեմաների՝ բարձր արագագործությամբ ստուգման միջոցների մշակումը » ատենախոսության վերաբերյալ

Արդիականությունը և կառուցվածքը:

Թվային ինտեգրալ սխեմաների (ԻՍ) ստուգումը պարտադիր փուլ է ինտեգրալ սխեմաների նախագծման մեջ՝ թույլ տալով համոզվել, որ սխեման համապատասխանում է իր ֆունկցիոնալ պահանջներին: Այն օգնում է խուսափել թանկարժեք սխալներից, ապահովել հուսալիություն, և բարելավել արտադրանքի որակը: Ժամանակակից ինտեգրալ սխեմաներում, որտեղ տարրերի քանակը հասնում է միլիարդների, կառուցվածքային բարդությունն ու փոխկապակցվածությունը զգալիորեն մեծանում են, ինչը բարձրացնում է սխալների առաջացման հավանականությունը: Նման պայմաններում ֆունկցիոնալ սխալները, եթե հայտնաբերվում են նախագծման ուշ փուլերում կամ արտադրությունից հետո, կարող են հանգեցնել մեծ ծախսերի, ժամկետների ուշացման և նույնիսկ արտադրանքի ձախողման:

ԻՍ-երի բարդության աճը հանգեցնում է այնպիսի իրավիճակների, երբ մուտքային հնարավորությունների և ներքին վիճակների ամբողջական վերլուծությունը դառնում է գործնականում անհնար: Այդ իսկ պատճառով օգտագործվում է ստուգման ծածկույթի գնահատման մեխանիզմներ, որոնք օգնում են չափել ստուգման արդյունավետությունը: Ստուգման ծածկույթի հիման վրա կառուցվում է ամբողջական պատկերը այն մասին, թե ինչ չափով է ֆունկցիոնալ ստուգումը ընդգրկում սխեմայի բոլոր հնարավոր վարքագծերը: Սակայն այս գործընթացը հատկապես բարդ է մեծածավալ և բազմապորտ սխեմաների դեպքում: Նման դեպքերում կիրառվում են պատահական ստուգման և ավտոմատացված ծածկույթի վերլուծության մեթոդաբանություններ, որոնք հնարավորություն են տալիս ուղղորդել ստուգման գործընթացը՝ կենտրոնանալով դեռևս չստուգված դեպքերի վրա:

Նորագույն տեխնոլոգիաների զարգացումը խթանում է ստատիկ օպերատիվ հիշող սարքերի (ՍՕՀՍ) կառավարման բլոկների դերի մեծացումը բարձր արդյունավետությամբ հաշվողական համակարգերում: ՍՕՀՍ-ի կառավարման բլոկը հանդիսանում է կամուրջ՝ կենտրոնական պրոցեսորի և հիշողության միջև՝ ապահովելով արդյունավետ տվյալների փոխանակում: Ժամանակակից ԻՍ-երում, որտեղ կիրառվում են բազմամիջուկ պրոցեսորներ: ՍՕՀՍ-ի կառավարման բլոկները պետք է ապահովեն միաժամանակյա մուտք տարբեր հիշողությունների տարբեր հոսքուղիներով՝ կառավարելով մուտքի բախումները: Այս բլոկներն ունեն բարդ կառուցվածք, և դրանց որակի ապահովումը պահանջում է ոչ պակաս բարդ ստուգման միջավայրերի մշակում և մանրակրկիտ ստուգում:

Ներկայում կիրառվող ինտեգրալ սխեմաների ստուգման մեթոդները լիարժեք չեն համապատասխանում շուկայի կողմից թելադրված՝ ստուգման բարձր ծածկույթի և ֆունկցիոնալ ստուգման ժամանակի օպտիմալացման պահանջներին: Ուստի նոր մոտեցումների մշակումը դարձել է անհրաժեշտություն: Ատենախոսությունը նվիրված է թվային ինտեգրալ սխեմաների արագագործ ստուգման միջոցների արդի խնդիրների լուծմանը:

Ներածությունում հիմնավորված է ատենախոսության թեմայի գիտական և կիրառական արդիականությունը: Ներկայացվում են հետազոտության առարկան, նպատակը, օգտագործված մեթոդաբանական մոտեցումները, գիտական նորույթը, պաշտպանությանը ներկայացվող հիմնական դրույթները, ինչպես նաև աշխատանքի կիրառական նշանակությունը:

Առաջին գլխում ներկայացված են ստատիկ օպերատիվ հիշող սարքերի և դրանց կառավարող բլոկների ստուգման առկա մեթոդները, դրանց կիրառությունը և ստացված արյունքների գնահատումը, վերլուծվում են կիրառվող մոտեցումների թերությունները:

Երկրորդ գլխում առաջարկված են ստատիկ օպերատիվ հիշող սարքերի և դրանց կառավարման բլոկների բարձր արագությամբ ստուգման միջոցների մշակման նորարական մեթոդներ: Ներկայացված է նաև առաջարկված մեթոդներով իրականացված մոդելավորման արդյունքները, առկա մեթոդների հետ արդյունքների համեմատումը և գնահատումը:

Երրորդ գլխում նկարագրված է առաջարկված մեթոդների հիման վրա մշակված «Design Generator and Validator» (DGV) ծրագրային գործիքը, որը հնարավորություն է տալիս էապես կրճատել թվային ինտեգրալ սխեմաների ստուգման միջավայրերի նախագծման ժամանակը:

Աշխատանքի գիտական նշանակությունը:

1. Առաջարկվել է բազմապորտ ստատիկ օպերատիվ հիշող սարքերի արագագործ ստուգման միջոցների մշակման մեթոդ՝ հիմնված ստուգման համապիտանի մեթոդաբանությամբ ագենտների կիրառման և զուգահեռ նմանակման վրա, ինչը թույլ է տվել կրճատել նմանակման վրա ծախսված ժամանակը 20%-ով, իսկ նմանակման համար օգտագործված հիշողությունը՝ 20-30%-ով, սակայն նախագծման վրա ծախսված ժամանակն ավելացել է 50%-ով:
2. Ստեղծվել է հերթային բոֆորացնող տարրերով աշխատող ստատիկ օպերատիվ հիշող սարքերի ղեկավարման բլոկի բարձր արագագործությամբ ստուգման միջոցների մշակման մեթոդ, որը, հերթային զանգվածների կիրառման շնորհիվ, ապահովում է ստուգման բարձր ծածկույթ կրճատելով նմանակման վրա ծախսված ժամանակը 25%-ով, իսկ նմանակման համար օգտագործված հիշողությունը 20-35%-ով, սակայն նախագծման վրա ծախսված ժամանակն ավելացել է 30-45%-ով:
3. Մշակվել է թվային ինտեգրալ սխեմաների բարձր արագագործությամբ ստուգման միջավայրերի ավտոմատ գեներացման մեթոդ՝ Python լեզվի նոր գրադարանների նախագծման հիման վրա, որի կիրառումը նվազեցնում է նախագծման վրա ծախսված ժամանակը 40-50%-ով:
4. Ստեղծվել է թվային ինտեգրալ սխեմաների և դրանց ստուգման միջավայրերի ավտոմատ նախագծման ծրագրային միջոց, որի կիրառումը նվազեցրել է ստուգման գործընթացը 3-5 անգամ՝ օգտագործված հիշողության 15% ավելացման հաշվին:

Ստացված արդյունքների հավաստիությունն ու կիրառական նշանակությունը:

Ատենախոսության գիտական նորույթների հավաստիությունը հիմնավորված է առկա հինգ հրապարակումներով: Իսկ կիրառական նշանակությունն արտացոլվում է մշակված DGV ծրագրային գործիքի՝ «Զայլինքս Արմենիա» ՍՊԸ-ում ներդրումով:

Ատենախոսական աշխատանքում նկատված թերությունները:

1. Ցանկալի կլիներ որ աշխատանքի վերնագրում նշված լիներ թե թվային ինտեգրալ սխեմաների մշակման որ էտապին է վերաբերվում թեստավորումը:
2. Առաջին մեթոդով առաջարկված ստուգման միջավայրում բացակայում է բացատրությունը այն մասին, թե ինչպես է լուծվել հիշող սարքերի տարբեր պորտերով միաժամանակ գրանցման և ընթերցման ընթացքում առաջացած առաջնահերթության խնդիրը:

3. Հիշող սարքերի ստուգման միջավայերի մշակման մեթոդում ցանկալի կլիներ կատարել ուսումնասիրություն և տալ գնահատական համապիտանի մեթոդաբանությամբ աշխատող անկախ ազենտների օգտին՝ քանակի վերաբերյալ:
4. Չի ներկայացվել մշակված ծրագրային միջոցի կիրառության տնտեսական գնահատականը:

Ուսումնասիրելով ատենախոսությունն ու սեղմագիրը՝ գտնում եմ.

Ա.Գ. Մանուկյանի «Թվային ինտեգրալ սխեմաների՝ բարձր արագագործությամբ ստուգման միջոցների մշակումը» ատենախոսությունը լիովին համապատասխանում է Հայաստանի Հանրապետության Բարձրագույն կրթության և գիտության կոմիտեի կողմից թեկնածուական ատենախոսությանը ներկայացվող պահանջներին, իսկ հեղինակը արժանի է Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտության տեխնիկական գիտությունների թեկնածուի գիտական ասիճանի շնորհմանը:

Պաշտոնական ընդդիմախոս՝
տ.գ.դ. պրոֆեսոր՝

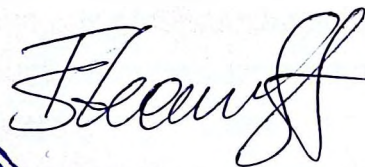


Ռ. Ռ. Վարդանյան

"08" նոյեմբեր 2025թ.

Տեխնիկական գիտությունների դոկտոր, պրոֆեսոր, Ռ. Ռ. Վարդանյանի
ստորագրությունը հաստատում եմ՝

ՀԱՊՀ-ի գիտական քարտուղար



Շ. Ս. Հովհաննիսյան

