

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ, ԳԻՏՈՒԹՅԱՆ,
ՄՇԱԿՈՒՅԹԻ ԵՎ ՄՊՈՐՏԻ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

Հակոբյան Լյուդվիգ Դավիթի

ԱՐԱԳԱԳՈՐԾ ՀԱՂՈՐԴԻՉ-ԸՆԴՈՒՆԻՉ ՀԱՆԳՈՒՅՑՆԵՐՈՒՄ
ՏՎՅԱԼՆԵՐԻ ԿՈՐՄՏԻ ՆՎԱԶԵՑՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՈՒՄԸ

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի
հայցման ատենախոսության

ՄԵՂՍԱԳԻՐ

Երևան 2026

МИНИСТЕРСТВО ОБРАЗОВАНИЯ, НАУКИ, КУЛЬТУРЫ И СПОРТА
РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

Акопян Людвиг Давидович

**РАЗРАБОТКА СРЕДСТВ СНИЖЕНИЯ ПОТЕРЬ ДАННЫХ В
ВЫСОКОСКОРОСТНЫХ УЗЛАХ ПРИЕМОПЕРЕДАТЧИКОВ**

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата
технических наук по специальности 05.27.01 -
“Электроника, микро- и наноэлектроника”

Ереван 2026

Ատենախոսության թեման հաստատվել է Հայաստանի ազգային պոլիտեխնիկական համալսարանում (ՀԱՊՀ):

Գիտական ղեկավար՝ տ.գ.դ. Վազգեն Շավարշի Մելիքյան

Պաշտոնական ընդդիմախոսներ՝ տ.գ.դ. Օլեգ Հարությունի Պետրոսյան
տ.գ.թ. Սանվել Տիգրանի Գրիգորյան

Առաջատար կազմակերպություն՝ Երևանի պետական համալսարան

Ատենախոսության պաշտպանությունը կայանալու է 2026թ. հուլիսի 13-ին, ժամը 12⁰⁰-ին, ՀԱՊՀ-ում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 մասնագիտական խորհրդի նիստում (հասցեն 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:

Սեղմագիրն առաքված է 2026թ. հունիսի 12-ին:

046 Մասնագիտական խորհրդի
գիտական քարտուղար, տ.գ.թ.

Բենիամին Ֆելիքսի Բադալյան

Тема диссертации утверждена в Национальном политехническом университете Армении (НПУА)

Научный руководитель: д.т.н. Вазген Шаваршович Меликян

Официальные оппоненты: д.т.н. Олег Арутюнович Петросян
к.т.н. Манвел Тигранович Григорян

Ведущая организация: Ереванский государственный
университет

Защита диссертации состоится 13-го июля 2026г. в 12⁰⁰ ч. на заседании Специализированного совета 046 — "Радиотехники и электроники", действующего при Национальном политехническом университете Армении, по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 12-го июня 2026г.

Ученый секретарь
Специализированного совета 046,
к.т.н.

Бениамин Феликсович Бадалян

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. Стремительное развитие цифровой инфраструктуры за последнее десятилетие сопровождалось повышением беспрецедентных требований к электрическим межсоединениям, связывающим вычислительные системы. Ввиду широкомасштабного внедрения облачных приложений, ресурсоемких задач машинного обучения и видеотрансляций глобальный интернет-трафик превысил 4,8 зеттабайта в 2022 году и, согласно прогнозам, превзойдет рубеж в 9 зеттабайт к 2027 году. В конечном счете весь этот объем данных должен проходить через электрические соединения между кремниевыми кристаллами (интегральными схемами). Эффективность этих межкристалльных каналов связи оценивается скоростью передачи данных, энергоэффективностью и качеством сигнала. По мере роста объемов данных пропускная способность этих каналов все больше ограничивает общую производительность всей системы.

Промышленные стандарты отреагировали на этот вызов агрессивным масштабированием скорости передачи данных в расчете на один канал. Рабочие группы оптического интернет-форума (OIF) и IEEE 802,3 усовершенствовали технические спецификации электрической сигнализации, повысив скорость с 28 Гб/с на канал (2014 г.) до 56 Гб/с и 112 Гб/с, а в настоящее время - до целевых 224 Гб/с. Каждая смена поколений примерно удваивает скорость передачи данных, в то время как физический канал в основном остается неизменным. Следствием этого является сужение всех проектных допусков: сокращаются временные интервалы, уменьшается запас по напряжению, а искажения, которыми можно было пренебречь на более низких скоростях, становятся доминирующими источниками ошибок.

Переход от бинарной модуляции без возвращения к нулю (БВН) к четырёхуровневой импульсно-амплитудной модуляции (ИАМ4), которая стала стандартом для скоростей 56 Гб/с и выше, наглядно иллюстрирует эту проблему. Модуляция ИАМ4 вдвое сокращает требуемую полосу пропускания канала по сравнению с БВН при той же скорости передачи данных, однако трехкратное уменьшение шага напряжения между соседними уровнями сигнала накладывает жесткие ограничения на линейность передатчика, качество тактового сигнала и чувствительность приемника. Схемотехнические блоки, которые ранее работали с достаточным запасом надежности, такие как выходные каскады передатчиков, сети распределения тактовых сигналов, аналоговые входные каскады, фазовые интерполяторы (ФИ) в контурах восстановления тактовой частоты и данных, теперь функционируют на пределе своих технологических возможностей. Даже незначительные отклонения, вызванные производственным разбросом параметров, шумами по питанию или температурным дрейфом, могут привести к закрытию «глазковой» диаграммы и выходу коэффициента битовых ошибок за допустимые пределы. Указанные негативные факторы требуют новых решений, направленных на снижение потерь сигнала в высокоскоростных узлах приемопередатчиков. Данная диссертационная работа посвящена исследованию вышеперечисленных проблем и разработке новых методов их решения.

Объект исследования. Исследование причин потерь данных в высокоскоростных узлах приемопередатчиков и разработка средств снижения их влияния.

Цель работы. Разработка подходов, методов и средств снижения потерь данных и повышения производительности системы в высокоскоростных узлах приемопередатчиков при минимальном росте энергопотребления и занимаемой площади на полупроводниковом кристалле.

Методы исследования. Исследования выполнены в соответствии с современными подходами и методами проектирования аналоговых и цифроаналоговых схем (ЦАП) с использованием принципов моделирования интегральных схем и программных средств (ПС) автоматизации проектирования.

Научная новизна:

- Предложены подходы к разработке последовательно-параллельных приемопередатчиков, обеспечивающих скорость передачи данных 112 Гб/с и выше по каналам с ограниченной полосой пропускания. Данные подходы основаны на увеличении горизонтального и вертикального раскрытия «глазковой» диаграммы на выходе передатчика, повышении линейности ФИ, улучшении линейности входного каскада приемника и снижении потерь, что обеспечивает создание устройств, соответствующих современным техническим требованиям.
- Разработан метод встроенной аналоговой коррекции для выходного каскада передатчика с логикой в режиме напряжения. За счет компенсации дифференциального дисбаланса и устранения эффекта «двойного глаза» с помощью цепи обратной связи на основе инверторов между Р и М каналами: горизонтальный раскрыв «глазковых» диаграмм для модуляций БВН и ИАМ4 был улучшен на 5...12% (в зависимости от технологического угла) а вертикальный раскрыв - на 3–5%, при затратах мощности до 0.315 мВт и площади до 12,15 мкм² на один сегмент.
- Создан метод калибровки коэффициента заполнения тактового сигнала на выходе узла автоподстройки задержки передатчика. За счет внедрения инверторов с аналоговой обратной связью, управляемых токовыми ЦАП и калибруемых по алгоритму регистров последовательного приближения, коэффициент заполнения тактового сигнала был скорректирован с 54,7% до 49,9% (улучшение на 4,8%) для типичного случая, при этом общий диапазон коррекции составил ±6,5%. Благодаря этому дифференциальные «глазковые» диаграммы выходного ИАМ4 сигнала передатчика улучшились как по горизонтальному, так и по вертикальному раскрытию, в частности, более чем на 35% для медленного и более чем на 70% для быстрого технологического процесса, при увеличении площади кристалла на 3,8% и дополнительном энергопотреблении в 12,3 мВт.
- Предложен метод повышения линейности входного аттенюатора в высокоскоростных приемниках. За счет управления пассивными элементами общая линейность системы была улучшена на величину до 20%; в частности, точка декомпрессии 1 дБ для типичного случая увеличилась на 119 мВ, а коэффициент рассогласования уровней

улучшился с 92,7% до 98,6%, при увеличении площади кристалла на 6,4%.

- Разработан комбинированный метод повышения линейности ФИ. За счет применения трех взаимно дополняющих подходов, предварительного искажения цифрового кода, работы интерполятора при пониженном напряжении питания и внедрения на его входе инверторного каскада с входной емкостной связью и резистивной обратной связью (РОС) максимальная интегральная нелинейность для типичного случая была снижена с 3,31 МБ (младший бит) до 0,83 МБ, энергопотребление уменьшилось на 0,29 мВт, а среднеквадратичное значение джиттера (дрожание) сохранилось в пределах 8,5 фс, при увеличении площади кристалла всего на 92мкм².

Практическая ценность работы. Методы и схемотехнические решения, предложенные в диссертации, а также ПС «HSIO Optimizer» были внедрены в ЗАО «СИНОПСИС АРМЕНИЯ». Они широко применяются в процессах исследования и разработки высокоскоростных последовательно-параллельных приемопередатчиков и блоков интеллектуальной собственности с целью улучшения их статических и динамических параметров. Тестирование показало, что ПС «HSIO Optimizer» позволяет в 6...8 раз сократить длительность процесса схемотехнического проектирования при сохранении достоверности результатов, а предложенные схемотехнические решения и методы существенно повысили производительность проектируемых высокоскоростных интегральных схем, став основой для создания архитектур передачи данных со скоростью 112 Гб/с и выше.

На защиту выносятся следующие научные положения:

- метод увеличения вертикального и горизонтального раскрыва «глазковой» диаграммы выходного каскада передатчика с логикой в режиме напряжения;
- метод калибровки коэффициента заполнения тактового сигнала в блоке автоподстройки задержки передатчика;
- способ повышения линейности аналогового входного аттенуатора в высокоскоростных приемниках;
- метод снижения потерь данных за счет повышения линейности ФИ в высокоскоростных приемниках.

Достоверность научных результатов подтверждается представленными в диссертации математическими обоснованиями и экспериментальными результатами схемотехнического моделирования.

Внедрение. Методы и схемотехнические решения, предложенные в диссертации, а также ПС «HSIO Optimizer» были внедрены в ЗАО «СИНОПСИС АРМЕНИЯ» и широко применяются в процессах исследования и разработки высокоскоростных последовательно-параллельных приемопередатчиков и блоков интеллектуальной собственности (IP-блоков) с целью улучшения их статических и динамических параметров.

Апробация работы. Основные научные и практические результаты диссертации докладывались на:

- Международном симпозиуме "IEEE East-West Design & Test Symposium (EWDTS)" (Ереван, Армения, 2024 г.);

- Международном симпозиуме "IEEE East-West Design & Test Symposium (EWDTS)" (Батуми, Грузия, 2025 г.);
- научных семинарах кафедры "Микроэлектронные схемы и системы" НПУА (Ереван, Армения, 2023 - 2026 гг.);
- научных семинарах ЗАО "Синописис Армения" (Ереван, Армения, 2023 - 2026 гг.).

Публикации. Основные положения диссертации представлены в пяти (5) научных работах, список которых приведен в конце автореферата.

Структура и объем диссертации. Диссертация состоит из введения, трех глав, основных выводов, списка литературы, включающего 103 наименования, и трех приложений. В первом приложении представлен акт внедрения диссертации, во втором – фрагменты описания ПС «HSIO Optimizer», а в третьем - списки рисунков, таблиц и сокращений. Основной объем диссертации составляет 118 страниц, а вместе с приложениями - 144 страницы, включая 45 рисунков и 5 таблиц.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность темы диссертации, сформулированы цель и основные задачи исследования, представлены разработанные методы, научная новизна, практическое значение и основные научные положения, выносимые на защиту.

В первой главе представлены факторы, ухудшающие качество передачи данных в высокоскоростных приемопередатчиках, существующие решения и проблемы их проектирования. В настоящее время скорость передачи данных между ИС достигает 112 Гб/с на канал, а целевые спецификации последующих стандартов предусматривают 224 Гб/с. Частота тактового сигнала, синхронизирующего передаваемые данные, достигла 16 ГГц. Переход от двухуровневой модуляции без возврата к нулю (БВН) к четырёхуровневой импульсно-амплитудной модуляции (ИАМ4) позволил удвоить спектральную эффективность, однако это привело к трехкратному сокращению запаса по напряжению между соседними уровнями сигнала. Это обстоятельство предъявляет жесткие требования к линейности передатчика, качеству тактового сигнала и чувствительности приемника. Основные физические факторы, ограничивающие производительность SerDes систем, включают частотно-зависимые потери в канале передачи, межсимвольную интерференцию, разброс параметров из-за вариаций процесса-напряжения-температуры (ПНТ), рассогласование устройств и паразитные эффекты.

Выходной каскад передатчика. Современные передатчики реализуются по двум основным архитектурам — токового режима (ТР) и режима напряжения (РН). ТР-передатчики обеспечивают превосходную линейность и широкую полосу пропускания, но потребляют статическую мощность, пропорциональную выходной амплитуде, что создает значительные ограничения для энергоэффективных приложений. РН-передатчики со взвешенными сегментами по архитектуре ЦАП оперируют преимущественно динамической мощностью и стали предпочтительным выбором для современных технологических процессов с напряжением питания 0,9 В и ниже (рис. 1).

Однако в этих дифференциальное рассогласование между Р и М путями инверторной цепочки из-за ПНТ вариаций и асимметрии топологии проявляется в виде «эффекта двойного глаза», что приводит к сокращению раскрытий «глазковой» диаграммы.

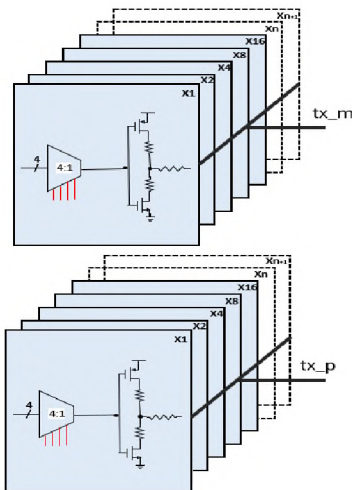


Рис. 1. Архитектура РН-передатчика со взвешенными сегментами

Существующие подходы к решению этой проблемы основаны на тщательной оптимизации топологии и применении цифровых калибровочных контуров с управляемыми ЦАП. Однако только топологическая оптимизация не способна устранить случайные вариации параметров устройств, а калибровочные системы увеличивают сложность, энергопотребление и площадь. Таким образом, необходимы решения, активно компенсирующие дифференциальный дисбаланс непосредственно внутри передатчика, сохраняющие симметричность по всему диапазону вариаций ПНТ без масштабных цифровых калибровочных систем.

Четвертьскоростная сериализация и тактирование. Мультиплексор 4:1, объединяющий четыре параллельных потока данных в один последовательный поток с полной скоростью, является одним из критических узлов с точки зрения временного бюджета. Существующие решения мультиплексоров реализованы преимущественно на проходных ключах и на базе трехстабильных буферов с управлением логическими элементами «И-НЕ»/«ИЛИ-НЕ». Проходные ключи обеспечивают хорошую линейность, но требуют больших размеров устройств для уменьшения RC-постоянной, что приводит к увеличению ёмкостной нагрузки и удвоению нагрузки тактовой сети из-за необходимости подачи прямого и инверсного тактовых сигналов. Четыре тактовые фазы, разнесенные на 90°, формируются системой автоподстройки задержки (САПЗ), которая получает дифференциальные тактовые сигналы от генератора и формирует требуемые фазы

для мультиплексора и выходного каскада. Однако на частоте 16 ГГц рассогласование задержек в САПЗ и асимметрия инверторов в её буферном дереве вызывают искажение рабочего цикла тактового сигнала, отклонение от 50% до 45% или 55%, что соответствует временной неопределенности приблизительно - 0,9 пс в каждом тактовом цикле. Данное искажение приводит к появлению дрожания в сериализованных данных и сокращению горизонтального раскрытия глаза. Существующие подходы основаны на симметричной топологии и тщательном согласовании размеров устройств, однако они не могут полностью компенсировать зависимые отклонения ПНТ, что требует разработки активной коррекции рабочего цикла.

Аналоговый входной каскад приемника. Аналоговый входной каскад приемника содержит входной аттенуатор (ВА), непрерывно-временной линейный эквалайзер (НВЛЭ) и решающую обратную связь. После прохождения канала передачи с потерями до 30 дБ амплитуда сигнала может уменьшиться с 800 мВ до 50 мВ, а высокочастотные компоненты подавляются непропорционально, создавая межсимвольную интерференцию. НВЛЭ компенсирует эти потери с помощью усиления, зависящего от частоты, при этом классическая реализация использует дифференциальную пару с RC-вырождением в истоковой цепи. Для предельных скоростей RC-вырождение дополняется индуктивным пиковым усилением, что расширяет полосу пропускания до 28 ГГц и выше (рис. 2). Однако индуктивности занимают значительную площадь и чувствительны к паразитным связям. Кроме того, НВЛЭ, оптимизированный для длинного канала, при подключении к короткому каналу вызывает значительное переэквалайзирование. Не менее важной проблемой является нелинейность: при работе с короткими каналами входной сигнал большой амплитуды (200...300 мВ дифференциального размаха) выводит входные транзисторы НВЛЭ из режима насыщения, что приводит к различию раскрытий трех глаз ИАМ4 и деградации коэффициента относительного рассогласования уровней. Традиционные ВА с фиксированным ослаблением не способны решить эту проблему, поскольку требуемое ослабление зависит от потерь канала.

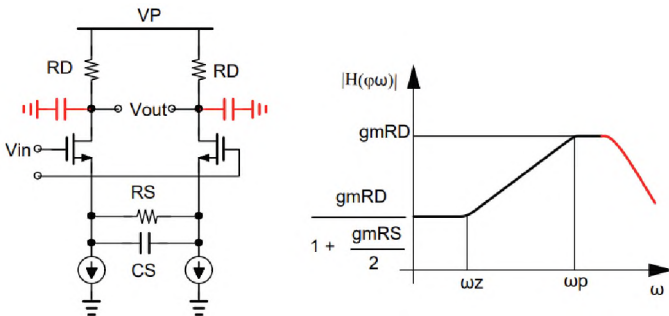


Рис. 2. Существующая схема обнаружения переключения питания

Фазовый интерполятор. ФИ в контуре восстановления тактовой частоты и данных формирует выходной тактовый сигнал с произвольной промежуточной

фазой между двумя опорными фазами на основе цифрового кода управления. Наиболее распространенная реализация - на основе комплементарных металл-оксид-полупроводник (КМОП) инверторов с весовым управлением (рис. 3). Однако передаточная характеристика КМОП-инвертора по своей природе нелинейна: она крутая в средней точке напряжения питания и пологая вблизи питающих шин. Эта нелинейность искажает взвешенное суммирование фаз и приводит к неравномерности фазовых шагов по всему диапазону интерполяции. На скорости 56 Гб/с при единичном интервале 18 пс ФИ с 32 шагами имеет идеальный шаг около 0,56 пс, и интегральная нелинейность (ИНЛ) 3 МБ соответствует фазовой ошибке около 1,7 пс, что является существенной частью доступного временного бюджета. Существующие подходы основаны на увеличении количества сегментов и применении нескольких опорных фаз, однако они увеличивают площадь и энергопотребление и не устраняют фундаментальную нелинейность инвертора. Достижение ИНЛ менее 1 ЕМР во всем диапазоне ПНТ остается актуальной задачей.

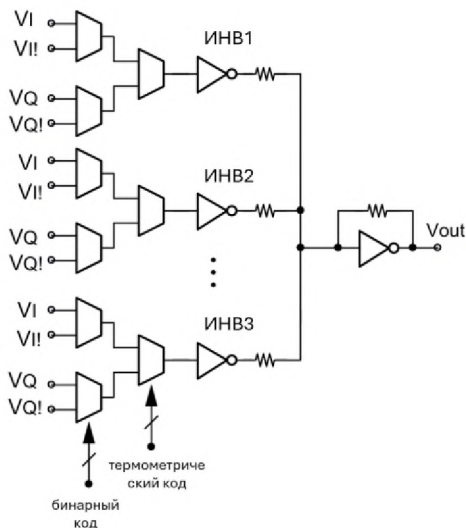


Рис. 3. Схема фазового интерполятора на основе КМОП-инверторов

Таким образом, учитывая ограничения существующих решений во всех четырех ключевых блоках, необходима разработка новых методов, направленных на снижение потерь данных в высокоскоростных приемопередатчиках.

Во второй главе представлены разработанные методы и способы решения проблем, описанных в первой главе.

Метод встроенной аналоговой эквализации для передатчика режима напряжения. Предлагаемый метод основан на введении РОС между Р и М путями инверторной цепочки, расположенной между мультиплексором 4:1 и выходными

сегментами драйвера (рис. 4). Между одноименными каскадами Р и М путей устанавливаются два резистора связи — R1 между промежуточными узлами и R2 между выходными узлами цепочки. Эти резисторы создают слабую отрицательную обратную связь, действующую как непрерывный аналоговый корректор: если амплитуда или время переключения одного из путей отклоняется от другого пути из-за вариаций устройств или паразитных параметров, обратная связь восстанавливает симметрию. Сила обратной связи выбрана намеренно слабой, достаточной для компенсации малых рассогласований, но не настолько, чтобы исказить логическое поведение схемы или работу взвешенных сегментов. Поскольку коррекция выполняется непрерывно по всему диапазону ПНТ, необходимость в калибровочных контурах с ЦАП и компараторами отсутствует.

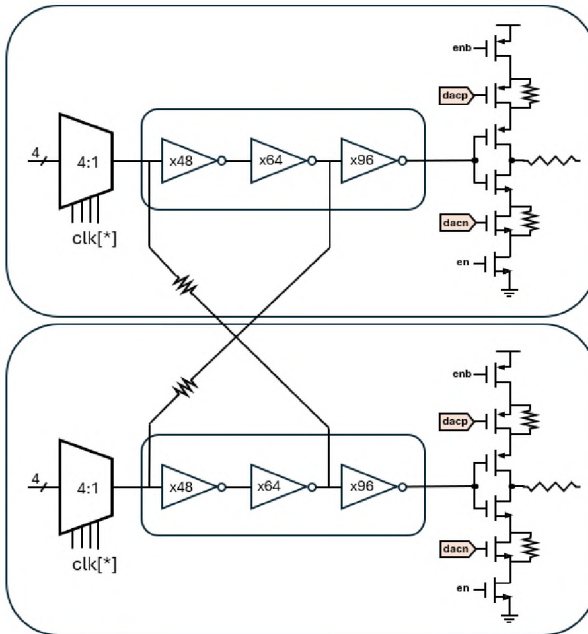


Рис. 4. Архитектура встроенной аналоговой эквализации между выходным каскадом и мультиплексором 4:1

Моделирование показало, что в БВН режиме горизонтальное раскрытие глаза увеличилось на 0,4 пс (с 15,0 до 15,4 пс) в типовом случае. В ИАМ4 режиме горизонтальные раскрытия всех трех глаз увеличились на 0,4...0,5 пс, а вертикальные раскрытия, на 5...7 мВ (рис. 5). «Эффект двойного глаза» полностью устранен. В медленном технологическом случае горизонтальные раскрытия увеличились более чем на 35%, в быстром — более чем на 70%.

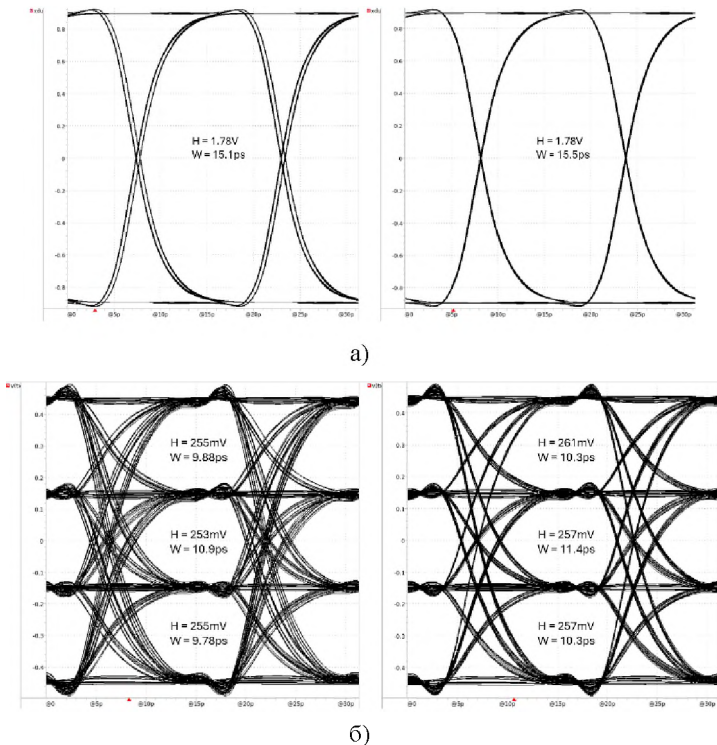


Рис. 5. «Глазковые» диаграммы БВН (а) и ИАМ4 (б) на выходе передатчика до и после внедрения метода для типичного случая

Таким образом, предложенный метод обеспечивает устранение «эффекта двойного глаза» и улучшение раскрытия глазковой диаграммы на 5...12% по горизонтали и 3...5% по вертикали за счет увеличения энергопотребления на 0,315 мВт и площади - на 12,15 мкм² на сегмент драйвера.

Метод калибровки рабочего цикла тактового сигнала САПЗ. Предлагаемый метод основан на аналоговом инверторе с обратной связью и алгоритме последовательных приближений (АПП). В петлю САПЗ вводятся аналоговые инверторы с РОС, ток инжекции в узел обратной связи которых управляется 10-битным токовым ЦАП. Дополнительный ток смещает точку переключения инвертора, изменяя длительность фронтов и, как следствие, рабочий цикл на его выходе (рис. 6). Оптимальный код ЦАП определяется посредством АПП: тактовый сигнал интегрируется низкочастотным фильтром, среднее значение сравнивается с опорным напряжением $VDD/2$, и код ЦАП корректируется на основании результата сравнения. Процесс повторяется в течение 10 тактов, после чего калибровка завершается сигналом «cal_done». Стартовый код устанавливается равным середине диапазона ЦАП ($2^{(N-1)}$), что минимизирует количество шагов.

Калибровка выполняется однократно при включении питания и может быть периодически повторена для отслеживания ПНТ-дрейфа.

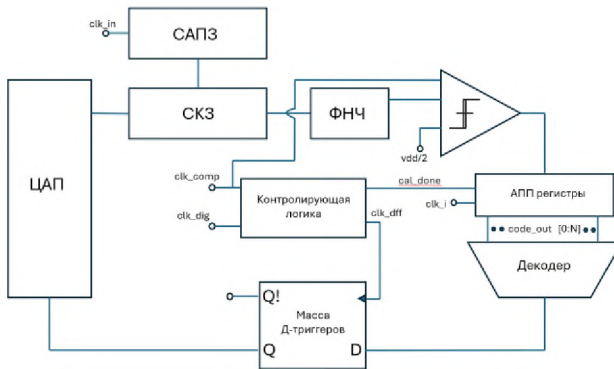


Рис. 6. Блок-схема метода калибровки рабочего цикла

Моделирование показало, что рабочий цикл тактового сигнала скорректирован с 54,7% до 49,9% в типовом случае. Общий диапазон коррекции составляет $\pm 6,5\%$. На выходе мультиплексора 4:1 горизонтальное раскрытие глаза увеличилось на 1,6 пс. На дифференциальном выходе передатчика в режиме ИАМ4 горизонтальные раскрытия всех трех глаз увеличились приблизительно на 5 пс. В медленном технологическом случае улучшение превысило 35%, в быстром 70% (рис. 7).

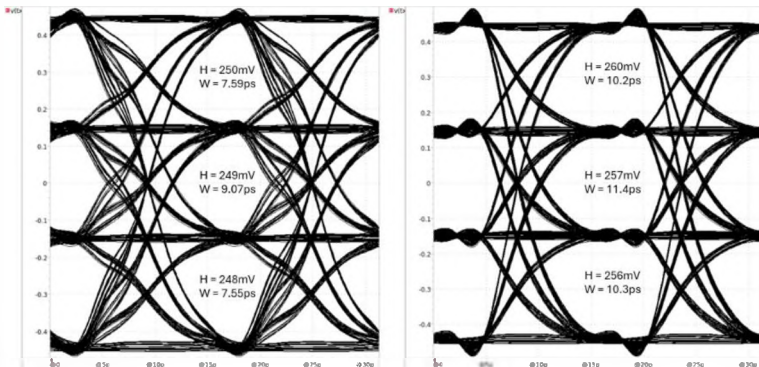


Рис. 7. «Глазковые» диаграммы ИАМ4 на выходе передатчика до и после калибровки рабочего цикла для типичного случая

Таким образом, предложенный метод обеспечивает коррекцию рабочего цикла тактового сигнала с 54,7% до 49,9% и улучшение раскрытий ИАМ4 глазковой диаграммы за счет увеличения площади на 3,8% и дополнительного энергопотребления 12,3 мВт.

Метод повышения линейности аналогового входного каскада приемника.

Предлагаемый метод основан на введении бинарно-взвешенных конденсаторов между P и N трактами сигнала в аттенюаторе входного каскада (рис. 8). 3-битная емкостная матрица (50 фФ, 100 фФ, 200 фФ) с N-MOSFET ключами обеспечивает 8 дискретных уровней ослабления, каждый из которых соответствует приблизительно 1,5 дБ ослабления в высокочастотной области. Управляющий код задается программно в зависимости от характеристик подключенного канала: для коротких каналов с малыми потерями включается максимальное ослабление, предотвращающее выход транзисторов НВЛЭ из режима насыщения; для длинных каналов с большими потерями ослабление отключается, чтобы сохранить максимальное усиление. Аттенюатор содержит низкочастотный тракт с усилителем обратной связи для установки общего режима и высокочастотный тракт, на который воздействует управляемая емкостная матрица.

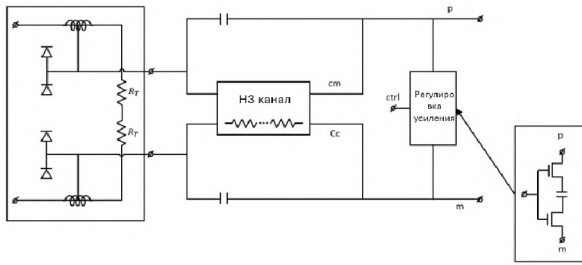


Рис. 8. Блок-схема аттенюатора с управляемым ослаблением

Моделирование показало, что точка компрессии 1 дБ увеличилась на 119 мВ в типовом случае (ТТ), на 140 мВ в медленном (SS) и на 108 мВ в быстром (FF). Коэффициент относительного рассогласования уровней увеличился с 92,7% до 98,6% (рис. 9).

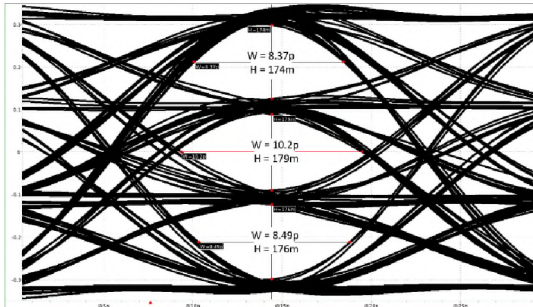


Рис. 9. «Глазковая» диаграмма ИАМ4 на выходе аналогового входного каскада после внедрения метода

Таким образом, предложенный метод обеспечивает повышение линейности до 20%, в частности улучшение коэффициента рассогласования уровня на 5,9% и точки компрессии 1 дБ на 119 мВ за счет увеличения площади на 6,4%.

Комбинированный метод повышения линейности фазового интерполятора. Предлагаемый метод объединяет три взаимодополняющие техники (рис. 10): 1) цифровое предсказание кода с помощью таблицы логических элементов (ТЛЭ), которая перекодировывает коды управления ФИ и компенсирует статическую нелинейность передаточной характеристики; 2) снижение напряжения питания смесителя с 0,85 В до 0,70 В, что сглаживает передаточную характеристику инвертора и снижает нелинейность переходных зон; 3) входной каскад с емкостной связью и резистивной обратной связью, обеспечивающий удаление постоянной составляющей и перенормировку сигнала на входе ФИ. Аналоговая предобработка (снижение питания и емкостная связь) делает остаточную статическую нелинейность более регулярной, что позволяет ТЛЭ эффективно ее компенсировать. Комбинация трех техник дает значительно больший эффект, чем сумма их индивидуальных вкладов, что свидетельствует о синергетическом взаимодействии.

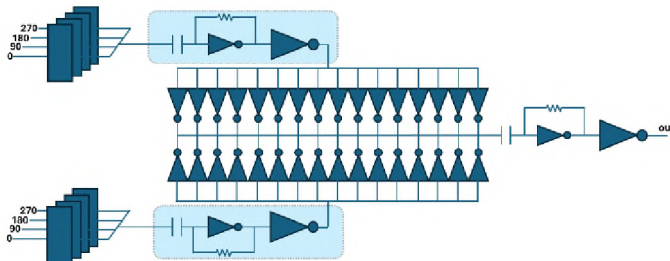


Рис. 10. Структурная схема комбинированного метода повышения линейности ФИ

Моделирование показало, что максимальная ИНЛ снизилась с 3,31 МБ до 0,83 МБ. Среднеквадратичное дрожание составляет 85 фс при целевом значении 100 фс для частоты 16 ГГц. Потребляемая мощность уменьшилась на 0,29 мВт (с 1,92 до 1,63 мВт) благодаря снижению напряжения питания смесителя.

Таким образом, предложенный метод обеспечивает улучшение линейности ФИ на 75% (ИНЛ с 3,31 до 0,83 МБ) при снижении мощности на 0,29 мВт за счет увеличения площади на 92 мкм².

В третьей главе представлено разработанное программное средство «HSIO Optimizer», которое позволяет автоматизировать внедрение предложенных методов, сократить время проектирования и исключить ошибки ручного ввода. ПС реализовано на языке Python с использованием графической библиотеки “tkinter” и совместимо с операционными системами Linux и Windows. Для моделирования используются инструменты “HSPICE”, “FineSim” и “PrimeSim”, для просмотра результатов - “WaveView”.

Архитектура ПС основана на модели пошагового мастер-интерфейса из шести последовательных этапов (рис. 11): 1) загрузка SPICE-нетлиста; 2) настройка

моделирования — выбор типа анализа, задание параметров и измерений; 3) выбор угловых случаев — задание ПНТ условий с автоматической генерацией всех комбинаций; 4) запуск моделирования; 5) выбор и применение методов — автоматическая модификация нетлиста; 6) просмотр и сравнение результатов.

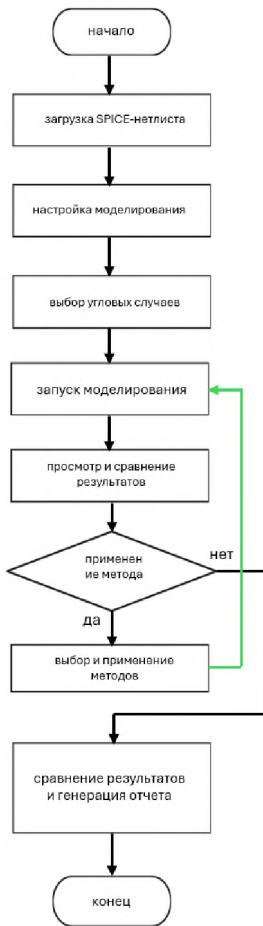


Рис. 11. Блок-схема последовательности операций “HSIO Optimizer”

В разделе Configuration пользователь выбирает тип анализа (transient, DC, AC) и задает целевые измерения. В разделе Corners указываются типы МОП-транзисторов, резисторов, конденсаторов, диапазоны температуры и напряжения, после чего инструмент автоматически генерирует все комбинации. В разделе Methods выбирается один или несколько из четырех предложенных методов, и инструмент автоматически модифицирует нетлист, вставляя соответствующие

SPICE-элементы в правильные позиции. В разделе Results данные представлены в виде таблицы с переключателями по методам: для каждого параметра отображаются как улучшение (зеленым цветом), так и накладные расходы (красным цветом). Доступны экспорт данных в “CSV”, генерация отчетов и интеграция с “WaveView” для просмотра осциллограмм (рис. 12).

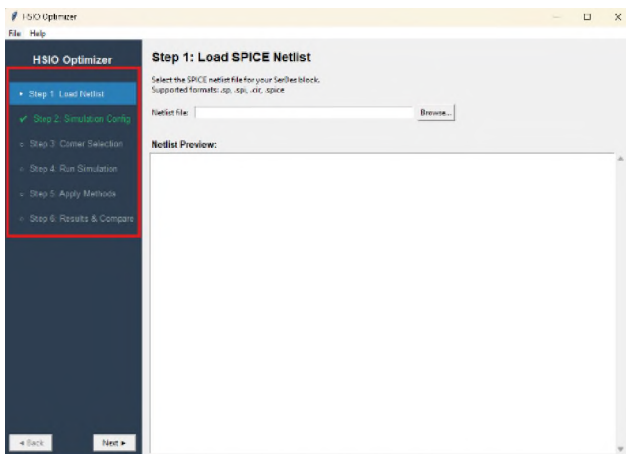


Рис. 12. Окна ПС «HSIO Optimizer»

С помощью ПС “HSIO Optimizer” были применены и протестированы все четыре предложенных метода. Полученные данные сопоставлены с результатами, представленными во второй главе (табл.).

Таблица

Оценка эффективности проектирования с использованием ПС «HSIO Optimizer»

Задача проектирования	Ручной поток	HSIO Optimizer	Ускорение
Настройка моделирования	30...45 мин	5...7 мин	~4x
Генерация угловых случаев	15...20 мин	2...3 мин	~6x
Модификация нетлиста (1 метод)	20...40 мин	1...2 мин	~15x
Модификация нетлиста (4 метода)	80...160 мин	5...8 мин	~16x
Извлечение и сравнение результатов	30...60 мин	Автоматическое	-
Итого (1 итерация, 3 случая, 4 метода)	6...8 ч	45...60 мин	~6...8x

ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Предложены подходы к разработке последовательно-параллельных приемопередатчиков, обеспечивающих скорость передачи данных 112 Гб/с и выше по каналам с ограниченной полосой пропускания. Данные подходы основаны на увеличении горизонтального и вертикального раскрыва «глазковой» диаграммы на выходе передатчика, повышении линейности фазового интерполятора, улучшении линейности входного каскада приемника и снижении потерь, что обеспечивает создание устройств, соответствующих современным техническим требованиям.
2. Разработан метод встроенной аналоговой коррекции для выходного каскада передатчика с логикой в режиме напряжения. За счет компенсации дифференциального дисбаланса и устранения эффекта «двойного глаза» с помощью цепи обратной связи на основе инверторов между Р и М каналами горизонтальный раскрыв «глазковых» диаграмм для модуляций БВН и ИАМ4 был улучшен на 5...12% (в зависимости от технологического угла), а вертикальный раскрыв на 3...5% при затратах мощности до 0,315 мВт и площади до 12,15 мкм² на один сегмент.
3. Создан метод калибровки коэффициента заполнения тактового сигнала на выходе узла автоподстройки задержки передатчика. За счет внедрения инверторов с аналоговой обратной связью, управляемых токовыми ЦАП и калибруемых по алгоритму регистров последовательного приближения, коэффициент заполнения тактового сигнала был скорректирован с 54,7% до 49,9% (улучшение на 4,8%) для типичного случая, при этом общий диапазон коррекции составил $\pm 6,5\%$. Благодаря этому дифференциальные «глазковые» диаграммы выходного сигнала ИАМ4 передатчика улучшились как по горизонтальному, так и по вертикальному раскрыву, в частности, более чем на 35% для медленного и более чем на 70% для быстрого технологического процесса при увеличении площади кристалла на 3,8% и дополнительном энергопотреблении в 12,3 мВт.
4. Предложен метод повышения линейности входного аттенюатора в высокоскоростных приемниках. За счет управления пассивными элементами общая линейность системы была улучшена на величину до 20%; в частности, точка декомпрессии 1 дБ для типичного случая увеличилась на 119 мВ, а коэффициент рассогласования уровней улучшился с 92,7% до 98,6% при увеличении площади кристалла на 6,4%.
5. Разработан комбинированный метод повышения линейности фазовых интерполяторов. За счет применения трех взаимно дополняющих подходов, предварительного искажения цифрового кода, работы интерполятора при пониженном напряжении питания и внедрения на его входе инверторного каскада с входной емкостной связью и резистивной обратной связью максимальная интегральная нелинейность для типичного случая была снижена с 3,31 МБ до 0,83 МБ, энергопотребление уменьшилось на 0,29 мВт, а среднеквадратичное

значение джиттера сохранилось в пределах 85 фс при увеличении площади кристалла всего на 92 мкм².

6. Методы и схемотехнические решения, предложенные в диссертации, а также ПС «HSIO Optimizer» были внедрены в ЗАО «СИНОПСИС АРМЕНИЯ». Они широко применяются в процессах исследования и разработки высокоскоростных последовательно-параллельных приемопередатчиков и блоков интеллектуальной собственности с целью улучшения их статических и динамических параметров. Тестирование показало, что ПС «HSIO Optimizer» позволяет в 6...8 раз сократить длительность процесса схемотехнического проектирования при сохранении достоверности результатов, а предложенные схемотехнические решения и методы существенно повысили производительность проектируемых высокоскоростных интегральных схем, став основой для создания архитектур передачи данных со скоростью 112 Гб/с и выше.

Основные результаты диссертации опубликованы в следующих работах:

1. **Mkhitaryan A., Hakobyan L., Gevorgyan A. and Piliposyan E.** Linearity Enhancement Method for CMOS Phase Interpolators In High-Speed SerDes // IEEE East-West Design & Test Symposium (EWDTS) .- Tbilisi, Georgia, 2025 - p. 1-4.
2. **Hakobyan L.D.** Embedded Analog Equalization for Voltage-Mode Transmitters // Proceedings of the Republic of Armenia National Academy of Sciences and National Polytechnic University of Armenia. Series of Technical Sciences – 2025. – Vol. 78, N 2. – P. 224-233.
3. **Hakobyan L.D.** The Clock Duty-Cycle Correction Calibration Method For High-Speed Transmitters // Proceedings of the Republic of Armenia National Academy of Sciences and National Polytechnic University of Armenia. Series of Technical Sciences – 2024. – Vol. 77, № 4. – P. 482-490.
4. **Grigoryan H.T., Hakobyan L.D.** A linearity improvement method for high-speed receiver // Proceedings of NPUA: Information technologies, Electronics, Radio engineering. – 2023. – № 2. – P. 109-118.
5. **Mkhitaryan A., Hakobyan L. and Gevorgyan A.** High-Speed Continuous Time Linear Equalizer for Multi-Purpose SerDes Applications // IEEE East-West Design & Test Symposium (EWDTS) - Yerevan, Armenia, 2024, p. 1-5.

ԱՍՓՈՓԱԳԻՐ

Վերջին տասնամյակում թվային ենթակառուցվածքների կտրուկ զարգացումը արտակարգ պահանջներ է առաջադրել հաշվարկային համակարգերը միմյանց կապող էլեկտրական միջմիացումներին: Ամպային հավելվածների, մեծածավալ մեքենայական ուսուցման աշխատանքների և տեսահոսքերի լայնամասշտաբ տարածմամբ պայմանավորված՝ համաշխարհային համացանցային թրաֆիկը 2022 թվականին գերազանցել է 4.8 զետաբայթը, իսկ մինչև 2027 թվականը նախատեսվում է, որ այն կանցնի 9 զետաբայթի սահմանը: Ի վերջո, տվյալների այս ամբողջ ծավալը պետք է անցնի սիլիցիումային բյուրեղների (ինտերգալ սիւեմաների) միջև առկա էլեկտրական միացումների միջով: Միջբյուրեղային այս կապուղիները բնութագրվում են տվյալների փոխանցման արագությամբ, էներգաարդյունավետությամբ և ազդանշանի որակով: Տվյալների ծավալների մեծացմանը զուգընթաց այս կապուղիների արդյունավետությունն ավելի ու ավելի է սահմանափակում համակարգի ընդհանուր թողունակությունը:

Արդյունաբերական ստանդարտներն արձագանքել են այս ճնշմանը՝ կիրառելով ըստ հոսքուղիների տվյալների փոխանցման արագության ագրեսիվ մասշտաբավորում: Օպտիկական ինտերնետային ֆորումի և IEEE 802.3 աշխատանքային խմբերը կատարելագործել են էլեկտրական ազդանշանների փոխանցման տեխնիկական բնութագրերը՝ մեկ հոսքուղու համար 28 Գբ/վ-ից (2014 թ.) հասցնելով 56 Գբ/վ-ի և 112 Գբ/վ-ի, իսկ ներկայումս թիրախային 224 Գբ/վ-ի: Յուրաքանչյուր սերնդափոխության քայլ մտավորապես կրկնապատկում է տվյալների փոխանցման արագությունը, մինչդեռ ֆիզիկական կապուղին մեծամասամբ մնում է անփոփոխ: Սրա հետևանքով էապես կրճատվում են նախագծման բոլոր թույլատրելի սահմանները. սեղմվում են ժամանակային միջակայքերը, նեղանում են լարման աշխատանքային տիրույթները, իսկ այն խոտանները, որոնք ցածր արագությունների դեպքում անտեսելի էին, դառնում են սխալների առաջացման հիմնական աղբյուրներ:

Երկուական զրոյի չվերադարձող մեդուլյացիայից քառամակարդակ ազդանշանային մոդուլյացիայի անցումը, որը դարձավ ստանդարտ 56 Գբ/վ և բարձր արագությունների համար, լավագույնս արտահայտում է այս ինդրահարույց իրավիճակը: Տվյալների փոխանցման միևնույն արագության դեպքում ազդանշանի քառամակարդակ մոդուլյացիան կրկնակի կրճատում է կապուղու պահանջվող թողունակությունը զրոյի չվերադարձող մոդուլյացիայի համեմատ, սակայն հարևան ազդանշանային մակարդակների միջև լարման միջակայքի եռակի նվազումը խիստ սահմանափակումներ է դնում հաղորդչի գծայնության, տակտային ազդանշանի որակի և ընդունիչի զգայունության վրա: Մխեմատեխնիկական այն հանգույցները, որոնք նախկինում աշխատում էին

թույլատրելի մեծ պաշարներով՝ հաղորդչի ելքային կասկադները, տակտային ազդանշանի բաշխման ցանցերը, անալոգային մուտքային հանգույցները, տակտային ազդանշանի և տվյալների վերականգնման օղակների փուլային խառնիչները, այժմ գործում են իրենց հնարավորությունների սահմանագծին: Նույնիսկ արդյունաբերական շեղումներով, սնուցման աղմուկներով կամ ջերմաստիճանային դրեյֆով պայմանավորված չնչին փոփոխությունները կարող են փակել ազդանշանային «աչքը» և փոխանցված բիթերի սխալանքի գործակիցը դուրս բերել թույլատրելի սահմաններից: Նշված բացասական գործոնները պահանջում են նոր լուծումներ, որոնք միաված կլինեն արագագործ ըղնունիչ-հաղորդիչ հանգույցներում ազդանշանի կորստի նվազեցմանը: Ատենախոսությունը նվիրված է վերոնշյալ խնդիրների հետազոտմանը և լուծման նոր եղանակների մշակմանը:

Առաջարկվել են սահմանափակ թողունակությամբ հոսքուղիներով 112 Գբիթ/վ և ավելի արագություն ապահովող հաջորդականացնող-զուգահեռականացնող համակարգերի մշակման՝ հաղորդչի ելքում «աչքի» դիարգամի հորիզոնական և ուղղահայաց բացվածքների մեծացման, փուլի խառնիչի գծայնության աճի, ընդունիչ մուտքային հանգույցի գծայնության և կորուստների նվազեցման վրա հիմնված մոտեցումներ, որոնք ապահովում են ժամանակակից պահանջներին բավարարող սարքերի մշակումը:

Մշակվել է լարման ռեժիմ տրամաբանությամբ հաղորդչի ելքային հանգույցի համար ներկառուցված անալոգային հավասարեցման մեթոդ, որում P և M ուղիների միջև շրջիչների հիման վրա կառուցված հետադարձ կապի շթոյալով դիֆերենցիալ անհավասարակշռության ուղղման և «կրկնակի աչքի» էֆեկտի վերացման շնորհիվ զրոյի չվերադարձող և ազդանշանի քառամակարդակ մոդուլացիաների «աչքերի» դիագրամների հորիզոնական բացվածքները բարելավվել են 5-12%-ով, կախված անկյունային դեպքից, իսկ ուղղահայաց բացվածքները 3-5%-ով, յուրաքանչյուր սեզմենտի համար հզորության ծախսի մինչև 0,315մՎտ և մակերեսի 12,15մվ² կորստի հաշվին:

Ստեղծվել է հաղորդիչի հապաղման համակցման հանգույցի ելքում տակտային ազդանշանի աշխատանքային ցիկլի համամասնության տրամաչափման մեթոդ, որում հաջորդական մոտարկմամբ ռեգիստրների վրա հիմնված ալգորիթմով տրամաչափվող հոսանքի ԹՄՓ-երով կառավարվող անալոգային հետադարձ կապով շրջիչների ներդրման հաշվին ուղղվել է տակտային ազդանշանի ցիկլի համամասնության գործակիցը 54,7%-ից մինչև 49,9% (4,8% բարելավում) տիպային դեպքի համար, և ընդհանուր առմամբ ապահովվել է $\pm 6,5\%$ ուղղման տիրույթ, ինչի շնորհիվ հաղորդիչի ելքային ազդանշանի քառամակարդակ մոդուլացիայի դիֆերենցիալ «աչքի» դիագրամներն բարելավվել են ինչպես հորիզոնական, այնպես էլ ուղղահայաց բացվածքների համար՝ հատկապես, դանդաղ գործընթացի համար ավելի քան

35%-ով, իսկ արագ գործընթացի համար ավելի քան 70%-ով, մակերեսի 3,8% աճի և 12,3մՎտ հավելյալ էներգասպառման շնորհիվ:

Առաջարկվել է արագագործ ընդունիչներում մուտքային ճնշող հանգույցի գծայնության մեծացման մեթոդ, որտեղ պասիվ տարրերի կառավարման հաշվին համակարգի գծայնությունը բարելավվել է մինչև 20%-ով հատկապես, 1 դՖ ճնշման կետը տիպային դեպքի համար բարելավվել է 119 մՎ-ով, իսկ մակարդակների անհամապատասխանության հարաբերակցության գործակիցը 92,7%-ից դարձել է 98,6, մակերեսի 6,4% աճի շնորհիվ:

Մշակվել է փուլի խառնիչների գծայնության բարձրացման համակցված մեթոդ, որում երեք միմյանց փոխլրացնող եղանակների՝ թվային կողի նախնական աղավաղման, խառնիչի սնուցման ցածր լարմամբ աշխատանքի և խառնիչի մուտքում հանգույցում մուտքային ունակային կապով և ռեզիստիվ հետադարձ կապով շրջիչի ներդրման հաշվին առավելագույն ինտեգրալ ոչ գծայնությունը 3,31ԿԿԲ-ից նվազել է մինչև 0,83ԿԿԲ տիպային դեպքի համար, հզորության սպառումը նվազել է 0,29մՎտ-ով, իսկ միջին քառակուսային աղմուկի արժեքը պահպանվել 85Ֆվ-ի միջակայքում, մակերեսի ընդամենը 92մկմ² կորստի շնորհիվ:

Ատենախոսությունում առաջարկված մեթոդները, սխեմատեխնիկական լուծումները, ինչպես նաև HSIO Optimizer ծրագրային միջոցը ներդրվել են «ՄԻՆՓՄԻՍ ԱՐՄԵՆԻԱ» ՓԲԸ-ում և լայնորեն կիրառվում են արագագործ հաջորդականացնող-գուգահեռականացնող հանգույցների և մտավոր սեփականությունների հետազոտման և մշակման գործընթացներում, դրանց ստատիկ և դինամիկ պարամետերի բարելավման նպատակով: Փորձարկումները ցույց են տվել, որ HSIO Optimizer ծրագրային միջոցը թույլ է տալիս 6-8 անգամ նվազեցնել սխեմատեխնիկական նախագծման գործընթացի տևողությունը պահպանելով արդյունքների հավաստիությունը, իսկ առաջարկված սխեմատեխնիկական լուծումներն ու մեթոդները էականորեն բարելավել են նախագծվող արագագործ ինտեգրալ սխեմաների կատարողականությունը, դառնալով 112Գբիթ/վ և ավելի արագությամբ տվյալների հաղորդման ճարտարապետությունների մշակման հիմք:

DEVELOPMENT OF METHODS FOR REDUCING DATA LOSS IN HIGH-SPEED TRANSCEIVERS

SUMMARY

The rapid evolution of digital infrastructure over the past decade has placed extraordinary demands on the electrical interconnects that bind computing systems together. Driven by the large-scale spread of cloud-based applications, large-scale machine learning workloads, and video streaming, global internet traffic surpassed 4.8 zettabytes in 2022 and is projected to exceed 9 zettabytes by 2027. Ultimately, all this data must pass through electrical connections between silicon chips (integrated circuits). These chip-to-chip links are characterized by their data rate, energy efficiency, and signal quality. As data volumes grow, the performance of these links increasingly limits the throughput of the entire system.

Industry standards have responded to this pressure with aggressive per-lane data rate scaling. The Optical Internetworking Forum and IEEE 802.3 working groups have advanced electrical signaling specifications from 28 Gb/s per lane (2014) through 56 Gb/s and 112 Gb/s to the current 224 Gb/s targets. Each generational step roughly doubles the data rate while the physical channel remains largely the same. The consequence is a tightening of every design margin: timing budgets shrink, voltage headroom narrows, and impairments that were negligible at lower speeds become dominant sources of error.

The transition from binary Non-Return-to-Zero (NRZ) to four-level Pulse Amplitude Modulation (PAM4) signaling, which became standard at 56 Gb/s and above, demonstrates this conflict. PAM4 halves the required channel bandwidth relative to NRZ at the same data rate, but the three-fold reduction in voltage spacing between adjacent signal levels imposes severe constraints on transmitter linearity, clock quality, and receiver sensitivity. Circuit blocks that previously operated with comfortable margins, such as, transmitter output stages, clock distribution networks, analog front-end blocks, phase interpolators in clock-data recovery loops, now operate near the edge of their performance margins. Even small deviations caused by manufacturing variation, supply noise, or temperature drift can close the signal eye and push the bit error rate beyond acceptable limits. These negative factors demand new solutions aimed at reducing signal loss in high-speed transceiver nodes. This thesis is dedicated to investigating the mentioned problems and developing new methods for their solution.

Approaches have been proposed for the development of serializer-deserializer (SerDes) systems that provide data rates of 112 Gb/s and above over bandwidth-limited channels. These approaches are based on maximizing the horizontal and

vertical eye diagram openings at the transmitter output, increasing phase interpolator linearity, improving receiver front-end linearity, and reducing signal losses, thereby enabling the development of devices that meet modern performance requirements.

A method for embedded analog equalization in a voltage-mode logic transmitter output stage has been developed. By correcting the differential imbalance and eliminating the 'double-eye' effect using an inverter-based feedback loop between the P and M paths, the horizontal eye diagram openings for NRZ and PAM4 signaling have been improved by 5–12%, depending on the corner case, and the vertical openings by 3–5%, at the expense of up to 0.315 mW power consumption and 12.15 μm^2 area overhead per segment.

A method for calibrating the clock duty cycle at the output of the transmitter's delayed-locked loop stage has been developed. By introducing analog feedback inverter stages controlled by current steering DACs, calibrated via a successive-approximation register algorithm, the clock duty cycle was corrected from 54.7% to 49.9% (a 4.8% improvement) for the typical case, achieving an overall correction range of $\pm 6.5\%$. As a result, the differential eye diagram openings for the transmitter's PAM4 output signal were improved both horizontally and vertically, specifically by over 35% for the slow process corner and over 70% for the fast process corner, at the expense of a 3.8% area overhead and 12.3 mW additional power consumption.

A method for increasing the linearity of the input attenuation stage in high-speed receivers has been proposed. By controlling the passive elements, the overall system linearity was improved by up to 20%; specifically, the 1 dB compression point was enhanced by 119 mV for the typical case, and the ratio of level mismatch improved from 92.7% to 98.6%, at the expense of a 6.4% area overhead.

A method for increasing the linearity of phase interpolators has been developed based on a combined approach. By implementing three complementary techniques, digital code pre-distortion, low-voltage supply operation for the interpolator, and an inverter stage with an input capacitive-coupling and resistive-feedback loop at the interpolator input, the maximum integral nonlinearity was reduced from 3.31 LSB to 0.83 LSB for the typical case, the power consumption decreased by 0.29 mW, and the root-mean-square jitter was maintained within the 85 fs range, at the expense of only a 92 μm^2 area overhead.

The methods and circuit solutions proposed in this thesis, along with the HSIO Optimizer software tool, have been implemented at 'SYNOPSIS ARMENIA' CJSC. They are extensively utilized in the research and development of high-speed serializer-deserializer nodes and intellectual property blocks to enhance their static and dynamic parameters. Testing has demonstrated that the HSIO Optimizer software tool enables a 6-to-8-fold reduction in circuit design turnaround time while maintaining result accuracy. Furthermore, the proposed circuit solutions and methods have significantly improved the performance of the designed high-speed integrated

circuits, serving as a foundation for the development of data transmission architectures operating at 112 Gb/s and above.

A handwritten signature in black ink, appearing to be 'M. J. Lee' or similar, located in the upper right quadrant of the page.