

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ, ԳԻՏՈՒԹՅԱՆ,
ՄՇԱԿՈՒՅԹԻ ԵՎ ՍՊՈՐՏԻ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

Գրիգորյան Տիգրան Դավիդի

ԵՌԱԶՍԲ ԻՆՏԵԳՐԱԼ ՄԻԽԵՄԱՆԵՐԻ ՄՈՒՏՔ/ԵԼՔ ՀԱՆԳՈՒՅՑՆԵՐԻ
ԱՇԽԱՏԱՆՔԱՅԻՆ ՌԵԺԻՄՆԵՐԻ ԿԱՅՈՒՆԱՑՄԱՆ ՄԻՋՈՑՆԵՐԻ
ՄՇԱԿՈՒՄԸ

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի
հայցման ատենախոսության

ՄԵՂՍԱԳԻՐ

Երևան 2026

МИНИСТЕРСТВО ОБРАЗОВАНИЯ, НАУКИ, КУЛЬТУРЫ И СПОРТА
РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

Григорян Тигран Давидович

**РАЗРАБОТКА СРЕДСТВ СТАБИЛИЗАЦИИ РАБОЧИХ РЕЖИМОВ
УЗЛОВ ВВОДА-ВЫВОДА ТРЁХМЕРНЫХ ИНТЕГРАЛЬНЫХ СХЕМ**

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата
технических наук по специальности 05.27.01-
“Электроника, микро- и наноэлектроника”

Ереван 2026

Ատենախոսության թեման հաստատվել է Հայաստանի ազգային պոլիտեխնիկական համալսարանում (ՀԱՊՀ):

Գիտական ղեկավար՝ տ.գ.դ. Օլեգ Հարությունի Պետրոսյան

Պաշտոնական ընդդիմախոսներ՝ տ.գ.դ. Ռուբեն Ռաֆայելի Վարդանյան
տ.գ.թ. Արման Գևորգի Մանուկյան

Առաջատար կազմակերպություն՝ Հայ-ռուսական համալսարան

Ատենախոսության պաշտպանությունը կայանալու է 2026թ. հուլիսի 14-ին, ժամը 12⁰⁰-ին, ՀԱՊՀ-ում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:

Սեղմագիրն առաքված է 2026թ. հունիսի 12-ին:

046 Մասնագիտական խորհրդի
գիտական քարտուղար, տ.գ.թ.



Բենիամին Ֆելիքսի Բադալյան

Тема диссертации утверждена в Национальном политехническом университете Армении (НПУА)

Научный руководитель: д.т.н. Олег Арутюнович Петросян

Официальные оппоненты: д.т.н. Рубен Рафаелович Варданян
к.т.н. Арман Геворкович Манукян

Ведущая организация: Российско-армянский университет

Защита диссертации состоится 14-го июля 2026 г. в 12⁰⁰ ч. на заседании Специализированного совета 046 — "Радиотехники и электроники", действующего при Национальном политехническом университете Армении, по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 12-го июня 2026г.

Ученый секретарь
Специализированного совета 046,
к.т.н.



Бениамин Феликсович Бадалян

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. В современных интегральных схемах (ИС) разброс параметров транзисторов, усиление температурных воздействий и постоянное снижение питающего напряжения, обусловленные масштабированием технологического процесса, приводят к ряду проблем, таких как уменьшение процента небракованных ИС, рост энергопотребления и увеличение стоимости производства. Эти факторы ограничивают применение традиционных монокристаллических структур.

С целью преодоления указанных фундаментальных проблем полупроводниковая промышленность перешла к использованию многокристалльных структур (МКС). В основном они реализуются на основе архитектуры трёхмерных интегральных схем (ТИС). В МКС подсистемы с различными функциями реализуются на отдельных полупроводниковых кристаллах, которые затем интегрируются внутри одного корпуса с помощью коротких межсоединений. Такой подход не только смягчает производственные задачи, обусловленные ограничениями масштабирования, но и позволяет оптимизировать технологический процесс каждого кристалла в зависимости от его функционального назначения.

Существенным преимуществом ТИС является возможность совместного использования ИС, изготовленных по разным технологическим процессам, в одной системе. Это позволяет снизить производственные затраты, повысить процент небракованных ИС и обеспечить гибкость проектирования.

В МКС передача данных осуществляется через узлы ввода/вывода (В/В), которые включают передающие и приёмные устройства, предназначенные для высокоскоростной передачи данных.

В современных ТИС, особенно когда скорость передачи данных превышает 10 Гбит/с, указанные факторы существенно усложняют проектирование узлов В/В. В этих условиях требуется применение передовых методов выравнивания сигналов, согласования импеданса и восстановления тактовых сигналов, что значительно увеличивает энергопотребление и сложность проектирования. Кроме того, в нанотехнологиях возрастает влияние процессов старения, что необходимо принять во внимание. Следовательно, разработка методов стабилизации рабочих режимов узлов В/В высокоскоростных ТИС в настоящее время имеет актуальное значение, что требует системного подхода с учетом компромиссов между быстродействием, надёжностью и энергоэффективностью.

Объект исследования. Узлы В/В ТИС и средства их разработки: факторы, влияющие на стабилизацию рабочих режимов этих узлов В/В.

Цель работы. Разработка методов и схемы технических решений позволяющих повысить стабильность рабочих режимов узлов В/В ТИС.

Методы исследования. В диссертации использованы современные подходы и методы проектирования аналоговых и смешанных сигнальных схем, а также принципы моделирования ИС и методы сценариев.

Научная новизна:

- Разработаны методы проектирования узлов ввода-вывода трёхмерных интегральных схем: коррекции коэффициента заполнения (ККЗ), улучшения чувствительности чувствительных усилителей (ЧУ),

обнаружения и нейтрализации изменения амплитуды сигнала приемника, а также метод регулирования скорости нарастания сигнала передатчика с технологическими процессами 5 нм и меньше. Данные методы стабилизируют рабочие режимы узлов ввода-вывода и улучшают выполнение требований, предъявляемых к современным интегральным схемам.

- Предложен метод определения ошибки и коррекции коэффициента заполнения синхросигнала, который состоит из переключающих клапанов и конденсаторов. Этот метод независимо от технологического процесса, напряжения и температуры (ПНТ) при скорости передачи до 16 Гбит/с позволяет обеспечить коэффициент заполнения (КЗ) $50 \pm 1,2\%$ за счет увеличения энергопотребления на 10%.
- Разработан метод чувствительного усилителя, применяемого в узлах ввода/вывода трёхмерных интегральных схем, основанный на использовании цепи обратной связи. При скорости передачи данных 20 Гбит/с за счёт внедрения дополнительных цепей и явления гистерезиса увеличена надёжность схемы и улучшена её чувствительность ценой увеличения занимаемой площади на кристалле на 16%. В течение продолжительной работы удалось обеспечить максимальное отклонение чувствительности не более чем на 4%.
- Предложен метод стабилизации рабочих режимов приемных цепей узлов ввода-вывода трёхмерных интегральных схем, основанный на цепи обратной связи, который отменяет изменения амплитуды сигнала, обусловленные изменением регулирования общего сопротивления, зависящего от ПНТ. Данный метод при скорости передачи данных 16 Гбит/с позволяет уменьшить джиттер (дрожание) выходящего сигнала приблизительно в 5,5 раза за счет увеличения энергопотребления всего на 21%.
- Разработан метод регулирования скорости нарастания сигнала передатчика узла ввода-вывода трёхмерных интегральных схем, в котором с целью повышения точности настройки схемы внедрены цифроаналоговые преобразователи (ЦАП) п- и р-типа для управления предусилителями. Это обеспечивает отклонение между фронтами выходного сигнала передающего узла не более 1,3%. При скорости передачи данных 16 Гбит/с, этот метод позволяет снизить джиттер сигнала в три раза при увеличении энергопотребления и площади на 17,2% и 15,4% соответственно.

Практическая ценность работы. В целях реализации предложенных в диссертации способа и методов было создано программное средство (ПС) “3DIC Ю Optimizer”, которое внедрено в ЗАО «СИНОПСИС АРМЕНИЯ» и практически применяется в процессе проектирования узлов В/В трёхмерных интегральных схем. В случае проектирования с программным обеспечением точность полученных результатов не превышает 4% по сравнению с результатами, полученными предлагаемыми методами и способом, что существенно сокращает время разработки.

На защиту выносятся следующие научные положения:

- подходы к разработке методов стабилизации рабочих режимов узлов В/В высокоскоростных ТИС;
- метод ККЗ с применением конденсаторов и переключающих ключей;
- способ улучшения чувствительности ЧУ с применением помехоустойчивости (гистерезиса);
- метод повышения эффективности приемников узлов В/В ТИС с учетом изменения амплитуды сигнала;
- метод регулирования скорости нарастания выходного сигнала передатчика путем интегрирования ЦАП.

Достоверность научных результатов подтверждается представленными в диссертации математическими обоснованиями, сопоставлением экспериментальных результатов схемотехнического моделирования в HSpice, а также сравнением с подходами, предложенными другими авторами.

Внедрение. Программное обеспечение “3DIC IO Optimizer” внедрено в ЗАО «СИНОПСИС АРМЕНИЯ» и практически используется в процессе стабилизации рабочих режимов узлов В/В трёхмерных интегральных схем.

Апробация работы. Основные научные и практические результаты диссертации докладывались на:

- 3-й Международной конференции "International Conference on Electrical, Computer and Energy Technologies (ICECET)" (Кейптаун, Южная Африка, 2023 г.);
- 4-й Международной конференции "International Conference on Electrical, Computer and Energy Technologies (ICECET)" (Сидней, Австралия, 2024 г.);
- 5-й Международной конференции "International Conference on Electrical, Computer and Energy Technologies (ICECET)" (Париж, Франция, 2025 г.);
- Международном симпозиуме "IEEE East-West Design & Test Symposium (EWDTS)" (Ереван, Армения, 2024 г.);
- Международном симпозиуме "IEEE East-West Design & Test Symposium (EWDTS)" (Тбилиси, Грузия, 2025 г.).

Публикации. Основные положения диссертации представлены в десяти (10) научных работах, список которых приведен в конце автореферата.

Структура и объем диссертации. Диссертация состоит из введения, трех глав, основных выводов, списка литературы, включающего 120 наименований, и четырех приложений. В первом приложении представлен акт внедрения диссертации, во втором – отрывок Spice-описания метода регулирования скорости нарастания выходного сигнала передатчика, в третьем – отрывок QT-описания разработанного ПС “3DIC IO Optimizer”, в четвертом - списки рисунков, таблиц и сокращений. Основной объем диссертации составляет 111 страниц, а вместе с приложениями - 140 страниц.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность темы диссертации, сформулированы цель и основные задачи исследования, представлены разработанные методы, научная новизна, практическое значение и основные научные положения, выносимые на защиту.

В первой главе представлены разработанные методы стабилизации рабочих режимов узлов В/В ТИС, существующие решения и проблемы их проектирования. На протяжении десятилетий полупроводниковый прогресс в основном был обусловлен законом Мура. Благодаря уменьшению технологического процесса рост плотности транзисторов позволил реализовывать больше функций на одной и той же площади, обеспечивая также более высокое быстродействие.

Однако масштабирование технологического процесса ИС приводит к разбросу параметров транзисторов, усилению температурной зависимости и постоянному снижению питающего напряжения, в результате чего снижается процент небракованных ИС. Именно поэтому промышленность перешла на МКС, которые состоят из ТИС.

В отличие от вышеупомянутых структур, ТИС эксплуатируются на коротких расстояниях, позволяя использовать сигналы низкого напряжения и упрощать схемы, что существенно снижает энергопотребление.

Обмен данных между ТИС осуществляется посредством специальных узлов В/В, которые обеспечивают их прием, обработку и передачу.

Одной из основных задач ТИС является ухудшение целостности передачи сигнала (ЦПС). Паразитные элементы являются причиной затухания, отражения сигнала и взаимного влияния между межсоединениями.

Указанные явления затрудняют надёжную передачу высокоскоростных данных, особенно при превышении частоты работы более чем на 10 Гбит/с.

В процессе разработки ТИС необходимо также учитывать температурные требования и требования долговременной надёжности, поскольку они существенно воздействуют на стабильность работы, срок службы и эффективность ТИС.

В итоге все вышеперечисленные задачи отрицательно влияют на стабильность рабочих режимов узлов В/В ТИС.

В цифровых и смешанных сигнальных системах высокого быстродействия синхросигнал является основной составляющей синхронизации данных, переходных процессов и ЦПС. Одним из важных параметров, характеризующих синхросигнал, является КЗ. Это играет крайне важную роль в обеспечении точного и предсказуемого временного поведения. КЗ определяется следующим уравнением:

$$DC = t_b/T \times 100\%, \quad (1)$$

где t_b – длительность логически высокого уровня, а T – диапазон сигнала.

В идеале цифровые системы разрабатываются КЗ, равным 50%. Однако в реальной жизни синхросигналы часто отклоняются от идеального вида. Поэтому в современных схемах применяются методы ККЗ (рис. 1).

Схема ККЗ состоит из цепи регулирования коэффициента заполнения (РКЗ), цепи цифровых буферов, двух зарядовых насосов, трех низкочастотных фильтров (НЧФ), двух чоперных цепей, двухкаскадной схемы логики с токовым управлением

и D2S компаратора. Сначала CLK_в синхросигнал применяется на входе РКЗ, который регулируется начальным значением управляющего напряжения $V_{упр}$.

Дифференциальный синхросигнал через четырехкаскадный буфер, подключенный к выходу РКЗ, подается на два параллельных зарядовых насоса.

С помощью зарядовых насосов генерируются комплементарные сигналы V_A и $V_{\bar{A}}$, которые посредством двух НЧФ с пропускной способностью 7 МГц передаются чоперной цепи. НЧФ подавляют шум, уменьшая джиттер выходного синхросигнала и стабилизируя цепь. Чоперная цепь применяется с целью повышения точности регулирования.

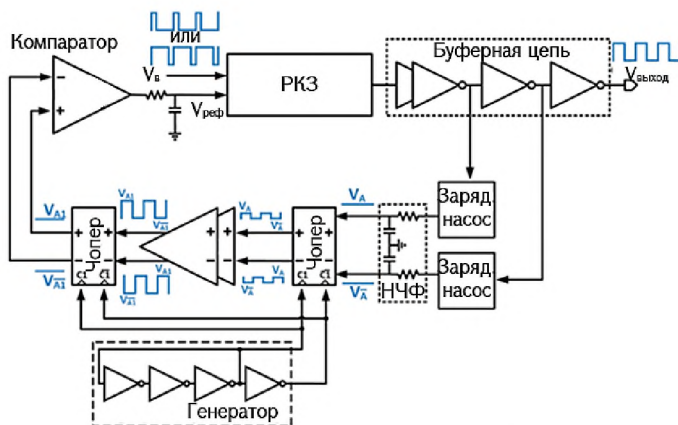


Рис.1. Схема аналоговой ККЗ с чоперной цепью

Ошибка данной схемы не превышает 0,7%. Данная схема ККЗ работает в диапазоне частот 0,5...5 ГГц, диапазон коррекции КЗ составляет 20...80%.

ЧУ в современных ИС с высоким быстродействием и низким напряжением являются базовыми структурными элементами. Они обеспечивают быстрое и надежное восстановление слабых и шумных сигналов.

При разработке ЧУ фундаментальными проблемами являются уменьшение отклонения напряжения, предотвращение метастабильности, обеспечение быстрого включения и ограничение энергопотребления.

Наряду с технологическим прогрессом ужесточились требования к ИС. Например, для компараторов или ЧУ необходимо обеспечить отклонение напряжения не более 2 мВ.

Схема ЧУ с гибким управлением током (рис. 2) удовлетворяет вышеупомянутым требованиям. В схеме присутствует постоянно включенный основной источник тока, состоящий из пары n-металл-оксид-полупроводниковых (МОП) транзисторов M0–M1, работающих в режиме насыщения. К основному источнику тока подключены четыре добавочные цепи тока, стоки которых подключены к стоку M1 транзистора. В низкочастотном режиме, где частота входящего сигнала находится в диапазоне 1...10 МГц, достаточен только ток транзистора M1 для обеспечения правильной функциональности и необходимой чувствительности. В случае более высоких частот

соответствующий источник тока подключается к цепи основного источника тока. Соотношение ширины каналов транзисторов M1 и M1_1 равно 1, в то время как между M1 и M1_2 оно составляет 5, с M1_3 – 10, а с M1_4 – 20. При 0,1...0,5 Гбит/с частотах входящего сигнала сигнал p_05Г переключается на логически высокий уровень, включая источник тока M1_2. В диапазоне частот 0,5...1 Гбит/с сигнал p_1Г переключается на высокий уровень и активирует источник тока M1_3, и т.д. Главной отличительной особенностью данной схемы является управляемость тока.

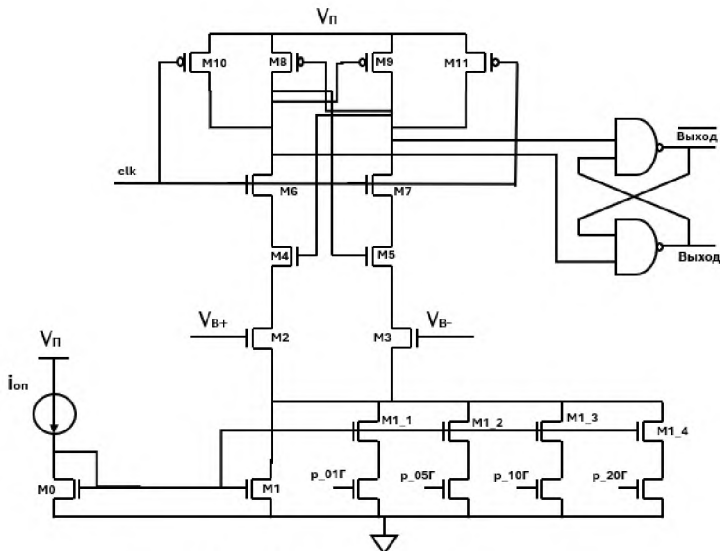


Рис.2. Схема ЧУ с гибким управлением током

Однако недостаток ЧУ заключается в том, что при частотах выше 5 ГГц его работа ненадежна. Это приводит к увеличению чувствительности на высоких частотах (рис. 3).

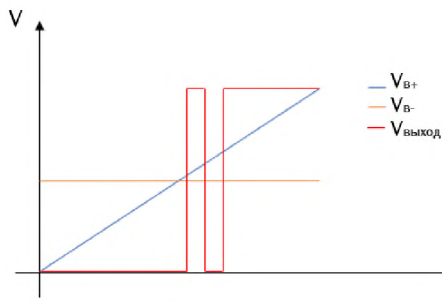


Рис.3. Измерение чувствительности ЧУ на высоких частотах

С целью решения вышеупомянутых проблем необходимо разработать новые и надежные методы ЧУ.

В современных высокоскоростных ИС приемники являются одними из наиболее чувствительных и в то же время наиболее критических подсистем цепи передачи данных.

В условиях высоких скоростей передачи данных работа приёмников существенно ограничивается джиттером сигнала.

В узлах В/В сигналы, проходя через линии передачи, затухают. Поэтому необходимы высокоэффективные приемники для усиления затухающих сигналов и их передачи без потерь.

Приемник со схемой восстановления тактового сигнала и данных (ВТСД), разработанный на основе LC-генератора, управляемого напряжением (рис. 4), состоит из шести основных блоков:

- линейный эквалайзер непрерывного времени (ЛЭНВ), который принимает четырехуровневый высокоскоростной входной сигнал и подает четырехуровневый сигнал на дешифратор термометрического кода с трехбитовым разрешением;
- дешифратор термометрического кода с трехбитовым разрешением, который состоит из дифференциальных сравнителей с отличающимися друг от друга опорными напряжениями;
- ЧУ для обнаружения фазового отклонения;
- схема ВТСД, которая восстанавливает вид данных и синхросигнала;
- декодер для преобразования трёхбитового термометрического кода в параллельные одноканальные сигналы;
- выходной буфер.

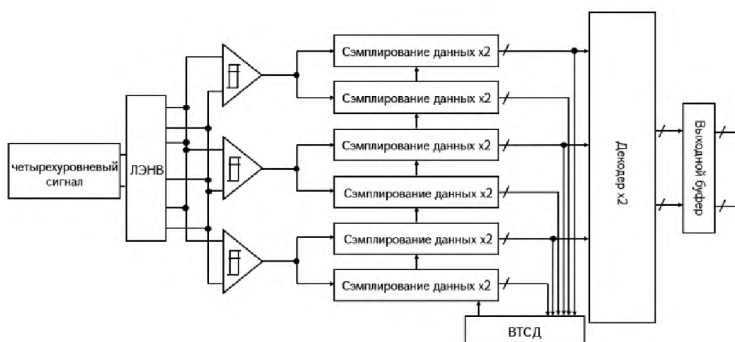


Рис.4. Структурная схема приемника с ВТСД, разработанного на основе LC-генератора

Результаты симуляции после физической разработки приведены на рис. 5. Среднеквадратичный джиттер восстановленного синхросигнала составляет 4,76 пс (рис. 5а), а джиттер восстановленных данных - 10,52 пс (рис. 5б).

В данном методе не учтено изменение регулирования общего сопротивления в зависимости от ПНТ, из-за чего происходит изменение амплитуды и возможно

ухудшение качества сигнала. Поэтому необходима разработка новых приемников, учитывающих изменения регулирования сопротивления и амплитуды в зависимости от ПНТ, обеспечивая стабильную работу в широком диапазоне.

В узлах В/В современных ИС передатчики являются одними из основных подсистем цепи передачи данных, являясь ответственными за надежное формирование сигнала.

По современным технологическим требованиям передатчик должен иметь низкий джиттер сигнала. Кроме того, в передатчике нужно осуществлять точное согласование выходящего сопротивления. После чего производится регулирование скорости нарастания сигнала.

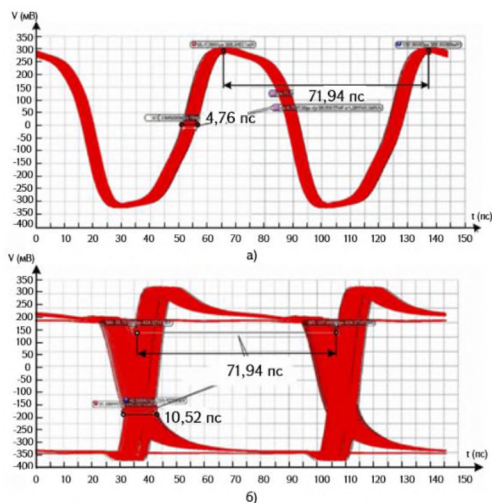


Рис.5. Вид синхросигнала (а) и данных (б), восстановленных схемой ВТСД

С целью улучшения ЦПС ТИС необходима разработка передатчиков, которые удовлетворяют производственным требованиям современных технологий.

На рис. 6 представлена структурная схема передатчика, содержащего систему задержки автоподстройки (СЗА).

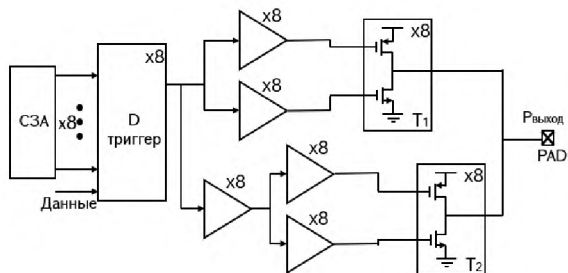


Рис.6. Структурная схема передатчика, содержащего СЗА

Обратная связь обеспечивает смещение друг от друга входов выходных буферов T_1 и T_2 при любых ПНС на постоянную задержку.

С помощью данной схемы после регулирования скорости нарастания сигнала на выходе становится возможным получить скорости передачи фронтов роста и спада, равные соответственно 1,40 и 1,41 В/нс. После регулирования джиттер сигнала составляет 9,5 пс.

Во второй главе представлены разработанные методы и способы решения проблем, описанных в первой главе.

Метод коррекции коэффициента заполнения с применением конденсаторов и переключающих ключей. Предлагаемый метод ККЗ, основанный на применении переключающих ключей и конденсаторов, состоит из РКЗ, передатчика, определителя смещения КЗ (ОСКЗ) и алгоритма РКЗ (рис. 7).

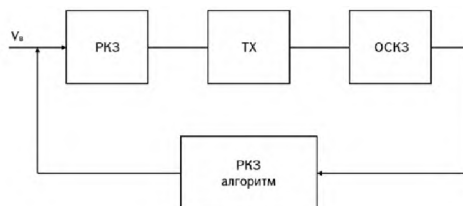


Рис. 7. Схема предлагаемой ККЗ

Сначала тактовый сигнал передатчика передается блоку ОСКЗ, где общий уровень синхросигнала сравнивается со значением опорного напряжения $V_n/2$ с помощью сравнителя.

Обнаруженное смещение корректируется благодаря схеме РКЗ (рис. 8), состоящей из буфера – для частичной коррекции входного сигнала, основного конденсатора $C_{об}$ – для оценки синхросигнала в начальный момент. Кроме них, имеются также параллельно и последовательно подключенные конденсаторы для увеличения и снижения общей емкости цепи соответственно.

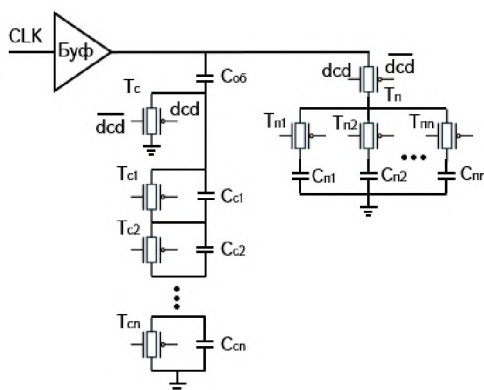


Рис. 8. Цепь РКЗ с применением переключающих ключей и конденсаторов

Логически высокий уровень на выходе сравнителя означает смещение КЗ более чем на 50%, в это время активируется параллельно подключенный к основному конденсатору блок. В противном случае, к основному конденсатору подключается последовательная цепь конденсаторов с целью увеличения КЗ. Регулирование завершается, когда на выходе ОСКЗ происходит переключение.

С целью оценки оптимизации параметров и изменений технологического процесса методом ККЗ была произведена симуляция «Monte Carlo» для обеспечения производительности $\pm 4,5\sigma$. В результате с помощью этого метода было возможно обеспечить ошибку для КЗ не более 1,2%.

Метод улучшения чувствительности ЧУ с применением помехоустойчивости (гистерезиса). На рис. 9 представлена схема ЧУ, работающего в диапазоне 10 ГГц и более, основанного на гистерезисе.

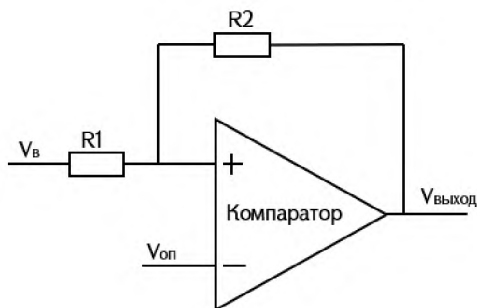


Рис.9. Схема ЧУ, основанного на гистерезисе

Согласно предложенной схеме, благодаря делителю напряжения определяются пороговые границы высокого $V_{пв}$ и низкого $V_{пн}$ напряжений. Они регулируются резисторами R1 и R2. Пороговые напряжения вычисляются по формулам

$$V_{пв} = (R1 + R2) * V_{оп} - (R1 * V_{вын})/R2, \quad (2)$$

$$V_{пн} = (R1 + R2) * V_{оп} - (R1 * V_{выв})/R2, \quad (3)$$

где $V_{вын}$ и $V_{выв}$ – соответственно низкий и высокий уровни выходного сигнала.

Диапазон гистерезиса определяется по формуле

$$V_{гист} = R1 * (V_{выв} - V_{вын})/R2. \quad (4)$$

Искусственные переключения выходного сигнала ЧУ при частоте 10 ГГц исчезли с применением гистерезиса. Благодаря этому чувствительность стала 1,61 мВ. Однако при частоте 12,5 ГГц искусственные переключения выходного сигнала ЧУ исчезли частично, вследствие чего усредненные значения чувствительности ухудшились, став 4,3 мВ.

Для предложенного ЧУ в диапазоне частот 10 ГГц была проведена симуляция с учётом явлений старения и самонагрева.

Из-за старения чувствительность становится равной 2,49 мВ, что не удовлетворяет требованиям, предъявляемым к современным ЧУ. Кроме того,

самонагрев вырос на 73%. Поэтому для повышения надежности ЧУ предложено новое схмотехническое решение (рис. 10).

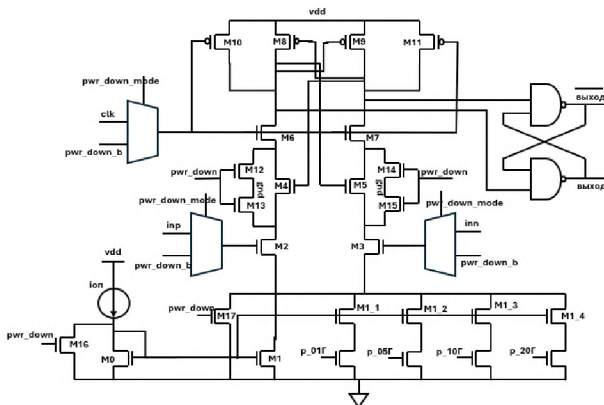


Рис.10. Схема ЧУ, смягчающего эффекты старения

В представленной схеме, с целью уменьшения влияния процессов старения, на входах схемы, приведённой на рис. 2, а также на входе тактового сигнала добавлены мультиплексоры. Кроме того, добавлены транзисторы M12-M17 n-МОП. Благодаря этим изменениям схема имеет возможность работы как в активном режиме, так и в режиме простоя. Выбор одного из этих двух состояний осуществляется сигналом «pwr_down_mode». Когда сигнал «pwr_down_mode» на логически низком уровне, схема эксплуатируется в активном рабочем режиме. В противном случае, активируется режим простоя. В результате открываются транзисторы M16 и M17 схемы, благодаря чему схема отключается от источника тока. После десятилетнего старения чувствительность предлагаемого ЧУ становится равной 1,67 мВ.

Метод повышения эффективности приемников узлов В/В ТИС с учетом изменения амплитуды сигнала. Предлагаемая схема приемника состоит из аналогового узла, к одному из входов которого подключена цепь электростатической защиты во избежание разряда, а другой вход используется для опорного напряжения (рис. 11). Данное напряжение генерируется посредством девятибитового «R-2R» ЦАП.

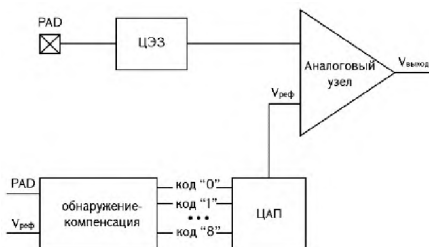


Рис.11. Схема предлагаемого приемника

В предлагаемой схеме предотвращение нежелательного изменения амплитуды сигнала приемника осуществляется благодаря блоку обнаружение-компенсация (рис. 12).

После выбора опорного напряжения общий уровень входного сигнала сравнивается с ним. В результате определяется, насколько опорное напряжение смещено от входного сигнала (в идеале оно должно быть в середине входного сигнала).

```

include "constants.vams"
include "disciplines.vams"

module detect_eliminate #(
parameter integer DAC_WIDTH = 9,
parameter integer INIT_DAC_CODE = 470,
parameter real JDD = 0.85
)()
input real PAD,
input real ref,
output reg [DAC_WIDTH-1:0] dac_code
);
real v_diff;
real dev;
real pad_high, pad_low, pad_cnv;
real step_size;
reg [DAC_WIDTH-1:0] dac_code_reg;

initial begin
dac_code_reg = INIT_DAC_CODE;
pad_high = -1.0e9;
pad_low = 1.0e9;
end

analog begin
step_size = JDD / (2 ** DAC_WIDTH);

if (PAD > pad_high) pad_high = PAD;
if (PAD < pad_low) pad_low = PAD;

pad_cnv = (pad_high + pad_low) / 2.0;

v_diff = pad_cnv - ref;

dev = v_diff / step_size;

if (v_diff > 0) begin
dac_code_reg = dac_code_reg + dev;
end else if (v_diff < 0) begin
dac_code_reg = dac_code_reg - dev;
end

dac_code = dac_code_reg;
end
endmodule

```

Рис.12. Описание блока обнаружения-компенсации изменения амплитуды

При смещении вверх с помощью блока обнаружения-компенсации входной код ЦАП уменьшается с целью снижения опорного напряжения. В противном случае, опорное напряжение нарастает из-за увеличения входного кода ЦАП.

Благодаря компенсации смещения между входящими сигналами амплитуда увеличилась. Это привело к уменьшению джиттера входящего сигнала от 8,33 пс до 1,53 пс.

Метод регулирования скорости нарастания выходного сигнала передатчика путем интегрирования цифро-аналогового преобразователя. Представлена система регулирования скорости нарастания сигнала (рис. 13).

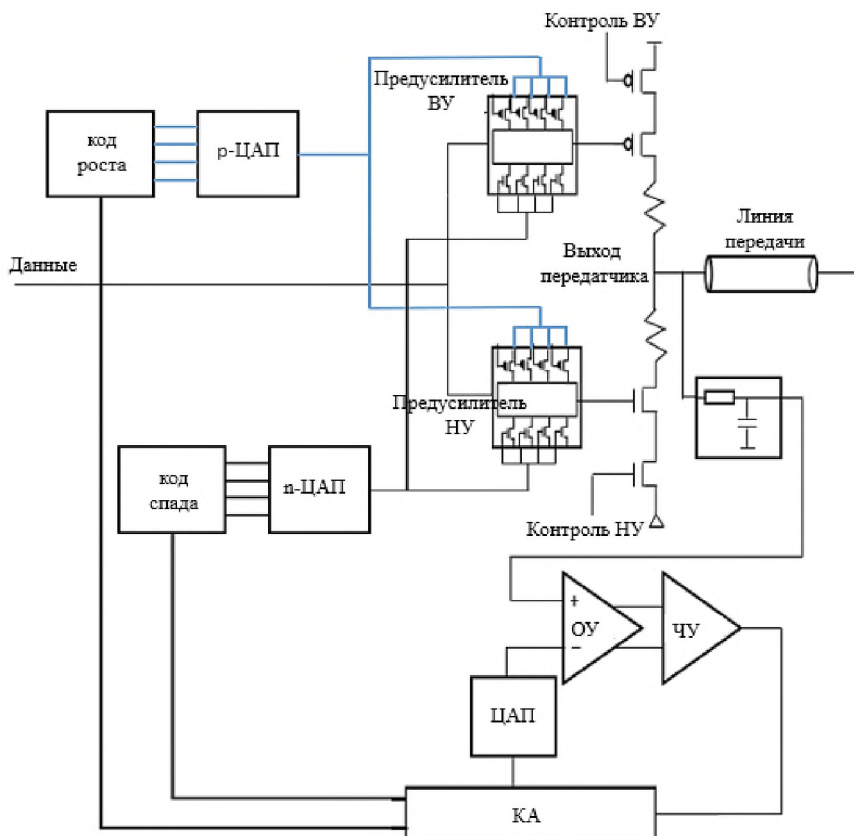


Рис.13. Предлагаемая схема метода регулирования скорости нарастания сигнала

Данная система работает следующим образом.

Сначала с помощью конечного автомата (КА) выбирается состояние системы. Затем генерируется код ЦАП, соответствующий выбранному состоянию, с целью дальнейшего формирования опорного напряжения. Входные данные передатчика фильтруются после прохождения через предусилители, после чего они вместе с опорным напряжением, сгенерированным ЦАП, усиливаются операционным усилителем (ОУ).

Усиленные ОУ сигналы сравниваются посредством ЧУ. В случае, если на выходе ЧУ логически низкий уровень, с помощью КА изменяются коды управления скоростями передачи фронтов нарастания и спада сигнала, которые передаются предусилителям с помощью ЦАП типа п и р (рис. 14). Последние использовались с целью управления фронтами нарастания и спада сигнала соответственно.

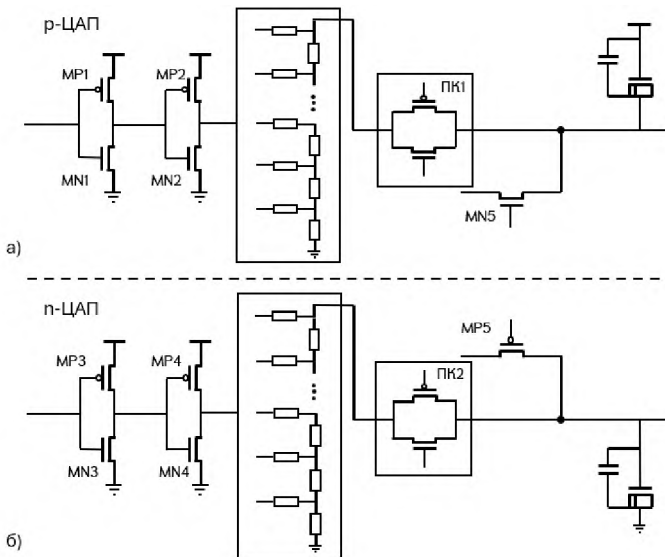


Рис.14. Структурные схемы p-ЦАП (а) и n-ЦАП (б)

Данный процесс повторяется до тех пор, пока не произойдет переключение ЧУ. Регулирование завершается, когда сопротивления высокого и низкого уровней приблизительно выравниваются, после чего регистрируется переключение сигнала «окончание регулировки».

Оценка эффективности передатчика до и после применения предлагаемого метода осуществляется с помощью глазковой диаграммы (рис. 15).

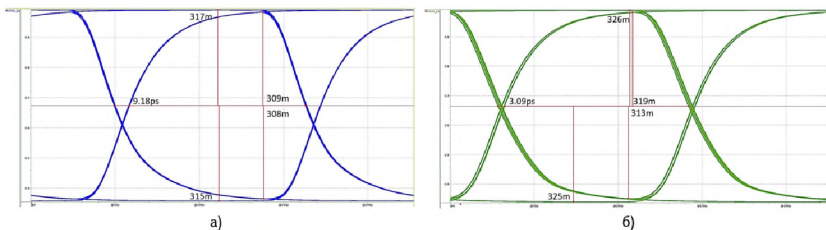


Рис.15. Структуры глазковой диаграммы выходного сигнала передатчика до применения метода (а) и после его реализации (б)

В третьей главе представлено ПС «3DIC IO Optimizer», созданное с целью автоматизации предложенных схемотехнических решений и методов, а также повышения эффективности расчетных процессов. ПС позволяет применять предложенные методы и получать результаты, необходимые для анализа в пределах единой программной платформы. Этим существенно сокращается время, затрачиваемое на проектирование и инспекцию. Кроме того, с целью оптимизации прилагаемых процессов и повышения удобства использования в ПС был

автоматизирован ряд вспомогательных процессов, необходимых для симуляции и анализа полученных результатов.

ПС «3DIC IO Optimizer» содержит следующие окна: «Tech», «Input», «Simulation», «Results/Data Collection» и «Help». Сначала в окне «Tech» производится выбор технологического процесса и его выпуск. Затем в окне «Input» можно выбрать программу моделирования, выпуск и опции. В том же окне создается список ПНТ для моделирования согласно заданным параметрам (рис. 16).

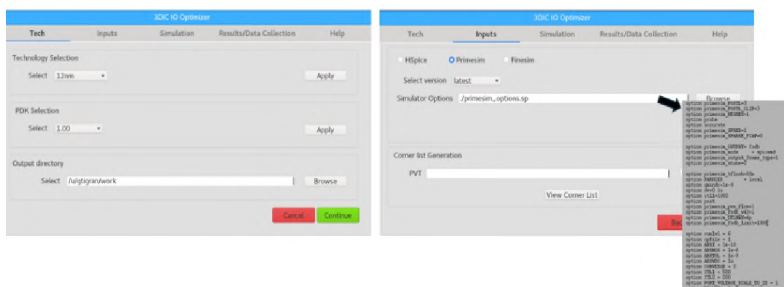


Рис. 16. Окна программного средства «3DIC IO Optimizer»

Затем в окне «Simulation» (рис. 17) производится выбор одного из четырех методов, предложенных во второй главе. Также есть раздел «Measurements», который позволяет произвести количественную оценку результатов симуляции. Далее осуществляется симуляция, после чего можно изучить сигналы соответствующие выбранному методу.

В подокне «Results/Data Collection» видны полученные результаты, которые можно сохранить в трех форматах: «.xml», «.xlsx» и «.ppt».

С помощью ПС «3DIC IO Optimizer» были спроектированы предложенные схемы. Полученные данные были сравнены с результатами предыдущей главы (табл.).

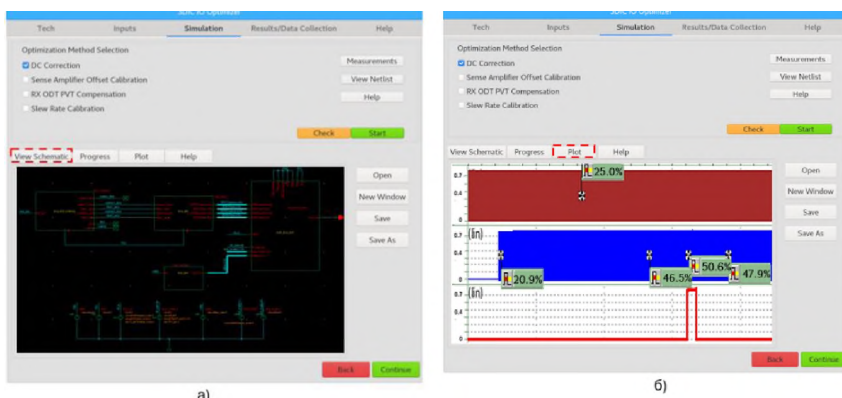


Рис. 17. Подокно «Simulation» в режимах просмотра схемы (а) и сигналов (б)

Параметр	Без исп. метода	С исп. метода	С исп. ПС
Диапазон входного КЗ (%)	20...80	25...75	25...75
Ошибка выходного КЗ (%)	0,7	1,2	1,1
Частота (Гбит/с)	10	16	16
Энергопотребление (мВт)	0,32	0,352	0,35

ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Разработаны новые методы проектирования узлов ввода-вывода трёхмерных интегральных схем: коррекции коэффициента заполнения, улучшения чувствительности чувствительных усилителей, обнаружения и нейтрализации изменения амплитуды сигнала приемника, а также метод регулирования скорости нарастания сигнала передатчика с технологическими процессами 5 нм и меньше. Данные методы стабилизируют рабочие режимы узлов ввода-вывода и улучшают выполнение требований, предъявляемых к современным интегральным схемам.
2. Предложен метод определения ошибки и коррекции коэффициента заполнения синхросигнала, который независимо от ПНТ при скорости передачи до 16 Гбит/с позволяет обеспечить коэффициент заполнения $50 \pm 1,2\%$ за счет увеличения энергопотребления на 10%. Обоснована необходимость применения чувствительного усилителя в узлах ввода-вывода трёхмерных интегральных схем и предложено новое схемотехническое решение [1].
3. Предложен новый метод улучшения чувствительности чувствительного усилителя, используемого в узлах ввода/вывода трёхмерных интегральных схем, основанный на применении цепи обратной связи. Предложенный метод, включающий явление гистерезиса, позволяет уменьшить чувствительность схемы при скорости передачи данных 20 Гбит/с. Кроме того, за счёт внедрения дополнительных цепей повышена надёжность схемы. В ходе длительной эксплуатации удалось обеспечить максимальное отклонение чувствительности не более чем на 4% за счёт увеличения площади цепи на кристалле на 16%. [2-7].
4. Разработан новый метод стабилизации рабочих режимов приемных цепей узлов ввода-вывода трёхмерных интегральных схем, основанный на цепи обратной связи, который отменяет изменения амплитуды сигнала, обусловленные изменением регулирования общего сопротивления, зависящего от технологического процесса, напряжения и температуры.

Данный метод при скорости передачи данных 16 Гбит/с позволяет уменьшить джиттер выходящего сигнала приблизительно в 5,5 раза за счет увеличения энергопотребления всего на 21% [8].

- Предложен новый метод регулирования скорости нарастания сигнала передатчика узла ввода-вывода трёхмерных интегральных схем. Это обеспечивает отклонение между фронтами выходного сигнала передающего узла не более 1,3%. При скорости передачи данных 16 Гбит/с, этот метод позволяет снизить джиттер сигнала в три раза при увеличении энергопотребления и площади цепи на кристалле на 17,2% и 15,4% соответственно [9,10].
- Создано программное средство 3DIC IO Optimizer для реализации методов, предложенных в диссертации. Оно внедрено в ЗАО «Синописис Армения» и практически применяется в процессе проектирования узлов ввода/вывода трёхмерных интегральных схем. Точность результатов, полученных с использованием программного инструмента, не превышает 4% по сравнению с результатами предложенных методов, при этом время проектирования сокращается в 1,5 раза.

Основные результаты диссертации опубликованы в следующих работах:

- Grigoryan T.** Wide Range Duty Cycle Correction Method For High-Speed Systems // 2025 IEEE East-West Design & Test Symposium (EWDTS). - Tbilisi, Georgia, 2025. - P. 1-4, doi: 10.1109/EWDTS67441.2025.11303689.
- Բարսյան Դ.Ռ., Ղազարյան Ա.Ա., Գրիգորյան Գ.Դ., Գրիգորյան Տ.Դ.** Համակցական սխեմաների ավտոմատացված նախագծման համակարգի մշակումը // Հայաստանի ճարտարագիտական սկզբնաղբյուրի Իրաբեր. Գիտատեխնիկական հոդվածների ժողովածու.- Երևան, 2022. - Հ. 19, №1. - էջ 109-113:
- Petrosyan O., and Grigoryan T.** Power Optimization Technique For Die-to-Die Interconnects Using Machine Learning // 2025 IEEE East-West Design & Test Symposium (EWDTS). - Tbilisi, Georgia, 2025. - P. 1-4, doi: 10.1109/EWDTS67441.2025.11303677.
- Grigoryan G.D., Grigoryan T.D.** Highly Efficient High-Performance Sense Amplifier Design InNanoscale CMOS Technologies // Proceedings of The Republic of Armenia National Academy of Sciences and National Polytechnic University of Armenia. Series of Technical Sciences. - Yerevan, 2021. – Vol. 74, No. 3. - P. 100-107.
- Aging-Aware Design Method for Reliable Analog Integrated Circuits Combining Reliability-Aware Circuit Architectures, Transistor's Threshold Voltage and Operating Point-Dependent Degradation / **V. Melikyan, G. Grigoryan, X. Zheng, K. Li, S. Melikyan and T. Grigoryan** // 2024 IEEE East-West Design & Test Symposium (EWDTS). - Yerevan, Armenia, 2024. - P. 1-4, doi: 10.1109/EWDTS63723.2024.10873644.
- Sense Amplifier Offset Error Correction Method for High Speed Systems / **A. Aleksanyan, G. Grigoryan, T. Grigoryan, V. Abramyanyan and A. Ghazaryan** // 2023 3rd International Conference on Electrical, Computer and Energy Technologies

- (ICECET). - Cape Town, South Africa, 2023. - P. 1-4, doi: 10.1109/ICECET58911.2023.10389480.
7. Sense Amplifier Design Considering Reliability Issues / **G. Grigoryan, T. Grigoryan, K. Li, X. Zheng, S. Melikyan and G. Harutyunyan** // 2024 IEEE East-West Design & Test Symposium (EWDTS). - Yerevan, Armenia, 2024. - P. 1-4, doi: 10.1109/EWDTS63723.2024.10873730.
 8. Enhanced jitter correction method for high-performance receivers / **A. Hekimyan, T. Grigoryan, G. Grigoryan, A. Ghazaryan, and M. Israyelyan** // 2025 5th International Conference on Electrical, Computer and Energy Technologies (ICECET). - Paris, France, 2025. - P. 1-4, doi: 10.1109/ICECET63943.2025.11472003.
 9. Driver's Output Calibration Method with DAC Insertion / **O. Petrosyan, A. Hekimyan, G. Grigoryan, T. Grigoryan and V. Abramyan** // 2024 4th International Conference on Electrical, Computer and Energy Technologies (ICECET). - Sydney, Australia, 2024. - P. 1-4, doi: 10.1109/ICECET61485.2024.10698309.
 10. **Grigoryan G.D., Aleksanyan A.L., Grigoryan T.D., and Abramyan V.A.** The Design of High Efficiency and Low Power Switched Opamp // BULLETIN OF HIGH TECHNOLOGY. - 2023. - N3(27). - P. 3-9.

ԱՄՓՈՓԱԳԻՐ

Ժամանակակից ինտեգրալ սխեմաներում (ԻՍ) տեխնոլոգիական գործընթացի մասշտաբավորմամբ պայմանավորված, տրանզիստորների պարամետրերի ցրվածությունը, ջերմաստիճանային ազդեցությունների ուժեղացումը և սնուցման լարման շարունակական նվազեցումը հանգեցնում են ԻՍ-երի նախագծման մի շարք խնդիրների, ինչպիսիք են՝ օգտակար էլքի գործակցի փոքրացումը, էներգասպառման և արտադրության արժեքի աճը: Դրանք սահմանափակում են ավանդական միաբյուրեղ կառուցվածքների կիրառությունը:

Վերոնշյալ հիմնարար խնդիրների հաղթահարման նպատակով կիսահաղորդչային արդյունաբերությունը անցում է կատարել բազմաբյուրեղ կառուցվածքների (ԲԿ) կիրառմանը, որոնք կազմված են եռաչափ ինտեգրալ սխեմաներից (ԵԻՍ): ԲԿ-երում ԵԻՍ-երը տեղակայված են միևնույն պատյանի մեջ ու իրար միացվում են կարճ միջմիացումներով, որն ապահովում է բարձր արագագործություն և ցածր էներգասպառում:

Բազմաբյուրեղ համակարգերում տվյալների փոխանակումն իրականացվում է մուտք/ելք (Մ/Ե) հանգույցների միջոցով:

Տվյալների փոխանցման 10 Գբիթ/վ և ավելի բարձր արագության դեպքում դժվարանում է Մ/Ե հանգույցների նախագծումը, որի համար անհրաժեշտ է կիրառել համահարթեցման, դիմադրությունների համաձայնեցման և սինքրոնազդանշանների վերականգնման առաջադեմ մեթոդներ, որոնք զգալիորեն մեծացնում են էներգասպառումը և նախագծման բարդությունը:

Բացի այդ, ցածր նանոմետրական տեխնոլոգիաներում մեծանում է ծերացման երևույթների ազդեցությունը, որը պետք է հաշվի առնել: Հետևաբար, ժամանակակից՝ բարձր արագագործությամբ ԵԻՍ-երի Մ/Ե հանգույցների աշխատանքային ռեժիմների կայունացման միջոցների մշակումը ներկայումս հանդիսանում է արդիական հիմնահարց: Ատենախոսությունը նվիրված է արդի ԵԻՍ-երի Մ/Ե հանգույցների աշխատանքային ռեժիմների կայունացման միջոցների մշակմանը:

Մշակվել են եռաչափ ինտեգրալ սխեմաների մուտք/ելք հանգույցների նախագծման նոր՝ լցման գործակցի ուղղման, զգայուն ուժեղարարի զգայնության բարելավման, ընդունիչ հանգույցի ազդանշանի ամպլիտուդի փոփոխության հայտնաբերման և փոխհատուցման, ինչպես նաև հաղորդիչ հանգույցի ազդանշանի ճակատների փոխանցման արագության կարգաբերման մեթոդները՝ 5 նմ և ավելի փոքր տեխնոլոգիական գործընթացներով: Մշակված մեթոդները կայունացնում են մուտք/ելք հանգույցների աշխատանքային ռեժիմները և բարելավում արդի ԻՍ-երին ներկայացվող պահանջները:

Առաջարկվել է սինքրոնազդանշանի լցման գործակցի սխալանքի որոշման և ուղղման սխեմա/մեթոդ, որը կազմված է փոխանջատման փականներից և

կոնդենսատորներից: Մշակված մեթոդը, անկախ գործընթացից, լարումից և ջերմաստիճանից թույլ է տալիս մինչև 16 Գբիթ/վ արագագործության դեպքում ապահովել 50±1,2% լցման գործակից՝ էներգասպառման 10% մեծացման հաշվին:

Մշակվել է եռաչափ ինտեգրալ սխեմաների մուտք/ելք հանգույցներում կիրառվող զգայուն ուժեղարարի զգայունության բարելավման նոր մեթոդ՝ հիմնված հետադարձ կապի շղթայի կիրառության վրա: Տվյալների փոխանցման 20 Գբիթ/վ արագության դեպքում, սխեմայում հավելյալ շղթաների և հիստերեզիսի երևույթի ներդրման շնորհիվ, մեծացվել է սխեմայի հուսալիությունը և բարելավվել դրա զգայնությունը՝ կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի 16% մեծացման հաշվին: Երկարատև աշխատանքի ընթացքում հնարավոր է եղել ապահովել զգայնության առավելագույնը՝ 4% շեղվածություն:

Առաջարկվել է եռաչափ ինտեգրալ սխեմաների մուտք/ելք հանգույցների ընդունիչ շղթաների աշխատանքային ռեժիմների կայունացման նոր մեթոդ՝ հիմնված հետադարձ կապի շղթայի կիրառության վրա, որը կոմպենսացնում է գործընթացից, լարումից և ջերմաստիճանից կախված կարգաբերման ընդհանուր դիմադրության փոփոխությամբ պայմանավորված ազդանշանի ամպլիտուդի փոփոխությունը: Մշակված մեթոդը տվյալների փոխանցման 16 Գբիթ/վ արագության դեպքում թույլ է տալիս էլքային ազդանշանի թրթոցը նվազեցնել մոտավորապես 5,5 անգամ՝ էներգասպառման ընդամենը 21% մեծացման հաշվին:

Մշակվել է եռաչափ ինտեգրալ սխեմաների մուտք/ելք հանգույցի հաղորդիչ սխեմայում ազդանշանի ճակատների փոխանցման արագությունների կարգաբերման նոր մեթոդ, որտեղ սխեմայի կարգաբերման ճշտության մեծացման նպատակով ներդրվել է ո և p տիպի թվաանալոգային կերպափոխիչ՝ նախաբուժերների կառավարման համար: Մեթոդը հաղորդիչ հանգույցի էլքային ազդանշանի ճակատների միջև ապահովում է առավելագույնը 1,3% շեղում: Մեթոդը՝ 16 Գբիթ/վ տվյալների փոխանցման արագության դեպքում թույլ է տալիս նվազեցնել ազդանշանի թրթոցը մոտավորապես երեք անգամ՝ էներգասպառման ու կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի համապատասխանաբար 17,2% և 15,4% աճի հաշվին:

Ատենախոսության մեջ առաջարկված մեթոդների ծրագրային իրագործման նպատակով ստեղծվել է 3D IC IO Optimizer ծրագրային միջոցը: Այն ներդրված է «ՄԻՆՈՓՄԻՍ ԱՐՄԵՆԻԱ» ՓԲԸ-ում և գործնականորեն կիրառվում է եռաչափ ինտեգրալ սխեմաների Ս/Ե հանգույցների նախագծման գործընթացում: Ծրագրային գործիքով նախագծմամբ ստացված արդյունքների ճշտությունը չի գերազանցում 4%-ը՝ համեմատած առաջարկվող մեթոդների և եղանակի արդյունքների հետ՝ էապես կրճատելով նախագծման ժամանակը:

TIGRAN DAVID GRIGORYAN

THE DEVELOPMENT OF OPTIMIZATION METHODS FOR INPUT/OUTPUT DEVICES OF THREE-DIMENSIONAL INTEGRATED CIRCUITS

SUMMARY

In modern integrated circuits (ICs), the variability of transistor parameters caused by the scaling of technological processes, the increasing impact of temperature effects, and the continuous reduction of supply voltage led to a number of challenges, such as decreased yield, increased power consumption, and higher manufacturing costs. These factors limit the applicability of traditional monolithic structures.

To overcome the above-mentioned fundamental challenges, the semiconductor industry has transitioned to the use of multi-die systems (MDS), which are based on three-dimensional integrated circuits (3D ICs). In MDS, 3D ICs are integrated within a single package and connected using short interconnects, enabling high-speed operation and low power consumption.

In multi-die systems, efficient data exchange between dies is achieved through input/output (I/O) interfaces, which serve as critical communication links. As system performance requirements continue to grow, these interfaces must support increasingly higher data rates.

At data rates of 10 Gbps and higher, the design of I/O interfaces becomes increasingly challenging. To ensure reliable high-speed data transmission, advanced circuit techniques are required, including advanced equalization, impedance matching, and clock recovery mechanisms. While these techniques significantly improve signal quality, they also introduce additional design complexity, increase circuit area, and lead to higher power consumption - factors that are especially critical in dense 3D IC environments.

Moreover, in advanced low-nanometer technologies, device aging effects such as bias temperature instability, hot carrier injection, and time-dependent dielectric breakdown become increasingly significant. These effects cause gradual degradation of transistor parameters over time, further impacting the stability and performance of I/O interfaces, particularly under high-speed operating conditions. It requires the development of new circuit design methodologies and stabilization techniques capable of compensating for process variations, temperature fluctuations, supply voltage scaling, and aging effects.

Therefore, the development of methods for stabilizing the operating modes of I/O interfaces in modern high-speed 3D ICs is a highly relevant and challenging research problem. This dissertation is devoted to developing methods for stabilizing the operating modes of I/O interfaces in modern 3D ICs.

New methods for designing I/O interfaces of 3D ICs have been developed, including techniques for duty-cycle correction, improving the sensitivity of sense amplifiers, detecting and compensating signal amplitude variations in receiver circuits, and adjusting the signal edge transition speeds in transmitter circuits, targeting 5 nm and smaller technology nodes. The proposed methods stabilize the operating modes of I/O interfaces and improve the performance characteristics of modern ICs.

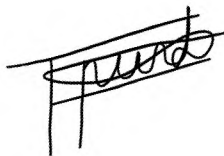
A method for detecting and correcting the duty-cycle error of a clock signal is proposed, consisting of switching elements and capacitors. The developed method, independent of process, voltage, and temperature variations, ensures a duty cycle of $50 \pm 1.2\%$ at data rates up to 16 Gbps, with only a 10% increase in power consumption.

A new circuit design for a sensitive amplifier used in 3D IC I/O interfaces has been developed, based on a feedback loop. At a data rate of 20 Gbps, the introduction of additional circuitry and hysteresis improves the reliability and sensitivity of the circuit, with a 16% increase in chip area. During long-term operation, the sensitivity deviation does not exceed 4%.

A new method for stabilizing the operating modes of receiver circuits in 3D IC I/O interfaces is proposed, based on a feedback loop. It compensates for signal amplitude variations caused by changes in total tuning resistance due to process, voltage, and temperature variations. At a data rate of 16 Gbps, the method reduces output signal jitter by approximately 5.5 times, with only a 21% increase in power consumption.

A new method for adjusting the rise and fall transition speeds of signals in transmitter circuits of 3D IC I/O interfaces has been developed. To improve tuning accuracy, n- and p-type digital-to-analog converters are introduced for controlling pre-buffers. The method ensures that the deviation between rising and falling edges of the output signal does not exceed 1.3%. At a data rate of 16 Gbps, it reduces signal jitter by approximately three times, with increases of 17.2% in power consumption and 15.4% in chip area.

To support the implementation of the proposed methods, a software tool named 3DIC IO Optimizer has been developed. It has been deployed at “SYNOPSIS ARMENIA” CJSC and is actively used in the design process of 3D IC I/O interfaces. The accuracy of results obtained using the software tool does not exceed a 4% deviation compared to the proposed methods, while significantly reducing design time.

A handwritten signature in black ink, appearing to be 'H. H. H.', written over a set of horizontal lines.

